

Syrian Arab Republic	 الجامعة الافتراضية السورية SYRIAN VIRTUAL UNIVERSITY	الجمهورية العربية السورية
Ministry of Higher Education		وزارة التعليم العالي
Syrian Virtual University		الجامعة الافتراضية السورية

## وثيقة تعريف مقرّر أساسيات النظم المضمّنة

### 1- معلومات أساسية:

اسم المقرّر	أساسيات النظم المضمّنة
رمز المقرّر	CCS404
ساعات الجلسات المسجّلة	30
ساعات الجلسات المتزامنة	18
ساعات المذاكرة	لا يوجد
ساعات الامتحان	1.5
ساعات الجهد الدراسي المقابل للجلسات المسجّلة	30
ساعات الجهد الدراسي المقابل للجلسات المتزامنة	18
عدد الساعات المعتمدة	5

### 2- المقرّرات المطلوب دراستها قبل المقرّر مباشرة:

المقرّر	الرمز
المعالجات والمتحكمات الصغيرة	CEE307

### 3- الهدف من المقرّر:

يتناول هذا المقرر أساسيات النظم المضمّنة وتصميمها باستعمال منهجية حديثة. حيث نعرّف الطالب بالمكونات الأساسية للنظم المضمّنة وخصوصاً المعالجات بأنواعها والتي تتضمن المعالجات ذات الغرض الوحيد وطريقة تصميمه والمعالجات الموجهة لتطبيقات محددة مثل المتحكمات والمعالجات ذات الأغراض العامة. يتعلّم الطالب، إضافة لذلك، أساسيات لغة التوصيف العتادي Verilog المستخدمة في تصميم المعالجات الخاصة. ونعرض كذلك أنواع الدواكر وتجهيزات الدخل والخرج الضرورية لبناء النظم المضمّنة وطرق التعامل معها. ثم يتعرّف الطالب على بروتوكولات الاتصال عن طريق المساري أو بشكل لاسلكي لتأمين اتصال المعالج مع الطرفيات أو مع النظم الأخرى. وأخيراً يتعرّف الطالب على دور نظم التشغيل في الزمن الحقيقي في تسريع تطوير تطبيقات النظم المضمّنة والخواص التي يجب أن تحققها لضمان القدرة على تلبية احتياجات هذه التطبيقات.

Syrian Arab Republic	 الجامعة الافتراضية السورية SYRIAN VIRTUAL UNIVERSITY	الجمهورية العربية السورية
Ministry of Higher Education		وزارة التعليم العالي
Syrian Virtual University		الجامعة الافتراضية السورية

4- المحصّلات التعليميّة المرجوة (ILO – Intended Learning Objectives/Outcomes):

الرمز	المحصّلات التعليميّة المرجوة
ILO	Intended Learning Objectives/Outcomes
ILO1	التعرف على النظم المضمنة وخواصها.
ILO2	تذكير بأساسيات الدارات المنطقية التراكبية والتعاقبية.
ILO3	فهم طريقة تصميم المعالجات المخصصة لغرض وحيد.
ILO4	التعرف على أساسيات لغة التوصيف العتادي Verilog على سوية البوابات.
ILO5	التعرف على أساسيات لغة التوصيف العتادي Verilog للدارات التراكبية.
ILO6	التعرف على أساسيات لغة التوصيف العتادي Verilog للدارات التعاقبية.
ILO7	التعرف على المكونات الأساسية المعالجات ذات الأغراض العامة.
ILO8	التعرف على بعض الطرفيات المعيارية الشائعة الاستخدام وعملها.
ILO9	التعرف على أنواع الذواكر وخواصها وطرق تركيبها.
ILO10	فهم طرق مواجهة المعالجات باستعمال المساري.
ILO11	التعرف على بروتوكولات الاتصالات الفرعية والتسلسلية واللاسلكية.
ILO12	التعرف على نظم التشغيل بالزمن الحقيقي وخواصها.

5- محتويات المقرر:

المحصّلات التعليميّة	القسم النظري مع ملاحظات وتوضيحات إن وجدت	ساعات مسجّلة	ساعات متزامنة	أنماط المهام	القسم العملي مع ملاحظات وتوضيحات إن وجدت
ILO1	مدخل إلى النظم المضمنة خصائص النظم المضمنة التحديات التصميمية وأمثلة مقاييس التصميم تقنيات المعالجات المضمنة تقنيات الدارات المتكاملة تقنيات التصميم	2.5	1.5	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى	
IOL2	أساسيات الدارات المنطقية المنطق التراكبي المنطق التعاقبي	2.5	1.5	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث	

Syrian Arab Republic	 الجامعة الافتراضية السورية SYRIAN VIRTUAL UNIVERSITY	الجمهورية العربية السورية
Ministry of Higher Education		وزارة التعليم العالي
Syrian Virtual University		الجامعة الافتراضية السورية

	<input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى				
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى.....	1.5	2.5	المعالجات المخصصة لغرض وحيد تصميم المعالج المخصص لغرض وحيد أمثلة تصميم المعالج الخاص	IOL3
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى.....	1.5	2.5	لغة التوصيف العتادي Verilog لمحة تاريخية عن لغة Verilog سويات التصميم لغة التوصيف العتادي Verilog هيكلية البرنامج الاختبار	IOL4
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى.....	1.5	2.5	الدارات التراكبية في Verilog العمليات كتلة "دائماً" للدارات التراكبية شبكة التوصيل الثوابت والمعاملات تطبيق: مفكك ترميز سباعي القطع إرشادات عامة في التصميم	IOL5
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى.....	1.5	2.5	الدارات التعاقبية في Verilog القلاب والسجل النظام المتزامن أنواع الدارات التعاقبية	IOL6
	<input checked="" type="checkbox"/> تمارين (TD)	1.5	2.5	المعالجات ذات الأغراض العامة	IOL7

Syrian Arab Republic	 الجامعة الافتراضية السورية SYRIAN VIRTUAL UNIVERSITY	الجمهورية العربية السورية
Ministry of Higher Education		وزارة التعليم العالي
Syrian Virtual University		الجامعة الافتراضية السورية

	<input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى .....			البنية الأساسية عمل المعالج برمجة المعالج المعالجات ذات التعليمات الموجهة لتطبيق محدد	
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input checked="" type="checkbox"/> أخرى .....	1.5	2.5	المعالجات الخاصة المعيارية: الطرفيات المؤقتات والعدادات مرسل-مستقبل غير متزامن عام (UART) معدّل عرض النبضة (PWM) متحكم شاشات العرض LCD متحكم لوحة المفاتيح ساعة الزمن الحقيقي (RTC)	IOL8
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى .....	1.5	2.5	الذاكر تصنيف الذاكر الأنواع الشائعة للذاكر تركيب الذاكر وحدة إدارة الذاكرة	IOL9
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى	1.5	2.5	المواجهة باستعمال المساري أساسيات الاتصال مفاهيم أساسية في البروتوكولات مواجهة المعالجات التحكم بنية المسرى متعدد السويات	IOL10
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب	1.5	2.5	بروتوكولات الاتصال أنواع الاتصالات مفاهيم أساسية في الاتصالات البروتوكولات التسلسلية البروتوكولات التفرعية	IOL11

Syrian Arab Republic	 الجامعة الافتراضية السورية SYRIAN VIRTUAL UNIVERSITY	الجمهورية العربية السورية
Ministry of Higher Education		وزارة التعليم العالي
Syrian Virtual University		الجامعة الافتراضية السورية

	أخرى			البروتوكولات اللاسلكية	
	<input checked="" type="checkbox"/> تمارين (TD) <input type="checkbox"/> وظائف <input type="checkbox"/> حلقات بحث <input type="checkbox"/> مشاريع <input type="checkbox"/> تجارب <input type="checkbox"/> أخرى	1.5	2.5	نظم التشغيل في الزمن الحقيقي نبذة تاريخية عن نظم التشغيل تعريف نظام التشغيل في الزمن الحقيقي الجدول الأغراض الخدمات الخصائص العامة لنظم التشغيل في الزمن الحقيقي بعض نظم التشغيل	IOL12

#### 6- معايير التقييم:

نمط التقييم					النتائج التعليمية	المحصلات التعليمية	ILO Code
تقارير	عروض ومقابلات	امتحانات	عملي	تفاعل في الجلسات المتزامنة			
		X		X		التعرف على النظم المضمنة وخواصها.	ILO1
		X		X		تذكير بأساسيات الدارات المنطقية التراكيبية والتعاقبية.	ILO2
		X		X		فهم طريقة تصميم المعالجات المخصصة لغرض وحيد.	ILO3
		X		X		التعرف على أساسيات لغة التوصيف العتادي Verilog على سوية البوابات.	ILO4
		X		X		التعرف على أساسيات لغة التوصيف العتادي Verilog للدارات التراكيبية.	ILO5
		X		X		التعرف على أساسيات لغة التوصيف العتادي Verilog للدارات التعاقبية.	ILO6
		X		X		التعرف على المكونات الأساسية المعالجات ذات الأغراض العامة.	ILO7
		X		X		التعرف على بعض الطرقيات المعيارية الشائعة	ILO8

Syrian Arab Republic	 الجامعة الافتراضية السورية SYRIAN VIRTUAL UNIVERSITY	الجمهورية العربية السورية
Ministry of Higher Education		وزارة التعليم العالي
Syrian Virtual University		الجامعة الافتراضية السورية

					الاستخدام وعملها.	
		X		X	التعرف على أنواع الذاكر وخواصها وطرق تركيبها.	ILO9
		X		X	فهم طرق مواجهة المعالجات باستعمال المساري.	ILO10
		X		X	التعرف على بروتوكولات الاتصالات الفرعية والتسلسلية واللاسلكية.	ILO11
		X		X	التعرف على نظم التشغيل بالزمن الحقيقي وخواصها.	ILO12

7- أدوات ومختبرات القسم العملي:

إسم الأداة	توصيفها

8- المراجع الأساسية:

1- Frank Vahid, Tony D. Givargis, <b>Embedded System Design: A Unified Hardware/Software Introduction</b> , Jhon Wiley & Sons, 2005.
2- Pong P. Chu, <b>FPGA Prototyping by Verilog Examples Xilinx Spartan-3 Version</b> , Jhon Wiley & Sons, 2008.

9- المراجع الإضافية:

3- Qing Li and Carolyn Yao, <b>Real-Time Concepts for Embedded Systems</b> , CMP Books 2003.
--