الجامعة الافتراضية السورية
SYRIAN VIRTUAL UNIVERSITY

الكترونيات رقمية

د. محمد سويدان

CC BY ND

ISSN: 2617-989X

Books & Refrences

الكترونيات رقمية

الدكتور محمد سويدان

من منشورات الجامعة الافتراضية السورية

الجمهورية العربية السورية 2018

هذا الكتاب منشور تحت رخصة المشاع المبدع – النسب للمؤلف – حظر الاشتقاق (CC– BY– ND 4.0)

https://creativecommons.org/licenses/by-nd/4.0/legalcode.ar

يحق للمستخدم بموجب هذه الرخصة نسخ هذا الكتاب ومشاركته وإعادة نشره أو توزيعه بأية صيغة وبأية وسيلة للنشر ولأية غاية تجارية أو غير تجارية، وذلك شريطة عدم التعديل على الكتاب وعدم الاشتقاق منه وعلى أن ينسب للمؤلف الأصلي على الشكل الآتي حصراً:

د.محمد سويدان، الإجازة في تقانة الاتصالات BACT، من منشورات الجامعة الافتراضية السورية، الجمهورية العربية السورية، 2020

متوفر للتحميل من موسوعة الجامعة https://pedia.svuonline.org/

Digital Electronics

Dr. Mohammad Ali Soueidan

Publications of the Syrian Virtual University (SVU)

Syrian Arab Republic, 2020

Published under the license:

Creative Commons Attributions- NoDerivatives 4.0

International (CC-BY-ND 4.0)

https://creativecommons.org/licenses/by-nd/4.0/legalcode

Available for download at: https://pedia.svuonline.org/

الفهرس

الفصل الأول: مفاهيم رئيسة في الدارات الإلكترونية الرقمية 1

1. مقدمة Introduction 3

2. الخانة الإثنانية، المستويات المنطقية، والإشارات الرقمية Binary Digits, Logic Level, and Digital Waveforms 6

3. العمليات المنطقية الرئيسة Basic Logic Operations 14

4. مدخل إلى الوظائف المنطقية الرئيسة Introduction to the System Concepts 16

5. الدارات المتكاملة الرقمية ذات الوظائف الثابتة Fixed Function Integrated Circuits 24

6. خلاصة Summary 29

أسئلة ومسائل الفصل الأول Questions and Problems 31

الفصل الثاني: أنظمة العد، العمليات الحسابية، والرموز الرقمية 42

1. نظام العد العشري Decimal Numbers 44

2. نظام العد الإثناني Binary Numbers 45

3. التحويل من النظام العشري إلى النظام الإثناني وبالعكس Decimal (Binary) to Binary (Decimal) Conversion 47

4. العمليات الحسابية في النظام الإثناني Binary Arithmetic 50

5. المتمم الأحادي والإثناني للأعداد الإثنانية 1's and 2's Complements of Binary Numbers 56

6. العمليات الحسابية باستعمال المتمم الإثناني Arithmetic Operations with Signed umbers 60

7. نظام العد العشري المرمز إثنانيا Binary Coded Decimal (BCD) 70

8. الترميز الرقمي Digital Codes 74

9. كشف الخطأ نتيجة إرسال الرموز Error Detection Codes 77

10. خلاصة Summary 82

أسئلة ومسائل الفصل الثاني Questions and Problems 84

الفصل الثالث: الجبر البولياني وتبسيط التوابع المنطقية 98

1. العمليات البوليانية والتوابع المنطقية Boolean Operations and Expressions 100

2. قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra 100

3. نظريات دومورغان DeMorgan's Theorems 101

4. العلاقات البوليانية وجداول الحقيقة Boolean Expressions and Truth Tables 103

5. جداول كارنو The Karnaugh Maps 105

6. خلاصة Summary 113

أسئلة ومسائل الفصل الثالث Questions and Problems 114

الفصل الرابع: البوابات والتوابع المنطقية 127

1. البوابات المنطقية Logic gates 129

2.دارة الجامع Adder circuit 140

3.دارة المقارن Comparator Circuit 143

4.دارة المرمز ودارة كشف الترميز Encoder and Decoder Circuits 145

5.دارة الناخب، ودارة الناخب العكسي Multiplexer and Demultiplexer Circuits 152

6. خلاصة Summary 155

أسئلة ومسائل الفصل الرابع Questions and Problems 157

الفصل الخامس: السجلات والقلابات والمؤقتات 175
1.تصنيف عناصر الذاكرة Memory Elements classifications 177
2.السجلات Latches 178
3.القلابات Edge-Triggered Flip-Flops 184
4.دارة المؤقت The 555 Timer (555) 188
5. خلاصة Summary 193
أسئلة ومسائل الفصل الخامس Questions and Problems 194
الفصل السادس: سجلات الإزاحة 210
1.العمليات الرئيسة لسجلات الإزاحة Basic Shift Registers Operation 212
2.سجلات الإزاحة ذات الدخل التسلسلي/الخرج التسلسلي Serial In/Serial Out Shift Registers 212
3.سجلات الإزاحة ذات الدخل التسلسلي/الخرج التفرعي Serial In/Parallel Out Shift Registers 214
4.سجلات الإزاحة ذات الدخل التفرعي /الخرج التسلسلي Parallel In/ Serial Out Shift Registers 215
5.سجلات الإزاحة ذات الدخل التفرعي/ الخرج التفرعي Parallel In/ Parallel Out Shift Registers 217
6.سجلات الإزاحة العامة Bidirectional Shift Registers 218
7. خلاصة Summary 221
أسئلة ومسائل الفصل السادس Questions and Problems 222
الفصل السابع: العدادات 236
1.العدادات غير المتزامنة Asynchronous Counters 238
2.العدادات المتزامنة Synchronous Counters 242

3.العدادات المتزامنة التصاعدية/ التنازلية Up/Down Synchronous Counters 248

4.العدادات المتسلسلة (المتعاقبة) Cascaded Counters 252

5. خلاصة Summary 254

أسئلة ومسائل الفصل السابع Questions and Problems 256

الفصل الثامن: آلات الحالة المنتهية 270

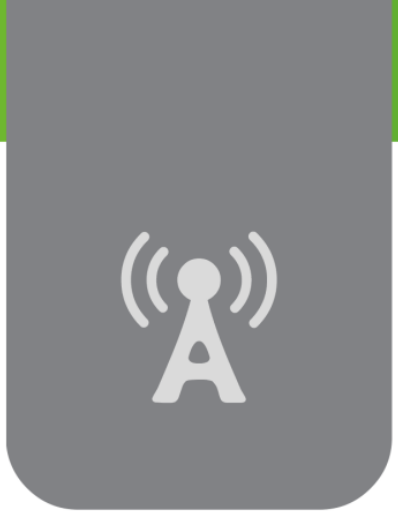
1.مدخل إلى الدارات التتابعية Introduction to Sequential Circuits 272

2.خطوات تصميم آلات الحالة Basic Design Steps 277

3.أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot ... 289

4. خلاصة Summary 294

مسائل الفصل الثامن Questions and Problems 295



الفصل الأول

مفاهيم رئيسة في الدارات الإلكترونية الرقمية

كلمات مفتاحية Keywords

رقمي Digital، إثناني Binary، خانة إثنانية Bit، النبضة Pulse، إشارة ساعة دورية Clock، المخطط الزمني Timing diagram، منطقي Logic، مدخل Input، مخرج Output، بوابة Gate، عكس منطقي NOT، بوابة العاكس المنطقي Inverter، بوابة الجداء المنطقي AND، بوابة الجمع المنطقي OR، الدارة المتكاملة Integrated Circuit (IC).

الملخص Abstract

يهدف الفصل الأول إلى إدخال بعض المفاهيم والمصطلحات الرئيسة المتعلقة بالإلكترونيات الرقمية. يشتق مصطلح الرقمية من طريقة تنفيذ الكمبيوتر للعمليات، وذلك من خلال تعامله مع الكلمات الإثنانية. لسنوات عديدة مضت، اقتصرت تطبيقات الإلكترونيات الرقمية على أنظمة الكمبيوتر. أما اليوم، فتستعمل التقانات الرقمية في مجموعة واسعة من المجالات. بالإضافة إلى أجهزة الكمبيوتر، هناك التلفزيون الرقمي، وأنظمة الاتصالات الرقمية، والرادار والملاحة وأنظمة التوجيه والأنظمة العسكرية، وأجهزة القياسات الطبية، ومراقبة العمليات الصناعية والتحكم بها، والأجهزة الإلكترونية الاستهلاكية.

تطورت التقانات الرقمية على مر السنين. فمن دارات الصمامات المفرغة، إلى الدارات الترانزستورية، ثم إلى الدارات المتكاملة المعقدة، والتي تحتوي بعضها على بضع بلايين من الترانزستورات المكاملة.

يقدم هذا الفصل للإلكترونيات الرقمية، كما يقدم لمحة عامة عن العديد من المفاهيم الهامة والمكونات والأدوات المستعملة في هذا المجال. سندرس، على وجه الخصوص، الخانة الإثنانية، والمستويات المنطقية، والإشارات الرقمية ومحدداتها. ثم نعرض للعمليات المنطقية الرئيسة وللوحدات المنطقية ثابتة الوظيفة أيضاً، وأخيراً نعطي فكرة عن بنية وتصنيف الدارات المتكاملة الرقمية.

الأهداف التعليمية للفصل الأول ILO1

يهدف هذا الفصل إلى تمكين الطالب من استيعاب بعض المفاهيم الرئيسة والمصطلحات المتعلقة بالإلكترونيات الرقمية. وبشكل خاص الإشارات الرقمية ومعاملاتها، والخانة الإثنانية، والمستوى المنطقي، وتعريف البوابات والوحدات المنطقية الرئيسة. ودراسة بنية وتصنيف الدارات الرقمية المتكاملة.

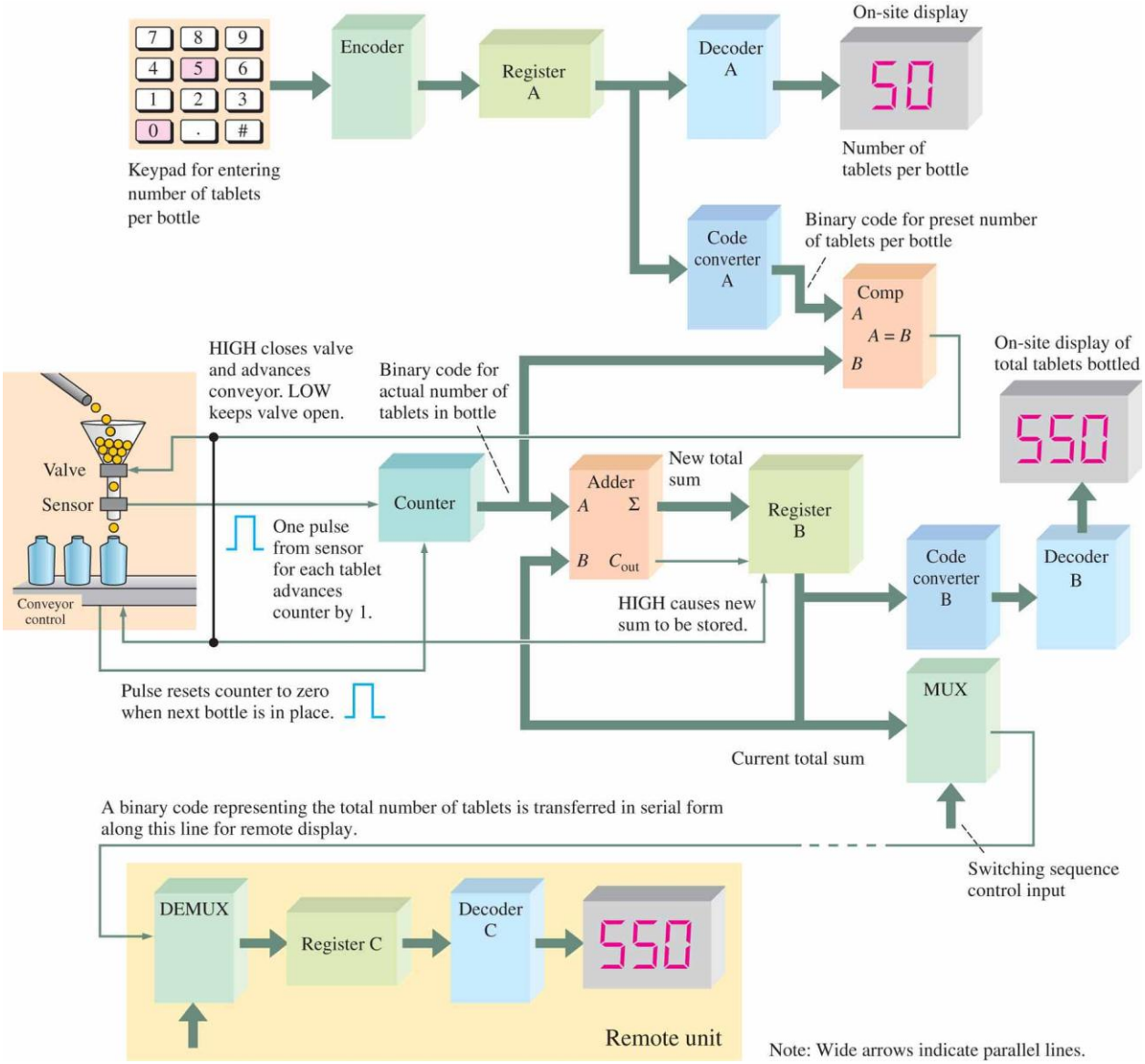
مخرجات الفصل الأول ILO1

استيعاب المفاهيم الرئيسة في الدارات الإلكترونية الرقمية كالإشارات الرقمية ومحدداتها، وتعريف البوابات والوحدات المنطقية الرئيسة، والتعرف على بنية وتصنيف الدارات الرقمية المتكاملة.

1. مقدمة Introduction

نهدف من خلال هذه المادة إلى تمكين الطالب من تحليل وفهم النظم المنطقية البسيطة، ومن فهم عمل مجموعة وظائف منطقية مترابطة بعضها مع بعض. وأن يبدأ بالتفكير بعمل الأنظمة وليس فقط في عمل الوظائف المنطقية الجزئية. لكن كي يفهم الطالب عمل النظم لابد أولاً من أن يفهم عمل العناصر الأولية، والوظائف الرئيسة التي بها تبنى النظم الأكثر تعقيداً.

ليكن النظام المنطقي البسيط الذي يتحكم بتعبئة عبوات من الأدوية بعدد مبرمج من الحبات الدوائية الدوائية والموضح في الشكل 1.1.



الشكل 1.1: مخطط صندوقي لنظام منطقي يتحكم بتعبئة حبوب دوائية محددة في عبوات.

- Keypad for entering number of tablets per bottle: لوحة مفاتيح رقمية لإدخال عدد الحبات في كل عبوة (قارورة)
- Encoder: مرمز
- Regiser A: السجل (A)
- Decoder A: مفكك الترميز (A)
- On – site display: وحدة إظهار في المكان
- Number of tablets per bottle: عدد الحبات في كل عبوة (قارورة)
- Code Converter A: محول الترميز (A)
- Binary code for preset number of tablets per bottle: الترميز الإثناني لوضع عدد الحبات المرغوب في كل عبوة (قارورة)
- Comparator: مقارن
- LOW keeps valve open،HIGH closes valve and advances conveyor: القيمة المنطقية (1) تُغلق الصمام وتؤدي إلى تحريك السير الناقل إلى الأمام، والقيمة المنطقية (0) تفتح الصمام
- Binary code for actual number of tablets in bottle: الترميز الإثناني لعدد الحبات الفعلي في العبوة (القارورة)
- On – site display of total tablets bottled: وحدة إظهار في المكان لعدد الحبات الفعلي الكلي في العبوات
- Valve: الصمام
- Sensor: الحساس
- Conveyor control: تحكم السير الناقل
- One pulse from sensor for each tablet advances counter by 1: نبضة واحدة من الحساس لكل حبة تسقط في العبوة، وتؤدي إلى زيادة قيمة العداد بمقدار (1)
- Counter: العداد
- Adder: الجامع
- New total sum: المجموع الكلي الجديد
- HIGH causes new sum to be stored: تؤدي القيمة المنطقية (1) لتخزين قيمة الجمع الجديدة
- Pulse resets counter to zero when next bottle is in place: نبضة تصفير العداد (إعطائه القيمة صفر)، عندما تأخذ العبوة التالية مكانها
- Current total sum: قيمة الجمع الآنية
- A binary code for the total number of tablets is transferred in serial form along this line for remote display and computer inventory control: الترميز الإثناني لعدد الحبات الدوائية الكلي المنقول تسلسلياً على هذا الخط إلى وحدة الإظهار البعيدة وحاسب التحكم بمخزون الحبات الدوائية

- Switching sequence control input: مدخل التحكم بالناخب
- DEMUX: الناخب العكسي
- Remote unit: وحدة الإظهار البعيدة عن موقع العمل (المصنع)

يقدم الشكل 1.1 مثالاً توضيحياً لمفهوم النظام المنطقي، وليس بالضرورة نموذجاً عملياً. لنتصور معملاً لتصنيع وتعليب الأدوية. يستعمل نظاماً للتحكم بتعبئة الحبات الدوائية الدوائية في عبوات مناسبة، وبحسب عددها. تأتي الحبات الدوائية إلى قمع ذي عنق ضيق لايتسع إلا إلى حبة واحدة تسقط في العبوة التي تأتي إلى فوهة القمع عبر حامل سيار. يتحكم النظام المنطقي بعدد الحبات في كل عبوة، ويظهر بشكل مستمر العدد الكلي للحبات قرب السير الناقل وفي مكان ما من المصنع. يستعمل هذا النظام وظائف منطقية رئيسة، ندرسها لاحقاً. والهدف الوحيد هنا هو إعطاء الطالب فكرة عن كيفية ربط هذه الوظائف للقيام بوظيفة أكبر محددة.

يمكن شرح العمل الإجمالي للنظام كما يلي: يكتشف الحساس الضوئي (Optical Sensor) الموضوع تحت عنق القمع كل حبة تمر منه، وينتج نبضة كهربائية عند مرور كل حبة. تدخل هذه النبضات إلى عداد منطقي (Counter) يعمل على عدها، وبالتالي يعد العداد كل حبة تمر من عنق القمع وتسقط في العبوة، ويحتوي العداد في كل لحظة على عدد حبات العبوة. تطبق قيمة العداد على المدخل (B) لدارة مقارن (Comparator)، ويطبق على المدخل الآخر (A) للمقارن العدد الكلي الافتراضي لحبات العبوة الواحدة. يأتي هذا العدد عن طريق لوحة مفاتيح رقمية (Keypad) والدارات الملحقة بها، والتي تشمل دارة المرمز (Encoder)، والسجل (A) (Register A)، ومحول الترميز (A) (Code converter A). عندما يُدخل عدد الحبات المطلوب في كل عبوة عن طريق لوحة المفاتيح الرقمية، تُرمز وتُخزن في السجل (A) إلى أن يتقرر عدد مختلف للحبات في كل عبوة.

لنفترض أن عدد الحبات المطلوب في كل عبوة (50)، عندما يصل العدد في العداد إلى (50)، يأخذ خرج المقارن (A=B) القيمة المنطقية (1)، مشيراً إلى امتلاء العبوة. ويعمل خرج المقارن على إغلاق صمام عنق القمع مانعاً مرور الحبات الدوائية منه، ويُفعل في نفس الوقت السير الناقل ليحرك عبوة تالية كي تتوضع أسفل عنق القمع. عندما تأخذ العبوة التالية مكانها الصحيح تحت عنق القمع، يعطي السير الناقل نبضة تتحكم في الدارة وتؤدي إلى وضع العداد على القيمة صفر. مما يجعل خرج المقارن (A=B) يأخذ القيمة المنطقية (0)، التي تعيد فتح صمام عنق قمع الحبات الدوائية لتبدأ عملية تعبئة مرة أخرى.

2. الخانة الإثنانية، المستويات المنطقية، والإشارات الرقمية Binary Digits، Logic Levels، and Digital Waveforms

تشمل الإلكترونيات الرقمية الدارات والنظم التي لا توجد فيها سوى حالتين ممكنتين هما: القيمة العالية (HIGH)، والقيمة المنخفضة (LOW). يمكن تمثيل الحالتين باستعمال جهدين مختلفين، واستعمال الإرتفاعات والانخفاضات في الأقراص المرنة (Compact Disc) أو أقراص الفيديو الرقمية (Digital Video Disc). وفي النظم الرقمية مثل أجهزة الكمبيوتر، تسمى مجموعة من الحالتين رموزاً (Codes)، وتستعمل لتمثيل الأعداد (Numbers) والرموز (Symbols) والأحرف الأبجدية (Alphabetic characters)، وأنواع أخرى من المعلومات. ويُسمى نظام الأعداد بحالتين بنظام العد الإثناني (Binary)، وفيه قيمتان (0) و (1). تُسمى الخانة الإثنانية (Binary digit) أو اختصاراً (Bit).

الخانة الإثنانية (Binary Digits)

يُسمى كل من الرقمين (0) و (1) في النظام الإثناني، خانة إثنانية (Bit)، وهذا اختصار من كلمتين (Binary) و (Digit). يُستعمل في الدارات الرقمية، مستويان من الجهد لتمثيل خانة إثنانية (Bit)، يمثل الجهد المرتفع (1)، ويُشار إليه بالقيمة العالية (HIGH)، ويمثل الجهد المنخفض (0)، ويُشار إليه بالقيمة المنخفضة (LOW). ويعرف هذا التمثيل بالمنطق الموجب (Positive logic) وسيُستعمل في هذا المقرر.

$$LOW = 0، HIGH = 1$$

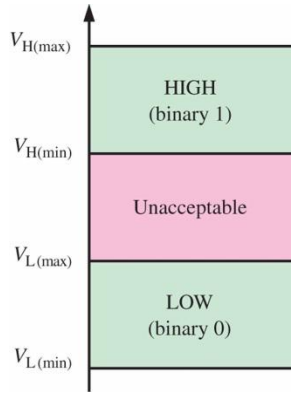
هناك أسلوب آخر للتمثيل، إذ يُمثل (1) بالقيمة المنخفضة (LOW)، ويُمثل (0) بالقيمة العالية (HIGH)، ويُسمى هذا التمثيل المنطق السالب (Negative logic).

تُسمى المجموعة من البتات رموز (Codes)، وتُستعمل لتمثيل الأرقام والحروف والرموز والتعليمات وأي شيء آخر مطلوب في تطبيق معين.

المستويات المنطقية (Logic Levels)

يطلق على الجهود المستعملة لتمثيل (0) و (1) المستويات المنطقية. من الناحية المثالية، يمثل أحد مستويات الجهد القيمة المنطقية العالية (HIGH)، ويمثل مستوى الجهد الآخر القيمة المنطقية المنخفضة (LOW). ومع ذلك، في الدارات الرقمية العملية يمكن أن تكون القيمة المنطقية العالية (HIGH) أي جهد يقع بين القيمة المحددة الدنيا والقيمة المحددة القصوى. وبالمثل، يمكن أن تكون القيمة المنطقية المنخفضة (LOW) أي جهد يقع بين القيمة المحددة الدنيا والقيمة المحددة القصوى. يجب أن لا يكون تداخل بين مجال قيم الجهود التي تمثل القيمة المنطقية العالية (HIGH) وتلك التي تمثل القيمة المنطقية المنخفضة (LOW).

يوضح الشكل 2.1 المجال العام للقيمة المنطقية المنخفضة (LOW) وللقيمة المنطقية العالية (HIGH) للدارات الرقمية.



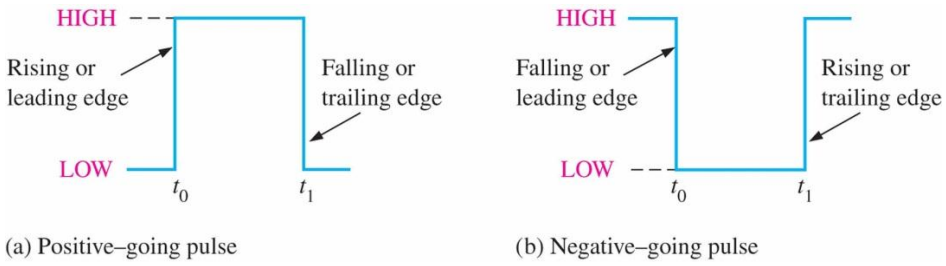
الشكل 2.1: قيم مجالات الجهود للمستويات المنطقية للدارات الرقمية.

(Unacceptable): المجال الممنوع لتمثيل المستويات المنطقية.

يمثل المتحول ((VH(max) القيمة العظمى للجهد الذي يمثل المستوى المنطقي العالي (HIGH)، ويمثل المتحول ((VH(min) القيمة الدنيا للجهد الذي يمثل المستوى المنطقي العالي (HIGH). كما يمثل المتحول ((VL(max) القيمة العظمى للجهد الذي يمثل المستوى المنطقي المنخفض (LOW)، ويمثل المتحول ((VL(min) القيمة الدنيا للجهد الذي يمثل المستوى المنطقي المنخفض (LOW). تُعرف قيم الجهود المحدودة في المجال بين القيمتين (VH(min) و ((VL(max) بالقيم غير المسموح بها وبالتالي هي قيم ممنوعة في الدارات الرقمية. على سبيل المثال، تتراوح قيم جهود المستوى المنطقي العالي في الدرات الرقمية نوع (CMOS) بين (2 V) و (3.3 V). وتتراوح قيم جهود المستوى المنطقي المنخفض في الدرات الرقمية نوع (CMOS) بين (0 V) و (0.8 V). بالتالي لو كان لدينا جهداً مقداره (2.5 V) مطبقاً على دخل دارة رقمية، فإن الدارة تتعامل معه على أنه مستوى منطقي عال (HIGH) أو بت قيمته (1). وإذا طبق جهد مقداره (0.5 V)على دخل دارة رقمية، فإن الدارة تعامله على أنه مستوى منطقي منخفض (LOW) أو بت قيمته (0). بالتالي فإن مجال الجهود الممنوعة في هذا النوع من الدارات يقع بين (0.8 V) و (2 V).

الإشارات الرقمية (Digital Waveforms)

تتكون الإشارات الرقمية من مستويين للجهود يتغيران بين قيمتين أو حالتين: المستوى العالي والمستوى المنخفض. يعطي الشكل 3.1 (a) نبضة رقمية موجبة تنشأ من انتقال الجهد من المستوى المنخفض، الذي يمثل (0) منطقي، إلى المستوى العالي، والذي يمثل (1) منطقي، والعودة إلى المستوى المنخفض. ويبين الشكل 3.1 (b) نبضة رقمية سالبة تنشأ من انتقال الجهد من المستوى العالي، الذي يمثل (0) منطقي، إلى المستوى المنخفض، والذي يمثل (1) منطقي، والعودة إلى المستوى العالي. تتكون الإشارات الرقمية من سلسلة من تلك النبضات.

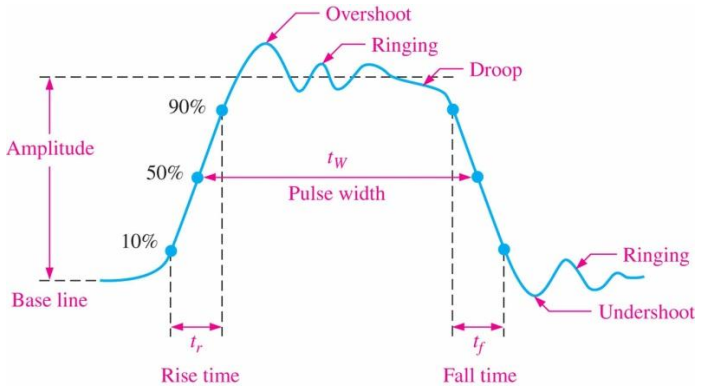


الشكل 3.1: نبضات رقمية مثالية.

- (Rising or leading edge): جبهة الصعود أو الجبهة الأمامية
- (Falling or trailing edge): جبهة الهبوط أو الجبهة الخلفية
- (Falling or leading edge): جبهة الهبوط أو الجبهة الأمامية
- (Rising or trailing edge): جبهة الصعود أو الجبهة الخلفية
- (Positive–going pulse): النبضة الموجبة
- (Negative–going pulse): النبضة السالبة

النبضة: للنبضة جبهتان كما هو مبين في الشكل 3.1 (a)،: جبهة أمامية تحدث عند الزمن (t_0)، وجبهة خلفية تحدث عند الزمن (t_1). في حالة النبضة الموجبة، الجبهة الأمامية هي جبهة الصعود، والجبهة الخلفية هي جبهة الهبوط. النبضات المبينة في الشكل 3.1 هي نبضات مثالية، لأن جبهات الصعود والهبوط تحدث آنياً، أي دون أي تأخير. على الرغم من أنه في الحالات العملية، لا تحدث هذه الجبهات بشكل فوري، إلا أننا يمكن أن نفترض، في كثير من الدارات الرقمية، وجود نبضات مثالية.

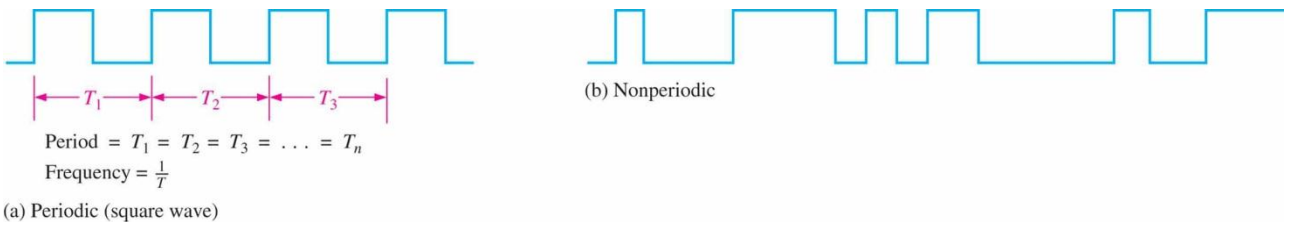
يبين الشكل 4.1 نبضة حقيقية (غير مثالية). وتبدي في الواقع جميع الإشارات النبضية بعض أو كل خصائص النبضة الحقيقية. إذ تحدث ظاهرة تجاوز القيمة الاسمية للمطال (Overshoot)، أو ظاهرة الاهتزاز المتخامد (Ringing) بسبب وجود فعل حثي أو سعوي شارد.



الشكل 4.1: خصائص النبضة الحقيقية.

ويحصل هبوط عن القيمة الاسمية للمطال (Droop) بسبب فعل السعات الشاردة ومقاومات الدارة، مما يشكل دارة (RC) لها ثابت زمني منخفض. يسمى الزمن اللازم لانتقال النبضة من المستوى المنخفض إلى المستوى العالي زمن الصعود (Rise time) واختصاراً (t_r)، ويسمى الزمن اللازم لانتقال النبضة من المستوى العالي إلى المستوى المنخفض زمن الهبوط (Fall time) واختصاراً (t_f). يُقاس زمن الصعود عملياً، بين الزمن عند (10%) والزمن عند (90%) من مطال النبضة. ويُقاس زمن الهبوط من الزمن عند (90%) إلى الزمن عند (10%) من مطال النبضة، وهو ما يبينه الشكل 4.1. وذلك لتجاوز (10%) من مطال النبضة فوق الخط المرجعي لقياس المطال و (10%) أدنى من مطالها لتخطي المناطق اللاخطية في النبضة ضمن المجالين المذكورين لقياس زمني صعود وهبوط النبضة. ويقاس عرض النبضة عند الفاصل الزمني لنقطتي تقاطع خط (50%) من مطال النبضة عند صعودها وهبوطها، كما هو مبين في الشكل 4.1.

خصائص الإشارات الرقمية: تتكون معظم الإشارات التي تتعامل معها الأنظمة الرقمية من سلسلة من النبضات، تُدعى أحياناً قطار النبضات. ويمكن تصنيفها على أنها إما إشارات دورية أو إشارات غير دورية. يكرر قطار النبضات الدوري نفسه خلال فترة زمنية محددة، تُسمى دور الإشارة (T). ويُعرف تردد الإشارة الدورية (f) على أنه معدل تكرار الإشارة الدورية مقاساً بالهيرتز (Hz). أما قطار النبضات غير الدوري فلا يكرر نفسه خلال فترات زمنية محددة، ويختلف عرض النبضة فيه بشكل عشوائي و/أو تختلف الفترات الزمنية عشوائياً بين النبضات. يعطي الشكل 5.1 مثالاً لكلا النوعين.



الشكل 5.1: مثال لقطار نبضات. (a) دوري، (لb) غير دوري.

يتناسب تردد قطار النبضات الدوري عكساً مع الدور.

$$f = \frac{1}{T}, \qquad T = \frac{1}{f}$$

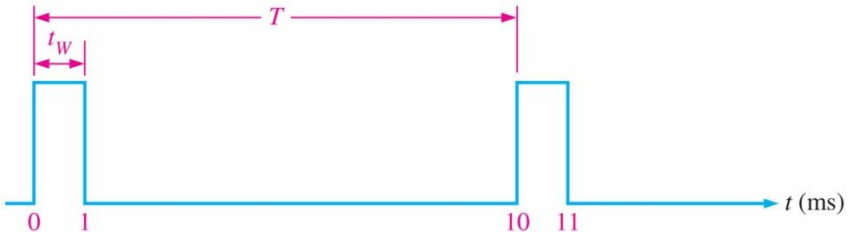
من الخصائص الهامة لقطار النبضات الدوري هو النسبة المئوية للمستوى المنطقي العالي بالنسبة للدور (Duly cycle)، وهو نسبة عرض النبضة (t_w) إلى الدور (T).

$$Duty\ cycle = \left(\frac{t_w}{T}\right)100\%$$

المثال 1.1

لنفترض الإشارة الرقمية الدورية المبينة في الشكل 6.1، والتي يقاس الزمن فيها بالميللي ثانية (ms). والمطلوب تحديد ما يلي:

(a) الدور (Period)، (b) التردد (Frequency)، (c) النسبة المئوية للمستوى المنطقي العالي بالنسبة للدور (Duly cycle).



الشكل 6.1: إشارة رقمية دورية.

الحل

a) دور الإشارة الرقمية الدورية: يقاس الدور من حافة صعود نبضة ما إلى حافة صعود النبضة التالية لها.

$$T = 10\,ms$$

b) تردد الإشارة الرقمية الدورية: $$f = \frac{1}{T} = \frac{1}{10\,ms} = \frac{1}{10 \times \left(10^{-3} s\right)} = 100\,Hz$$

c) النسبة المئوية للمستوي المنطقي العالي: $$Duty\ cycle = \left(\frac{t_w}{T}\right)100\% = \left(\frac{1\,ms}{10\,ms}\right)100\% = 10\%$$

الإشارات الرقمية تحمل معلومات إثنانية

المعلومات الإثنانية التي تتعامل معها النظم الرقمية تظهر على شكل إشارات رقمية تمثل تتابعاً من البتات (الخانات الإثنانية). عندما تكون الإشارة الرقمية عند المستوى المنطقي العالي فإنها تمثل القيمة المنطقية (1)، وفي الحالة المعاكسة، أي عندما تكون عند المستوى المنطقي المنخفض فإنها تمثل القيمة المنطقية (0). يشغل كل بت حيزاً زمنياً يسمى زمن البت (Bit time).

إشارة الساعة (The Clock)

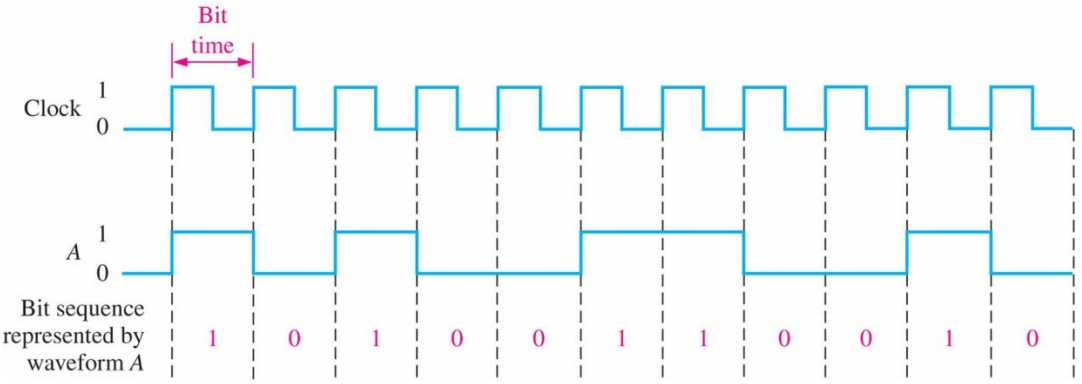
تتزامن الإشارات الرقمية في النظم الرقمية مع إشارة تزامن تسمى إشارة الساعة (clock). إشارة الساعة هي إشارة دورية، دورها (T) يساوي زمن البت الواحد.

يبين الشكل 7.1 مثالاً لإشارة الساعة. لنلاحظ في هذه الحالة، أن كل تغيير في مستوى الإشارة (A) يحدث عند الحافة الصاعدة لإشارة الساعة. في حالات أخرى، يمكن أن تحدث تلك التغيرات عند الحافة الهابطة لإشارة الساعة. تأخذ الإشارة الرقمية (A) خلال كل زمن بت من إشارة الساعة، إما الحالة المنطقية العالية (HIGH)، أو الحالة المنطقية

المنخفضة (LOW). وتمثل الحالات المنطقية تلك تتابع البتات. ويمكن استعمال مجموعة من هذه البتات لتمثيل رقم (Number)، أو حرف (Letter). أما إشارة الساعة نفسها فلا تحمل أية معلومات.

المخططات الزمنية (Timing Diagrams)

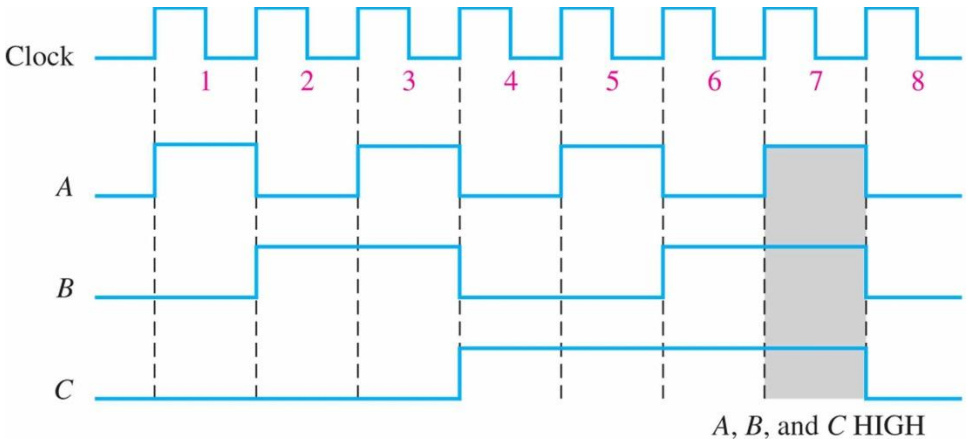
المخطط الزمني هو رسم بياني للإشارات الرقمية التي تبين العلاقة الزمنية الفعلية بين إشارتين رقميتين أو أكثر وكيف تتغير كل إشارة رقمية بالنسبة لبقية الإشارات. من خلال النظر في المخطط الزمني، يمكنك تحديد حالات الإشارات (عالية أو منخفضة) في أي زمن ترغبه، والزمن الدقيق لتغيرات حالة بالنسبة للإشارات الرقمية الأخرى. يبين الشكل 8.1 مثالاً لمخطط زمني لأربع إشارات رقمية.



الشكل 7.1: مثال لإشارة ساعة تزامن لإشارة رقمية تمثل تتابعاً من البتات.

- (Bit sequence represented by waveform A): تتابع من البتات ممثلة في الإشارة الرقمية (A).

يمكن أن نلاحظ من المخطط الزمني التالي، على سبيل المثال، أن الإشارات الرقمية الثلاث (A)، و (B)، و(C) تأخذ الحالة المنطقية العالية خلال زمن البت السابع، وتأخذ الحالة المنطقية المنخفضة جميعها عند نهاية البت السابع (المنطقة المظللة).



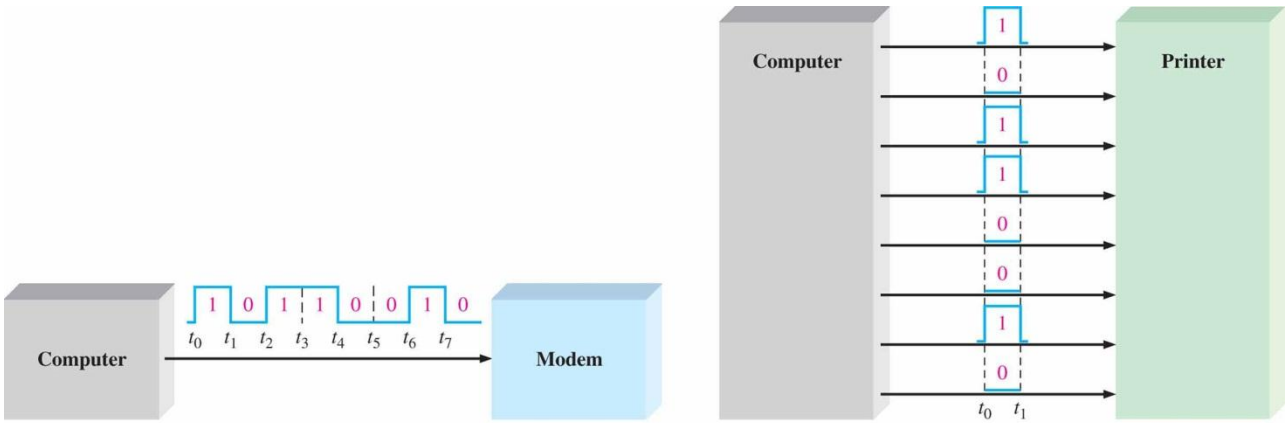
الشكل 8.1: مثال على المخطط الزمني.

نقل المعطيات (Timing Diagrams)

المعطيات هي مجموعات من البتات تنقل بعض أنواع المعلومات. تنتقل المعطيات الإثنانية (البتات)، الممثلة بالإشارات الرقمية، من دارة إلى أخرى داخل النظام الرقمي أو من نظام رقمي إلى آخر من أجل تحقيق هدف معين. فعلى سبيل المثال، تُنقل الأرقام الإثنانية المخزنة في ذاكرة كمبيوتر إلى وحدة المعالجة المركزية لإجراء العمليات الحسابية عليها. ثم تُنقل نتيجة الحسابات إلى شاشة الكمبيوتر لعرضها و/أو نقلها إلى الذاكرة. تُنقل المعطيات الإثنانية في نظم الكمبيوتر بطريقتين: تسلسلية وتفرعية، كما هو موضح في الشكل 9.1.

عندما تُنقل البتات تسلسلياً من نقطة إلى أخرى، يُرسل بت واحد على خط واحد في لحظة معينة، كما هو الحال عند نقل المعطيات بين الكمبيوتر والمودم (الشكل 9.1 (a)). يجري نقل البت الأول خلال الفترة الزمنية من (t_0) إلى (t_1) والبت الثاني خلال الفترة الزمنية من (t_1) إلى (t_2)، وهلم جرا. يلزمنا في هذه الحالة لنقل ثمانية بتات تسلسلياً ثمانية فترات زمنية.

وعندما تُنقل البتات الثمانية تفرعياً، مثل نقل ثمانية بتات من الكمبيوتر إلى الطابعة، تُرسل جميع البتات على ثمانية خطوط منفصلة في نفس الوقت، ويُخصص خط واحد لكل بت (الشكل 9.1 (b))، ونحتاج في هذه الحالة إلى زمن نقل بت واحد فقط.



(a) Serial transfer of 8 bits of binary data from computer to modem. Interval t_0 to t_1 is first.

(b) Parallel transfer of 8 bits of binary data from computer to printer. The beginning time is t_0.

الشكل 9.1: مثال على النقل التسلسلي والتفرعي لثمانية بتات.

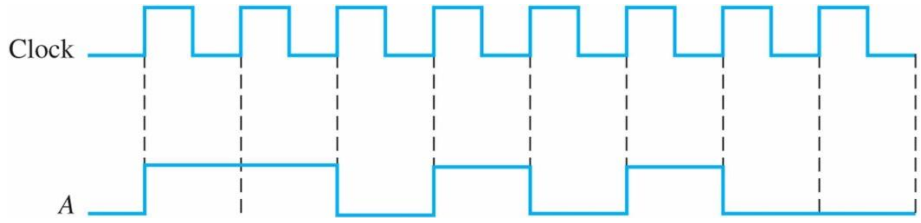
- Serial transfer of 8 bits of binary data from computer to modem. Interval t_0 to t_1 is first): النقل التسلسلي لثمانية بتات من الكمبيوتر إلى المودم. يُنقل البت بين t_0 و t_1 أولاً.
- Parallel transfer of 8 bits of binary data from computer to printer. The beginning time is t_0): النقل التفرعي لثمانية بتات من الكمبيوتر إلى الطابعة. بداية النقل عند الزمن t_0.

يتميز النقل التسلسلي للمعطيات الإثنانية عن النقل التفرعي باختصار خطوط النقل إلى خط واحد فقط. أما في حالة نقل المعطيات الإثنانية التفرعية، فإن عدد خطوط النقل يساوي إلى عدد البتات المطلوب نقلها على التفرع. مع ذلك، للنقل التسلسلي عيب هو حاجته إلى زمن أكبر من زمن النقل التفرعي لعدد محدد من البتات. فعلى سبيل المثال، إذا كان زمن نقل البت الواحد ($1\,\mu s$)، فإننا نحتاج إلى ($8\,\mu s$) لنقل ثمانية بتات بالطريقة التسلسلية، بينما نحتاج فقط إلى ($1\,\mu s$) لنقلها بالطريقة التفرعية. أما سلبية النقل التفرعي فهي حاجته إلى خطوط أكثر من النقل بالطريقة التسلسلية.

المثال 2.1

a) لنفترض الإشارة الرقمية (A) الممثلة في الشكل 10.1، والمطلوب تحديد الزمن الكلي لنقل ثمانية بتات تسلسلياً، وتحديد تسلسل نقلها أو إرسالها، علماً أن البت الذي على أقصى اليسار هو البت الذي سيُرسل أولاً، وأن تردد إشارة الساعة المستعملة كمرجع زمني هو ($100\,kHz$).

b) ما هو الزمن الكلي المطلوب لإرسال نفس المعطيات تفرعياً.



الشكل 10.1: مثال لقطار من النبضات.

الحل

a) بما أن تردد إشارة الساعة ($f = 100\,kHz$)، يكون دورها

$$T = \frac{1}{f} = \frac{1}{100\,kHz} = \frac{1}{\left(100 \times 10^3\,Hz\right)} = 10\,\mu s$$

وهو الزمن اللازم لنقل كل بت. بالتالي يكون زمن إرسال ثمانية بتات

$$8 \times 10\,\mu s = 80\,\mu s$$

كي نحدد تسلسل إرسال البتات نعود إلى الإشارة الرقمية (A) في الشكل 10.1 عند كل زمن للبت. إذا كان المستوى المنطقي عالياً فقيمة البت (1)، وإذا كان المستوى المنطقي منخفضاً فقيمة البت (0)، وعليه يكون تسلسل إرسال البتات كما هو مبين في الشكل 11.1:

الشكل 11.1: تسلسل إرسال البتات من اليسار إلى اليمين.

b) الزمن اللازم لنقل البتات تفرعياً ($10\,\mu s$)

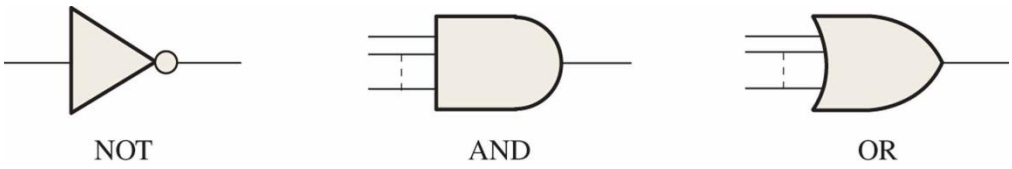
3. العمليات المنطقية الرئيسة Basic Logic Operations

تشكل مجموعة من العبارات افتراضاً، أو منطقاً، أو وظيفة. فعلى سبيل المثال، تكون العبارة المفترضة "المصباح مضيء" صحيحةٌ عندما تكون الحالة "المصباح غير تالف" صحيحة، والحالة "المفتاح على وضع التشغيل" صحيحة أيضاً. لذلك، يمكن صياغة العبارة المنطقية على الشكل التالي: يضيء المصباح فقط إذا لم يكن تالفاً وإذا كان مفتاح التحكم به على وضع التشغيل. في هذا المثال لا تكون العبارة الأولى صحيحة إلا إذا كانت العبارتان التاليتان صحيحتين. فالعبارة الأولى ("المصباح مضيء") هي الفرضية الأساس، والعبارتان الأخريتان هما الشرطان اللذان تتعلق الفرضية بهما.

في عام 1850، طور عالم المنطق والرياضيات الإيرلندي جورج بول (George Boole) نظاماً رياضياً لصياغة العبارات المنطية باستعمال الرموز بحيث يمكن صياغة المسائل وحلها بطريقة مماثلة لتلك المستعملة في الجبر العادي. طُبق الجبر البولياني، كما هو معروف اليوم، في تصميم وتحليل النظم الرقمية وسيجري تغطيته بالتفصيل في الفصل الثالث.

يُطبق المنطق (Logic) على الدارات الرقمية المستعملة في تنفيذ الوظائف المنطقية. وتوجد عدة أنواع من الدارات المنطقية الرقمية التي هي العناصر الرئيسة التي تشكل اللبنات الأساسية لبناء النظم الرقمية المعقدة مثل الكمبيوتر وغيره. سننظر الآن في هذه العناصر ونناقش وظائفها بطريقة عامة.

يُبين الشكل 12.1 رموز البوابات المنطقية الثلاث التي تمثل العمليات المنطقية الأساسية وهي: (NOT،AND، and OR). وتمثل الخطوط المستمرة الموصولة بالرموز مداخل (Inputs) ومخارج (Outputs) البوابات. تقع المداخل على الجهة اليسرى من كل رمز، وتقع المخارج على الجهة اليمنى منه. تُسمى الدارات التي تقوم بإجراء العمليات المنطقية المعينة مثل (OR،AND) بالبوابات المنطقية (Gates). يمكن أن يكون للبوابات المنطقية (OR،AND) أي عدد من المداخل، كما هو مبين في الشكل 12.1.



الشكل 12.1: العمليات المنطقية الرئيسة ورموزها.

في العمليات المنطقية، يمثل الشرط، صحيح / خطأ (true / false)، المذكور في وقت سابق المستوى المنطقي العالي (صحيح) أو المستوى المنطقي المنخفض (خطأ). ولكل من العمليات المنطقية الأساسية الثلاثة استجابة وحيدة لمجموعة معينة من الشروط.

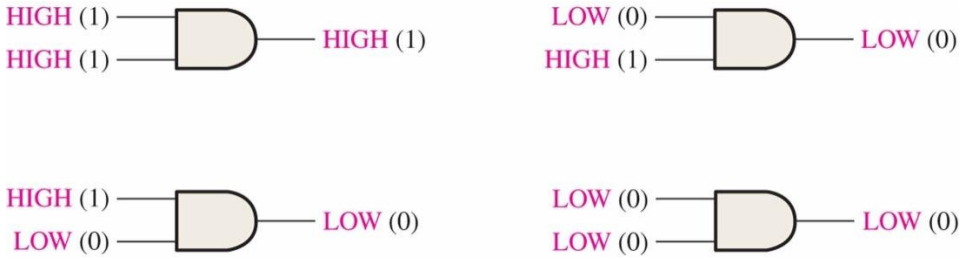
عملية العكس المنطقية (NOT)

تغير عملية العكس المنطقية (NOT) المستوى المنطقي إلى المستوى المنطقي المعاكس، كما هو مبين في الشكل 13.1. عندما يكون المدخل (1) منطق، يكون المخرج (0) منطق. وعندما يكون المدخل (0) منطق، يكون المخرج (1) منطق. في كلتا الحالتين، لا تكون حالة المخرج مماثلة لحالة الدخل. يجري تنفيذ العملية المنطقية العاكسة (NOT) باستعمال البوابة المنطقية المعروفة باسم العاكس (Inverter).

الشكل 13.1: عملية العكس المنطقية (NOT).

عملية الجداء المنطقي (AND)

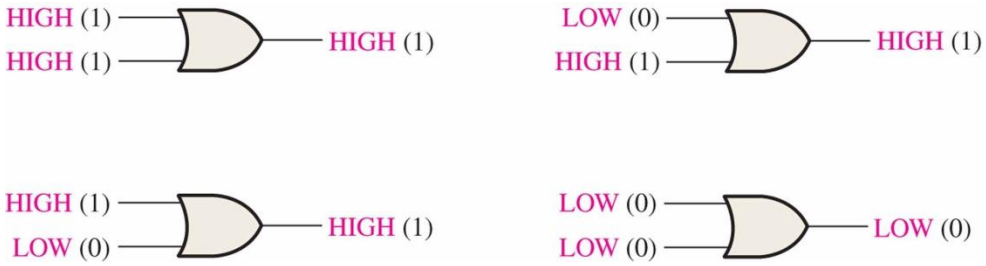
تعطي عملية الجداء المنطقي خرجاً قيمته المنطقية (1)، عندما تكون القيمة المنطقية لكل المداخل (1) كما هو مبين في الشكل 14.1 في حالة بوابة (AND) بمدخلين. عندما يأخذ أحد المداخل القيمة المنطقية (1)، ويأخذ المدخل الآخر أيضاً القيمة المنطقية (1)، يأخذ المخرج عندها القيمة المنطقية (1). وعندما يأخذ أحد المدخلين على الاقل القيمة المنطقية (0)، يأخذ المخرج أيضاً القيمة المنطقية (0). وعندما يأخذ كلا المدخلين القيمة المنطقية (0)، يأخذ المخرج القيمة المنطقية (0). يجري تنفيذ عملية الجداء المنطقي باستعمال البوابة المنطقية (AND).



الشكل 14.1: عملية الجداء المنطقي (AND).

عملية الجمع المنطقية (OR)

تعطي عملية الجمع المنطقي خرجاً قيمته المنطقية (1)، عندما تكون القيمة المنطقية لأحد المداخل (1) كما هو مبين في الشكل 15.1 في حالة بوابة (OR) بمدخلين. عندما يأخذ أحد المداخل القيمة المنطقية (1)، ويأخذ المدخل الآخر أيضاً القيمة المنطقية (1)، يأخذ المخرج عندها القيمة المنطقية (1). وعندما يأخذ أحد المدخلين على الاقل القيمة المنطقية (1)، يأخذ المخرج أيضاً القيمة المنطقية (1). وعندما يأخذ كلا المدخلين القيمة المنطقية (0)، يأخذ المخرج القيمة المنطقية (0). يجري تنفيذ عملية الجمع المنطقي باستعمال البوابة المنطقية (OR).



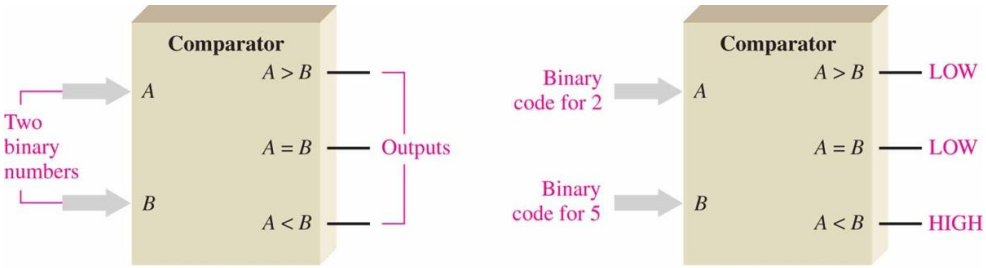
الشكل 15.1: عملية الجمع المنطقي (OR).

4. مدخل إلى الوظائف المنطقية الرئيسة Introduction to the System Concepts

تشكل العناصر المنطقية الأساسية الثلاثة (AND)، و (OR)، و (NOT)، اللبنات الأساسية التي بها يتم بناء الدارات المنطقية الأكثر تعقيداً، والتي بدورها تنفذ العديد من العمليات المفيدة المستعملة في بناء النظم الرقمية الكاملة. من الوظائف المنطقية شائعة الاستعمال وظيفة المقارنة، والحساب، وتحويل الرموز، والترميز، وفك الترميز، وانتخاب المعطيات، وتخزينها، والعد. نعطي هنا لمحة عامة عن هذه الوظائف الهامة التي تشكل اللبنات الأساسية للأنظمة الرقمية مثل أجهزة الكمبيوتر.

وظيفة المقارنة (The Comparison Function)

تُسمى الدارة المنطقية التي تنفذ عملية المقارنة بين مقدارين دارة المقارنة (Comparator). تقارن دارة المقارنة بين قيمتين وتشير إلى أنهما متساويتين أم لا. لنفترض، على سبيل المثال، أنه لدينا رقمان ونرغب في معرفة ما إذا كانا متساويين أم لا، إن لم يكونا متساويين، فأيهما هو الأكبر. يبين الشكل 16.1 مخططاً صندوقياً لدارة المقارن. يُطبق عدد إثناني (ممثل بالمستويات المنطقية) على المدخل (A)، ويُطبق عدد إثناني آخر (ممثل بالمستويات المنطقية) على المدخل (B). تشير مخارج المقارن إلى العلاقة بين الرقمين من خلال وضع المستوى المنطقي العالي على المخرج المناسب. لنفترض أن العدد 2 الممثل بالنظام الإثناني مطبق على المدخل الأول (A)، والعدد 5 الممثل بالنظام الإثناني مطبق على المدخل الآخر (B). سيأخذ المخرج (A < B) القيمة المنطقية (1)، مما يدل على العلاقة بين الرقمين (2 أصغر من 5). وتمثل الأسهم العريضة مجموعة من الخطوط المتوازية التي تحمل قيم البتات.



(a) Basic magnitude comparator

(b) Example: A is less than B (2 < 5) as indicated by the HIGH output ($A < B$)

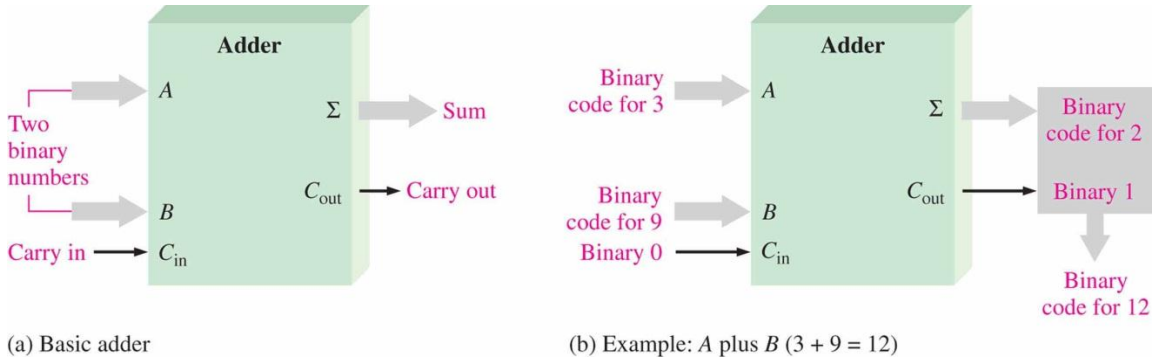
الشكل 16.1: وظيفة المقارنة (The comparison function).

- (Two binary numbers): عددان ممثلان في النظام الإثناني
- (Binary code for): الترميز الإثناني لـ
- (Basic magnitude comparator): دارة المقارن الرئيسة لمقدارين
- (Example: A is less than B (2 < 5) as indicated by the HIGH output (A < B)) :مثال: (A) أصغر من (B) (2 < 5) كما هو مشار إليه عند المخرج (A < B) بالقيمة المنطقية العالية (HIGH)

وظيفة الحساب (The Arithmetic Functions)

الجمع (Addition)

تُنفذ عملية الجمع دارة منطقية تسمى دارة الجامع (Adder). تجمع دارة الجامع (الشكل 17.1 (a)) عددين ثنائيين (Binary numbers) يطبق أحدهما على المدخل (A)، ويطبق الآخر على المدخل (B)، ويوجد مدخل المنقول من مرحلة سابقة في الدخل (Carry input) أو اختصاراً (Cin)، ويولد الجامع مخرجين: مخرج المجموع (Sum) واختصاراً (∑)، ومخرج المنقول إلى مرحلة تالية (Carry output) واختصاراً (Cout). يوضح الشكل 17.1 (b) دارة جامع تجمع العددين 3 و 9. تعطي الدارة ناتجاً هو العدد 12، يشير الجامع إلى هذه النتيجة من خلال وضع 2 على مخرج المجموع و 1 على مخرج المنقول في الخرج. نفترض في هذا المثال أن المنقول في الدخل هو 0.



الشكل 17.1: وظيفة الجمع (The addition function).

- (Two binary numbers): عددان ممثلان في النظام الإثناني (عددان ثنائيان)
- (Binary code for): الترميز الإثناني لـ
- (Basic adder): جامع بسيط
- (Example: A plus B): مثال: (A) زائد (B)

الطرح (Subtraction)

تُنفذ عملية الطرح دارة منطقية تسمى دارة الطارح (Subtracter). تتطلب دارة الطارح ثلاثة مداخل: اثنان منهما للعددين المراد طرحهما والثالث هو مدخل المستعار من المرحلة الأعلى وزناً في الدخل (Borrow input). ولدارة الطارح مخرجان مخرج الفرق (Difference)، ومخرج المستعار في الخرج (Borrow output). على سبيل المثال، عندما يجري طرح 5 من 8 مع عدم وجود مستلف في الدخل، سيكون الفرق هو 3 مع عدم وجود مستلف في الخرج.

الضرب (Multiplication)

تُنفذ عملية الضرب دارة منطقية تسمى الضارب (Multiplier). للضارب مدخلان يطلق عليهما العددان المطلوب ضربهما، ومخرج يمثل ناتج جداء العددين المضروبين (Product). الضرب ببساطة هو سلسلة من عمليات الجمع والإزاحة للجداءات الجزئية. يمكن تنفيذ الضارب باستعمال دارة الجامع ودارات أخرى.

القسمة (Division)

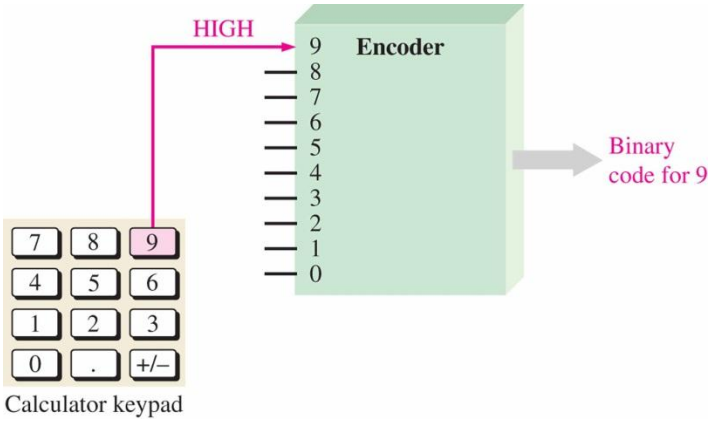
يمكن إجراء عملية القسمة بإجراء سلسلة من عمليات الطرح والمقارنة والإزاحة. يمكن تنفيذ دارة القسمة باستعمال دارة الجامع ودارات أخرى. تتطلب دارة القسمة مدخلين للعددين المراد تقسيمهما، ولها مخرجان أحدهما يمثل نتيجة القسمة (Quotient)، ويمثل الآخر باقي القسمة (Remainder).

وظيفة تحويل الرموز (The Code Conversion Function)

الرمز (Code) هو مجموعة من البتات مرتبة في نمط فريد من نوعه، وتستعمل لتمثيل معلومات معينة. يغير محول الرموز بتات الرمز للمعلومة من شكل إلى شكل آخر. ومن الأمثلة على ذلك التحويل بين الرموز الإثنانية (Binary) وأخرى مثل الأعداد العشرية المرمزة إثنانياً (Binary Coded Decimal) أو الترميز غري (Gray Code).

وظيفة الترميز (The Encoding Function)

تُنفذ وظيفة الترميز دارة منطقية تسمى المرمز (Encoder). يحول المرمز المعلومات، مثل الأرقام العشرية أو الأحرف الأبجدية، إلى شكل من أشكال الترميز. على سبيل المثال، يحول أحد أنواع المرمزات الأرقام العشرية (0) إلى (9)، إلى رموز إثنانية (Binary code). تمثل القيمة المنطقية العالية (HIGH) على مدخل رقماً عشرياً محدداً، يحولها المرمز في خرجه إلى عدد إثناني مكافئ لذلك الرقم العشري. يبين الشكل 18.1 دارة مرمز لوحة مفاتيح رقمية لآلة حاسبة إلى أعداد إثنانية مقابلة لمعالجتها في دارات الآلة الحاسبة.

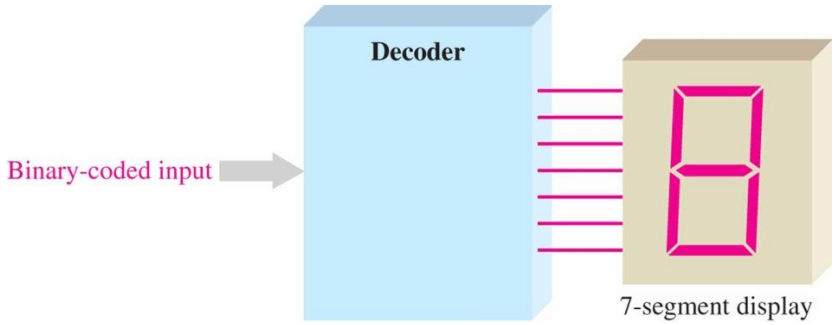


الشكل 18.1: وظيفة الترميز (The Encoding function).

- (Calculator keypad): لوحة أرقام لآلة حاسبة
- (Binary code for 9 used for storage and/or calculation): الترميز الإثناني للعدد 9 المستعمل للتخزين و/أو للحساب

وظيفة فك الترميز (The Decoding Function)

تُنفذ وظيفة فك الترميز دارة منطقية تسمى مفكك الترميز (Decoder). يحول مفكك الترميز المعلومات المرمزة، مثل الأعداد الإثنانية، إلى أعداد غير مرمزة كالأعداد العشرية. على سبيل المثال، يحول نوع معين من مفككات الترميز الترميز الإثناني الممثل على 4 بت إلى عدد عشري مناسب. يبين الشكل 19.1 نوعاً من مفككات الترميز الذي يستعمل لتفعيل وحدة إظها رقمية سباعية المقاطع، عن طريق وصل كل مقطع من المقاطع السبعة بمخرج من مخارج وحدة فك الترميز. عندما يظهر رمز إثناني خاص على مداخل مفكك الترميز، تتفعل الخطوط المناسبة على خرجه لتضيء المقاطع المناسبة لوحدة الإظهار لتعرض الرقم العشري المقابل للرمز الإثناني.



الشكل 19.1: وظيفة مفكك الترميز (The Decoding function).

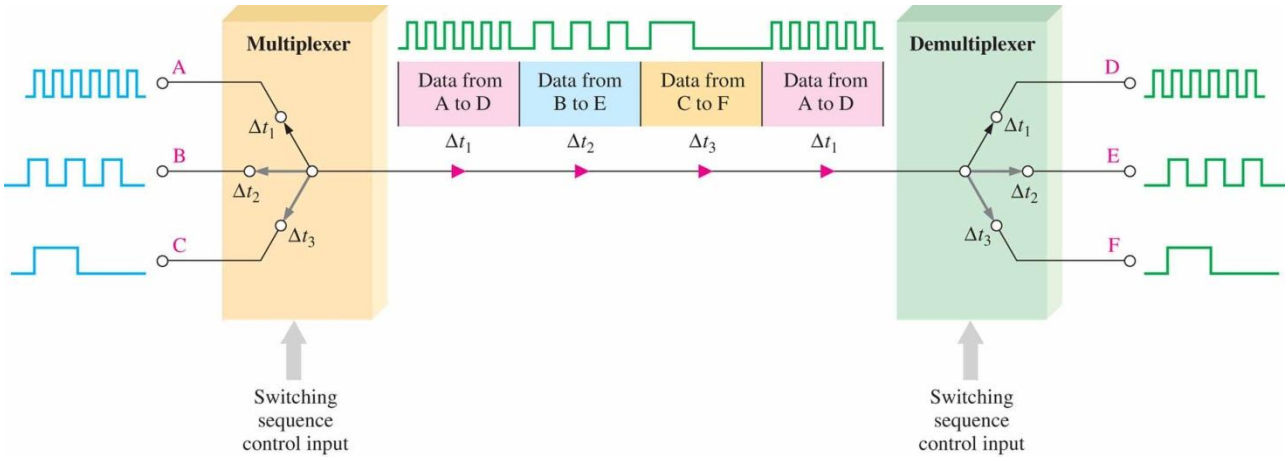
- (Binary–coded input): مدخل مُرَمَز إثنانياً

- (7-segment display): وحدة إظهار رقمية سباعية المقاطع

وظيفة انتخاب المعطيات (The Data Selection Function)

توجد دارتان لانتخاب المعطيات هما: دارة الناخب (Multiplexer) ودارة الناخب العكسي (Demultiplexer). إن دارة الناخب (Mux) هي دارة منطقية تنقل معطيات المداخل إلى خرج الناخب وفق تتابع زمني محدد. يمكن أن نمثل عملية التبديل وظيفياً بقواطع إلكترونية تصل بين المداخل والمخرج، وتربط على التتابع كل مدخل من المداخل بالمخرج. والناخب العكسي هو دارة منطقية تحول المعطيات الرقمية من خط المدخل الوحيد إلى عدة مخارج وفق تسلسل زمني محدد.

يُستعمل الناخب والناخب العكسي عند نقل المعطيات من عدة مصادر عبر خط واحد إلى مكان بعيد وإعادة توزيعها على عدة جهات. يوضح الشكل 20.1 هذا النوع من التطبيقات حيث يتم إرسال المعطيات الرقمية من ثلاثة مصادر على طول خط واحد إلى ثلاث محطات في موقع آخر.



الشكل 20.1: وظيفة الناخب والناخب العكسي (The Data selection function).

- (Data from): المعطيات من
- (Switching sequence control input): مدخل التحكم بتتابع التبديل

في الشكل 20.1، تُنقل معطيات المدخل (A) إلى مخرج الناخب ثم إلى الخط الواصل إلى مدخل الناخب العكسي خلال الفترة الزمنية (Δt_1) ومنه إلى مخرج الناخب العكسي (D). ثم أثناء الفترة الزمنية (Δt_2)، ينقل الناخب معطيات المدخل (B) إلى مخرج الناخب ثم إلى الخط الواصل إلى مدخل الناخب العكسي ومنه إلى المخرج (E). وخلال الفترة الزمنية (Δt_3)، ينتقل الناخب معطيات المدخل (C) إلى مخرج الناخب ثم إلى الخط الواصل إلى مدخل الناخب العكسي ومنه إلى المخرج (F).

أي يجري وصل معطيات المدخل (A) إلى المخرج (D) أثناء الفترة الزمنية الأولى، ويجري وصل معطيات المدخل (B) إلى المخرج (E) أثناء الفترة الزمنية الثانية. وخلال الفترة الزمنية الثالثة، يجري وصل معطيات المدخل (C) إلى المخرج

(F). ويتكرر هذا التتابع بحيث يبدو الاتصال مستمراً بين عدة مصادر في جهة الإرسال وعدة جهات في طرف الاستقبال باستعمال خط اتصال وحيد، وهذا ما يسمى بعملية الانتخاب وفق التقسيم الزمني (Time Division Multiplexing) أو اختصاراً (TDM).

وظيفة التخزين (The Storage Function)

التخزين (Storage) هو وظيفة مطلوبة في معظم الأنظمة الرقمية، والهدف منه هو حفظ المعطيات الإثنانية لفترة من الزمن. تُستعمل بعض عناصر التخزين لتخزين المعطيات لفترة زمنية قصيرة، ويُستعمل بعضها الآخر لتخزين المعطيات لفترة زمنية طويلة. ويمكن لعنصر التخزين أن "يحفظ" بتاً واحداً أو مجموعة من البتات طالما كان ذلك ضروريا. من الأنواع الشائعة لعناصر التخزين القلابات (Flip–Flops)، والسجلات (Registers)، والذواكر النصف الناقلة (Semiconductor Memories)، والأقراص الممغنطة (Magnetic Disks)، والأشرطة المغناطيسية (Magnetic Tapes)، والأقراص الضوئية (Optical Disks) أو الأقراص المدمجة (CDs).

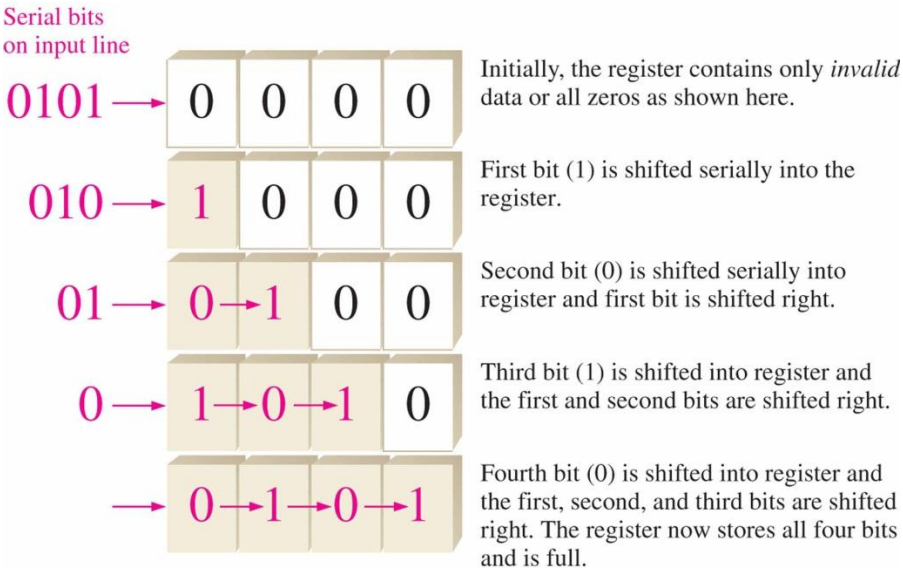
القلابات (Flip–flops)

القلاب هو دارة منطقية إثنانية الاستقرار (Two Stable States)، يمكن أن تخزن في كل مرة بتاً واحداً فقط، إما (1) منطقياً أو (0) منطقياً. يشير خرج القلاب إلى قيمة البت المخزنة. إذا أخذ الخرج القيمة المنطقية العالية (HIGH) يكون قد خزن (1) منطقياً، وإذا أخذ الخرج القيمة المنطقية المنخفضة (LOW) يكون قد خزن (0) منطقياً. وينفذ القلاب باستعمال البوابات المنطقية الرئيسة.

السجلات (Registers)

يتكون السجل من عدة قلابات، بالتالي يمكن أن يُخزن مجموعة من البتات. على سبيل المثال، يجري إنشاء سجل 8–بت من ثمانية قلابات. بالإضافة إلى تخزين البتات، يمكن استعمال السجلات لإزاحة البتات من موقع إلى آخر داخل السجل أو من السجل إلى دارة أخرى. لذلك، تُعرف هذه السجلات بسجلات الإزاحة (Shift Registers).

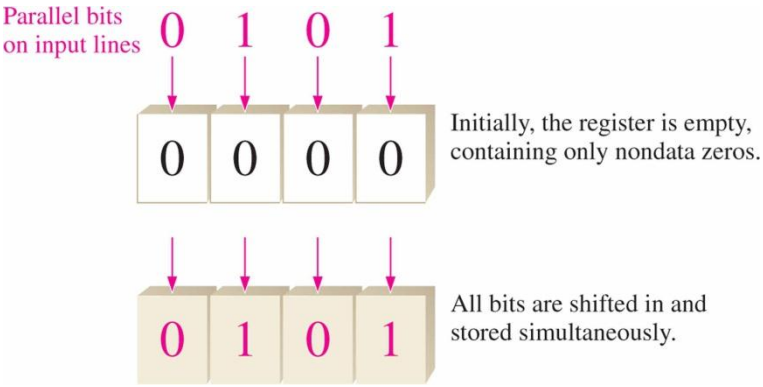
يوجد نوعان من سجلات الإزاحة: السجلات التسلسلية والسجلات التفرعية. يجري تخزين البتات في سجل الإزاحة التسلسلي بتاً وراء بت، كما هو موضح في الشكل 21.1. يمكن تشبيه سجل الإزاحة التسلسلي بعملية تحميل الركاب في حافلة واحداً واحداً من خلال بابها، وكذلك خروجهم واحداً واحداً من خلال نفس الباب.



الشكل 21.1: مثال لعمل سجل إزاحة تسلسلي 4 – بت. تمثل كل خلية من الخلايا الأربعة عنصر تخزين، أو قلاب.

- (Serial bits on input line): البتات التسلسلية على خط الدخل
- (Initially، the register contains only invalid data or all zeros as shown here): بداية، يحتوي السجل على معطيات غير صالحة، أو أصفار كما هو مبين
- (First bit (1) is shifted serially into the register): أولاً، يُزاح (1) المنطقي تسلسلياً داخل السجل
- (Second bit (0) is shifted serially into register and first bit is shifted right): ثانياً، يُزاح (0) المنطقي تسلسلياً داخل السجل، ويزاح البت الأول إلى اليمين
- (Third bit (1) is shifted into register and the first and second bits are shifted right): ثالثاً، يُزاح (1) المنطقي تسلسلياً داخل السجل، ويزاح البت الأول والثاني إلى اليمين
- (Fourth bit (0) is shifted into register and the first، second ، and third bits are shifted right. The register now mores all four bits and is full): رابعاً، يُزاح (0) المنطقي تسلسلياً داخل السجل، ويزاح البت الأول والثاني والثالث إلى اليمين

يجري تخزين البتات في السجل التفرعي في وقت واحد من الخطوط التفرعية، كما هو مبين في الشكل 22.1. يمكن تشبيه التخزين التفرعي بحافلة ركاب لها أربعة أبواب تسمح بتحميل أربعة ركاب في كل دفعة.



الشكل 22.1: مثال لعمل سجل إزاحة تفرعي 4-بت.

- (Parallel bits on input lines): البتات التفرعية على خطوط الدخل
- (Initially، the register is empty; containing only nondata zeros): بداية، يحتوي السجل على أصفار
- (All bits are shifted in and stored simultaneously): كل البتات أُزيحت إلى السجل، وخزنت معاً

الذواكر نصف الناقلة (Semiconductor Memories)

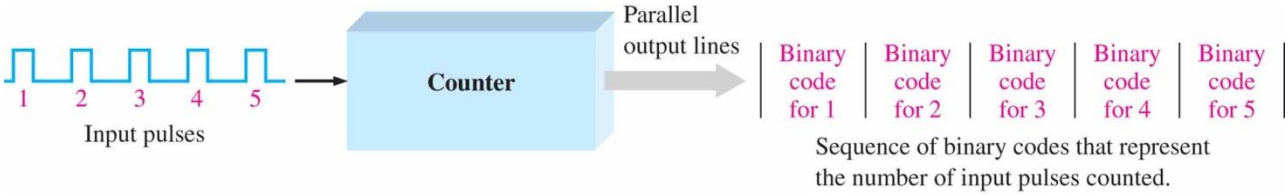
الذواكر النصف الناقلة هي وحدات تخزين لعدد كبير من البتات. في حالة ذاواكر القراءة فقط (Read-Only Memory) أو اختصاراً (ROM)، تُخزن المعطيات الإثنانية بشكل دائم أو شبه دائم بحيث لا يمكن تغييرها بسهولة. وفي حالة ذاكرة القراءة / الكتابة (Ram Access Memory) أو (RAM)، يمكن تخزين المعطيات الإثنانية أي كتابتها في الذاكرة بشكل مؤقت ثم قراءتها في أي وقت نريده، كما يمكن إعادة الكتابة مما يغير محتوى الذاكرة.

الذواكر الممغنطة (Magnetic Memories)

تُستعمل ذواكر الأقراص الممغنطة لتخزين كميات كبيرة من المعطيات الإثنانية. ومن الأمثلة على ذلك ما يسمى الأقراص المرنة (Floppy Disks)، والأقراص الصلبة الداخلية (Hard disks) المستعملة في أجهزة الكمبيوتر. وتستعمل الأقراص الضوئية الممغنطة (Magneto-optical disks) أشعة الليزر لتخزين واسترجاع المعطيات.

وظيفة العد (The Counting Function)

إن وظيفة العد هي وظيفة مهمة في الأنظمة الرقمية. ويوجد عدة أنواع من العدادات الرقمية، والهدف الأساسي منها هو عد الأحداث الممثلة بتغير المستويات المنطقية، أو عد النبضات. حتى يعد العداد عداً صحيحاً، يجب أن يتذكر قيمة العدد الحالي بحيث يمكن أن يذهب إلى العدد التالي في حلقة العد. لذلك، فإن القدرة على التخزين هي السمة الهامة لجميع العدادات، وتستعمل عموما القلابات لتنفيذها. يوضح الشكل 23.1 الفكرة الأساسية لعمل العداد.



الشكل 23.1: توضيح عمل العداد.

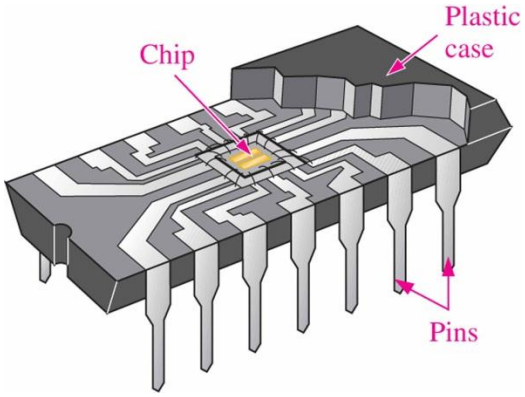
- (Input pulses): نبضات الدخل
- (Parallel output lines): خطوط الخرج التفرعية
- (Binary code for): الترميز الإثناني لِـ
- (Sequence of binary codes that represent the number of input pulses counted): تتابع لترميز إثناني يمثل عدد نبضات الدخل التي جرى عدها

5. الدارات المتكاملة الرقمية ذات الوظائف الثابتة Fixed Function Integrated Circuits

إن كل العناصر والوظائف المنطقية التي جرى نقاشها متوفرة على شكل دارات متكاملة (Integrated circuit) أو (IC). تتكون الأنظمة المنطقية، ومنذ سنوات عديدة، من مجموعة من الدارات المتكاملة صغيرة الحجم (Small size)، وعالية الوثوقية (High reliability)، ورخيصة الثمن (Low cost)، ومنخفضة الاستهلاك للطاقة (Low power consumption). لذلك من الأهمية بمكان أن نتعرف على تعليب الدارات المتكاملة، وأن نتعرف على كيفية ترقيم أطرافها، وأن نتآلف مع الطريقة التي يجري بها تصنيفها تبعاً لتقانتها وتعقيدها.

الدارة المتكاملة (A monolithic integrated circuit (IC))

الدارة المتكاملة (IC) هي دارة إلكترونية مصنعة كلية على رقاقة (Chip) واحدة صغيرة من السيليكون. وإن جميع العناصر التي تشكل الدارة كالترانزستورات، والديودات، والمقاومات، والمكثفات هي جزء لا يتجزأ من الرقاقة. تنقسم الدارات الإلكترونية الرقمية إلى قسمين رئيسيين: دارات إلكترونية رقمية محددة الوظيفة (Fixed function logic)، ودارات إلكترونية رقمية تُبرمج (Programmable logic). في الدارات الإلكترونية الرقمية محددة الوظائف تكون الوظائف المنطقية محددة ومعرفة من قبل الشركة المصنعة ولا يمكن تغييرها. يبين الشكل 24.1 مقطعاً في علبة (Package) دارة متكاملة رقمية محددة الوظيفة، مبين عليها توضع الرقاقة السيليكونية. توصل مداخل/مخارج الرقاقة مع أطراف العلبة لتسمح بتوصيلها إلى العالم الخارجي.

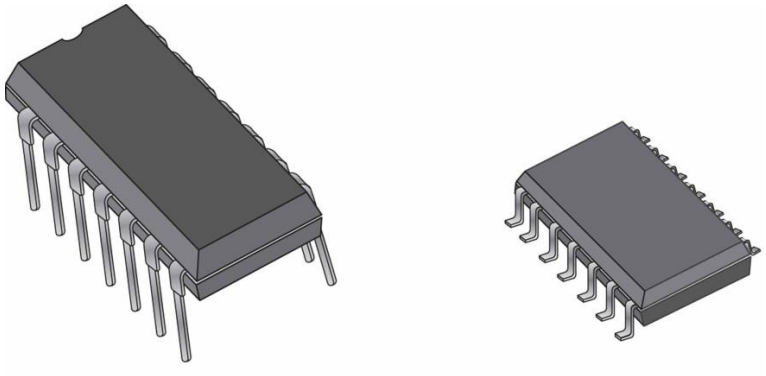


الشكل 24.1: مقطع في دارة متكاملة لدارة رقمية محددة الوظائف، موضح عليها الرقاقة الإلكترونية مع توصيل مداخلها ومخارجها بأطراف العلبة البلاستيكية.

- (Chip): رقاقة إلكترونية
- (Plastic case): علبة بلاستيكية
- (Pins): أطراف

أغلفة الدارات المتكاملة (IC Packages)

تصنف علب (أغلفة) الدارات المتكاملة (IC)، وفقا للطريقة التي يجري تجميعها فيها على لوحات الدارات المطبوعة (Printed circuit (PC) boards)، إلى الدارات المتكاملة المجمعة عبر الثقوب (Through–hole mounted)، أو المجمعة على السطح (Surface mounted). في حالة التجميع عبر الثقوب، يكون للعلبة أطراف تدخل عبر الثقوب الموجودة على الدارة المطبوعة والنافذة إلى السطح الآخر حيث يجري تلحيمها إلى الخطوط الناقلة الموجودة عليه. النوع الاكثر شيوعا للتعليب عبر الثقوب هو العلب مزدوجة الأطراف ((Dual In–line Package (DIP) والمبينة في الشكل 25.1 (a).



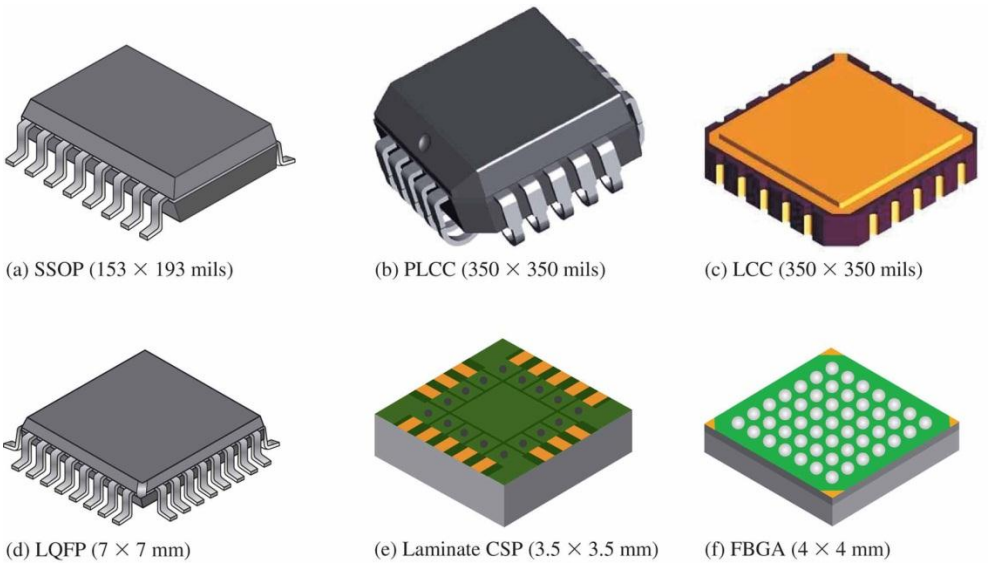
(a) Dual in-line package (DIP) (b) Small-outline IC (SOIC)

الشكل 25.1: أمثلة لدارات متكاملة ذات التجمبع عبر الثقوب والتجميع السطحي. الدارة المتكاملة ذات التعليب (DIP) أكبر من الدارة المتكاملة ذات التعليب (SOIC) مع نفس العدد من الأطراف. طول الدارة المتكاملة ذات التعليب (DIP) ($0.785\,in$)، وطول الدارة المتكاملة ذات التعليب (SOIC) ($0.385\,in$).

- (Dual In–line Package (DIP)): تعليب مزدوج الصفوف
- (Small–outline IC (SOIC)): تعليب صغري

يستعمل النوع الآخر من تعليب الدارات المتكاملة (IC) تقانة التجميع السطحي (Surface-Mount Technology (SMT)). فتقانة التجميع السطحي هي التقانة البديلة لتقانة التجميع عبر الثقوب والتي تختزل مساحة الدارات المطبوعة. في حالة تقانة التجميع السطحي لا توجد حاجة إلى الثقوب العابرة للوحة الدارة المطبوعة. إذ تلحم أطراف دارات التجميع السطحي إلى الموصلات النحاسية الموجودة على نفس السطح أو الموجودة في طبقة داخلية، ويبقى السطح الآخر حراً لتجميع دارات أخرى عليه. لنفترض دارة لها عدد معين من الأطراف، ستكون المساحة التي تشغلها في حالة تعليب التجميع السطحي أصغر بكثير من تعليب التجميع عبر الثقوب (تعليب الدارات ذات الأطراف بصفين)، لأن حجمها أصغر والبعد بين طرفين فيها أصغر أيضاً. يعطي الشكل 25.1 (b) مثالاً عن تعليب التجميع السطحي للدارات المتكاملة الصغرية ((Small-Outline Integrated Circuit (SOIC)).

يوجد ثلاثة أنواع شائعة لتعليب التجميع السطحي (SMT): التعليب الصغري ((Small-Outline IC (SOIC))، والتعليب البلاستيكي مظهر الأطراف ((Plastic Leaded Chip Carrier (PLCC))، والتعليب السيراميكي مخفي الأطراف ((Leadless Ceramic Chip Carrier (LCCC)). تتوفر دارات تعليب التجميع السطحي (SMT) في أحجام مختلفة تبعاً لعدد أطراف الدارة (يزداد عدد الأطراف كلما ازداد تعقيد الدارة). يعطي الشكل 26.1 مثالاً لعدة أنواع من تعليب التجميع السطحي.



الشكل 26.1: أمثلة على تعليب التجميع السطحي.

- ((Shrink Small-Outline Package (SSOP)): تعليب مصغر جداً
- ((Plastic Leaded Chip Carrier (PLCC)): تعليب بلاستيكي مظهر الأطراف
- ((Leadless Chip Carrier (LCC)): تعليب مخفي الأطراف
- ((Low-Profile Quad Flat Package (LQFP)): تعليب مسطح رباعي الأطراف ورقيق
- ((Laminate Chip Scale Package (Laminate CSP)): تعليب بحجم رقاقة السيليكون

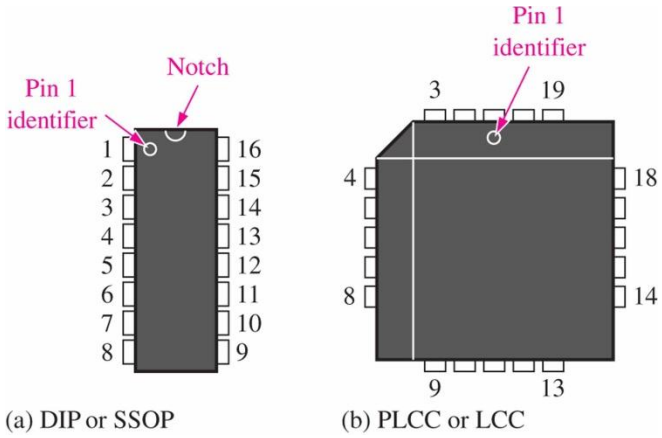
- (Fine pitch Ball Grid Array (FBGA)): تعليب مصفوفة أطراف كروية متقاربة

ترقيم الأطراف (Pins Numbering)

لدى جميع الدارات المتكاملة IC معيار رسمي لترقيم أطرافها. يعطي الشكل 27.1 (a) مثالاً لترقيم كل من التعليب عبر الثقوب مزدوجة الأطراف (DIP)، والتعليب الصغري (SOICs)، التي لها (16) طرفاً. بالنظر إلى المسقط العلوي للدارة المتكاملة، يُشار إلى الرقم (1) بمحدد يمكن أن يكون نقطة صغيرة، أو حفرة جانبية أو حافة مشطوفة.

تجاور النقطة دائما الطرف رقم (1). وفي حالة التعليم بالحفرة الجانبية، نوجه طرف الجهة التي تحوي على الحفرة إلى الأعلى فيقع الطرف رقم (1) قي الأعلى وعلى أقصى اليسار. ويبدأ العد بدءاً منه وباتجاه الأسفل، وعند آخر طرف في هذه الجهة ننظر إلى الطرف المقابل له ونستأنف العد صعوداً إلى الأعلى حتى نصل إلى الطرف الأخير الذي يحمل الرقم الأعلى.

وفي حالة التعليب السيراميكي مخفي الأطراف (LCCC) أو البلاستيكي مظهر الأطراف (PLCC) تتوزع الأطراف على الجهات الأربع للعلبة. يُشار إلى الطرف رقم (1) بنقطة أو بأية علامة أخرى وتقع عادة في منتصف صف الأطراف. وبالنظر إلى المسقط العلوي للعلبة يبدأ العد من الطرف (1) وباتجاه عكس عقارب الساعة. يقع آخر طرف، والذي يحمل الرقم الأعلى، على يمين الرقم (1). يوضح الشكل 27.1 (b) مثالاً لترقيم التعليب السيراميكي (LCCC)، لدارة لها (20) طرفاً.



الشكل 27.1: ترقيم الأطراف لنوعي تعليب الدارات المتكاملة، المسقط العلوي هو المسقط المبين.

- (Pin 1 Identifier): علام الطرف رقم (1)
- (Notch): حفرة

تصنيف الدارات المتكاملة محددة الوظائف المنطقية وفقاً لكثافة التكامل (Complexity Classifications for Fixed-Function ICs)

تصنف الدارات المتكاملة الرقمية وفقاً لتعقيدها (كثافة تكاملها). نسردها هنا وفق تسلسل تعقيدها أي من الأقل تعقيداً إلى الأكثر تعقيداً وهي: الدارات المتكاملة منخفضة التكامل (SSI)، والدارات المتكاملة متوسطة التكامل (MSI)، والدارات المتكاملة عالية التكامل (LSI)، والدارات المتكاملة عالية التكامل جداً (VLSI). تتفق المصادر على هذا التصنيف ولكنها تختلف على تعريف كل منها.

الدارات المتكاملة منخفضة التكامل (SSI)

نقول عن دارة متكاملة أنها من الصنف (SSI)، عندما تحتوي شريحتها على أقل من (10) بوابات مكافئة. وتشمل عادة البوابات المنطقية الأساسية (Basic gates) أو القلابات (Flip-flops).

الدارات المتكاملة متوسطة التكامل (MSI)

نقول عن دارة متكاملة أنها من الصنف (MSI)، عندما تحتوي شريحتها على عدد من البوابات المكافئة يتراوح بين (10) و (100). وتشمل عادة وظائف منطقية مثل المرمزات (Encoders)، ومفككات الترميز (Decoders)، والعدادات (Counters)، والسجلات (Registers)، والنواخب (Multiplexers)، والدارات الحسابية (Arithmetic circuits)، والذواكر الصغيرة (Small memories)، وغيرها.

الدارات المتكاملة عالية التكامل (LSI)

نقول عن دارة متكاملة أنها من الصنف (LSI)، عندما تحتوي شريحتها على عدد من البوابات المكافئة يتراوح بين (100) و (10000). وتشمل عادة الذواكر (Memories).

الدارات المتكاملة عالية التكامل جداً (VLSI)

نقول عن دارة متكاملة أنها من الصنف (VLSI)، عندما تحتوي شريحتها على عدد من البوابات المكافئة يتراوح بين (10000) و (100000). وتشمل عادة المعالجات الصغرية (Microprocessors) والذواكر (Memories).

الدارات المتكاملة فائقة التكامل (ULSI)

نقول عن دارة متكاملة أنها من الصنف (ULSI)، عندما تحتوي شريحتها على أكثر من (100000) بوابة. وتشمل عادة المعالجات الصغرية (Microprocessors) الأكثر تعقيداً، وكذلك الذواكر (Memories) الأكثر تعقيداً أيضاً، والحاسب على شريحة واحدة (Single-chip computers).

تقانات الدارات المتكاملة (Integrated Circuit Technologies)

تعتمد صناعة الدارات المتكاملة على أحد نوعي الترانزستورات المعروفين وهما: الترانزستورات المعروفة بإسم (معدن-أوكسيد - نصف ناقل) (Metal-oxide semiconductor field effect transistors) أو الترانزستورات ذات الوصلتين (Bipolar junction transistors). تقانة الدارات التي تستعمل النوع الأول من الترانزستورات هي تقانة (complementary MOS (CMOS))، والتقانة التي تستعمل النوع الثاني من الترانزستورات هي تقانة (Transistor Transistor Logic (TTL))، تستعمل تقانة (BiCMOS) كلا النوعين من الترانزستورات.

تصنع كل البوابات والوظائف المنطقية الأخرى باستعمال إحدى التقانتين المذكورتين. وتتوفر الدارات المتكاملة نوع (SSI)، و (MSI) بتقانتي (TTL) و (CMOS). وتتوفر الدارات المتكاملة نوع (LSI)، و (VLSI)، و (ULSI) بتقانة (CMOS) أو تقانة (NMOS) لأنها تحتاج إلى مساحة أقل على الرقاقة، وتستهلك طاقة أقل أيضاً.

6. خلاصة Summary

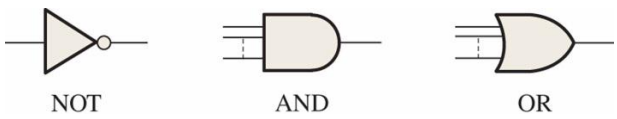
1. يأخذ المقدار الرقمي مجموعة من القيم المنفصلة.
2. تُسمى الخانة الإثنانية بت.
3. تتميز النبضة بزمن صعودها (Rise time)، وزمن هبوطها (Fall time)، وبعرضها (Pulse width)، وبمطالها (Amplitude).
4. يتناسب تردد إشارة دورية عكساً مع دورها، وتعطى علاقتا التردد والدور بما يلي:

$$T = \frac{1}{f}, \qquad f = \frac{1}{T}$$

5. النسبة المئوية للمستوى المنطقي العالي بالنسبة للدور (Duly cycle) لإشارة دورية هو النسبة المئوية لعرض النبضة (t_w) إلى الدور (T).

$$Duty\ cycle = \left(\frac{t_w}{T}\right)100\%$$

6. المخطط الزمني هو رسم بياني للإشارات الرقمية التي تبين العلاقة الزمنية الفعلية بين إشارتين أو أكثر وكيفية تغير كل إشارة رقمية بالنسبة لبقية الإشارات.
7. البوابات المنطقية الأساسية هي العاكس المنطقي، والجداء المنطقي، والجمع المنطقي (NOT، AND، OR and)، ويعطى رموزها في الشكل 28.1.



الشكل 28.1: رموز البوابات المنطقية الرئيسية.

8. الوظائف المنطقية الأساسية هي: المقارنة (Comparison)، والحساب (Arithmetic)، وتحويل الرموز (Code conversion)، والترميز (Encoding)، وفك الترميز (Decoding)، وانتخاب المعطيات (Data selection)، وتخزينها (Storage)، والعد (Counting).
9. تصنف علب الدارات المتكاملة (IC)، وفقا للطريقة التي يجري تجميعها فيها على لوحات الدارات المطبوعة (Printed circuit (PC) boards)، إلى المجمعة عبر الثقوب (Through–hole mounted)، أو المجمعة على السطح (Surface mounted)

10. تصنف الدارات المتكاملة الرقمية وفقاً لتعقيدها (كثافة تكاملها). نسردها هنا وفق تسلسل تعقيدها أي من الأقل تعقيداً إلى الأكثر تعقيداً وهي: الدارات المتكاملة منخفضة التكامل ((Small–Scale Integration (SSI)، والدارات المتكاملة متوسطة التكامل ((Medium–Scale Integration (MSI)، والدارات المتكاملة عالية التكامل ((Large–Scale Integration (LSI)، والدارات المتكاملة عالية التكامل جداً (Very Large–Scale Integration (VLSI)، والدارات المتكاملة فائقة التكامل ((Ultra–Scale Integration (ULSI).

أسئلة ومسائل الفصل الأول Questions and Problems

أسئلة الفصل الأول

اختر الإجابة الصحيحة

1. عدد القيم التي يمكن أن يحتويها البت هي:

a) قيمة وحيدة

b) قيمتان

c) ثلاث قيم

d) عشرة قيم

2. تسمى القيمة المقاسة بين (50%) من جبهة الصعود و (50%) من جبهة الهبوط لنبضة:

a) زمن الصعود (rise time)

b) زمن الهبوط (fall time)

c) الدور (period)

d) عرض النبضة (pulse width)

3. تسمى القيمة المقاسة بين (90%) من جبهة الهبوط و (10%) منها لنبضة:

a) زمن الصعود (rise time)

b) زمن الهبوط (fall time)

c) الدور (period)

d) عرض النبضة (pulse width)

4. يسمى مقلوب التردد لإشارة ساعة دورية:

a) زمن الصعود (rise time)

b) زمن الهبوط (fall time)

c) الدور (period)

d) عرض النبضة (pulse width)

5. إذا كان دور إشارة ساعة (500 ps)، يكون ترددها:

a) (20 MHz)

b) (200 MHz)

c) (2 GHz)

d) (20 GHz)

6. تُستعمل البوابات (Not) و (AND) و (OR) لبناء:

a) عناصر التخزين (storage devices)

b) المقارنات (comparators)

c) النواخب (data selectors)

d) كل ما ذكر (all of the above)

7. سجل الإزاحة هو مثال لِـ:

a) عنصر تخزين (storage device)

b) مقارن (comparator)

c) ناخب (data selector)

d) عداد (counter)

8. يُسمى العنصر الذي يُستعمل لوصل مدخل ما من عدة مداخل إلى خرج وحيد... :

a) مقارن (comparator)

b) مفكك ترميز (decoder)

c) عداد (counter)

d) ناخب (multiplexer)

9. عند نقل معطيات (8 bit) تفرعياً، وبفرض أن زمن نقل البت الواحد هو (1 µs) نحتاج إلى زمن مقداره:

a) (1 µs)

b) (8 µs)

c) (1/8 µs)

d) (64 µs)

10. تسمى الدارة المتكاملة التي تحتوي عل أقل من (10) بوابات منطقية مكافئة.... :

(a (LSI)

(b (MSI)

(c (SSI)

(d (VLSI)

أسئلة الفصل الأول	الاجابة الصحيحة
1	b
2	d
3	b
4	c
5	c
6	d
7	a
8	d
9	a
10	c

مسائل الفصل الأول

- مقدمة Introduction
- الخانة الإثنانية، المستويات المنطقية، والإشارات الرقميةBinary Digits،Logic Levels، and Digital Waveforms

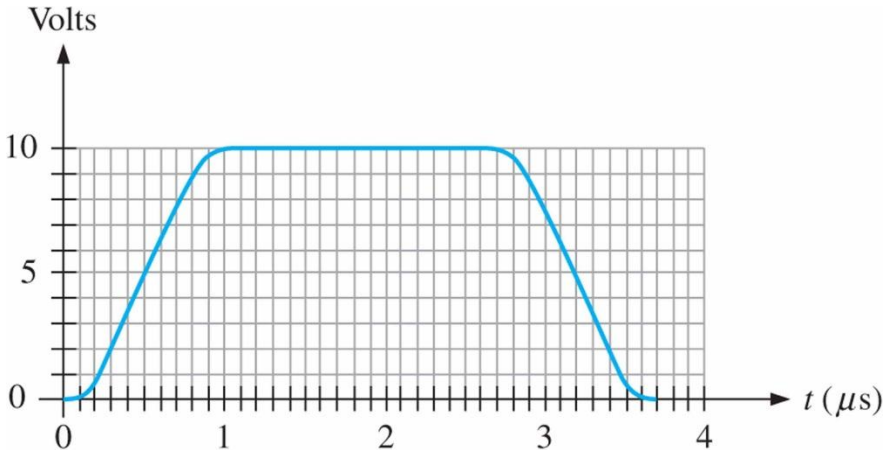
1. في حالة النبضة المبينة في الشكل 29.1 ، حدد بيانياً ما يلي:

(a) زمن الصعود (rise time)

(b) زمن الهبوط (fall time)

(c) عرض النبضة (pulse width)

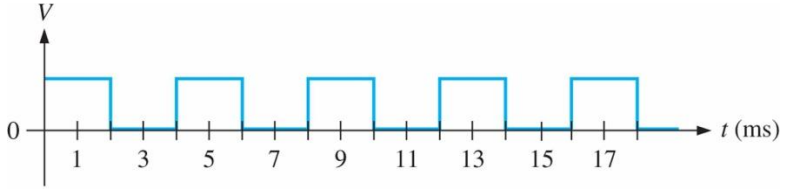
(d) مطال النبضة (amplitude)



الشكل 29.1: نبضة رقمية.

Ans. $(a)\ t_r = 550\ ns \quad (b)\ t_f = 600\ ns \quad (c)\ t_w = 2.7\ \mu s \quad (d)\ Amplitude = 10\ V$

2. حدد دور الإشارة الرقمية المبينة في الشكل 30.1.



الشكل 30.1: إشارة رقمية.

Ans. $T = 4\ ms$

3. ما هو تردد الإشارة الرقمية المبينة في الشكل 30.1؟

Ans. $f = 250\ Hz$

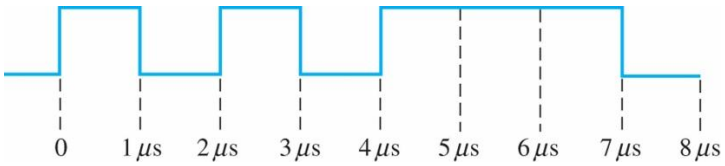
4. هل الإشارة الرقمية المبينة في الشكل 30.1 دورية أم غير دورية؟

Ans. *The signal is periodic.*

5. ما هي النسبة المئوية للمستوى المنطقي العالي بالنسبة للدور (Duly cycle) للإشارة الرقمية المبينة في الشكل 30.1؟

Ans. $\%\ duty\ cycle = 50\%$

6. حدد تتابع البتات للإشارة الرقمية المبينة في الشكل 31.1، علماً أن زمن البت $(1\ \mu s)$.



الشكل 31.1: إشارة رقمية.

Ans. $\left(1\,0\,1\,0\,1\,1\,1\,0\right)$

7. ما هو زمن الإرسال الكلي التسلسلي للثمانية بتات المبينة في الشكل 30.1؟ وما هو زمن الإرسال الكلي التفرعي لها؟

Ans. Serial transfer time = (8 bits)(1 μs/bit) = 8 μs Parallel transfer time = 1 bit time = 1 μs

- العمليات المنطقية الرئيسة Basic Logic Operations

8. تتطلب بوابة منطقية مستوى منطقياً عالياً (HIGH) على كل مداخلها لتعطي مستوى منطقياً عالياً (HIGH) على مخرجها. ما هي هذه البوابة المنطقية؟

Ans. *AND gate*

9. لدينا بوابة منطقية بمدخلين، طبقنا على أحد مدخليها مستوى منطقياً عالياً (HIGH)، وطبقنا على المدخل الآخر مستوى منطقياً منخفضاً (LOW)، فكان على مخرجها مستوى منطقياً منخفضاً (LOW). ما هي هذه البوابة المنطقية؟

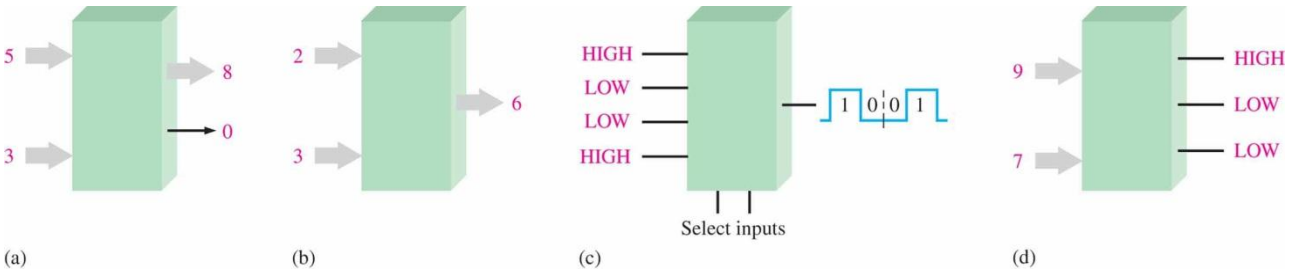
Ans. $AND\ gate$

10. لدينا بوابة منطقية بمدخلين، طبقنا على أحد مدخليها مستوى منطقياً عالياً (HIGH)، وطبقنا على المدخل الآخر مستوى منطقياً منخفضاً (LOW)، فكان على مخرجها مستوى منطقياً عالياً (HIGH). ما هي هذه البوابة المنطقية؟

Ans. $OR\ gate$

- مدخل إلى الوظائف المنطقية الرئيسة Introduction to the System Concepts

11. سمي الوظائف المنطقية للوحدات المنطقية المبينة في الشكل 32.1 بناء على مراقبتك لمداخل ومخارج الوحدات المنطقية.



الشكل 32.1: وحدات منطقية.

Ans. $(a)\ Adder \quad (b)\ Multiplier \quad (c)\ Multiplexer \quad (d)\ Comparator$

12. طبق قطار نبضات تردده $(10\ kHz)$ على مدخل عداد، كم نبضة يعد العداد خلال $(100\ ms)$؟

Ans. $Pulses\ counted = 1000$

13. نفترض وجود سجل إزاحة $(4-bit)$. ولنفترض أنه يحتوي في البداية على أصفار. إذا أدخلنا إليه تسلسلياً أربع بتات $(0\ 1\ 0\ 1)$، مبتدئين بـ (1) وكانت الإزاحة إلى اليمين. بين محتوى السجل بعد أربعة أدوار.

Ans. $After\ shifting\ in\ four\ bits = 0\ 1\ 0\ 1\ 0\ 0\ 0\ 0$

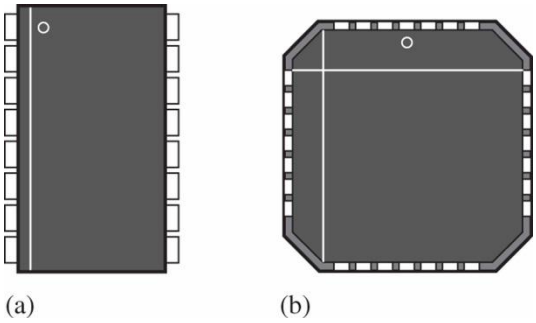
- الدارات المتكاملة الرقمية الثابتة Fixed Function Integrated Circuits

14. يبلغ تعقيد دارة منطقية متكاملة للوظائف الثابتة (200) بوابة مكافئة. ما هو تصنيف هذه الدارة؟

Ans. LSI

15. اشرح الفرق الرئيسي بين الدارات المتكاملة ذات التجميع باستعمال الثقوب الخارقة للوحات الدارات المطبوعة (DIP)، وتلك ذات التجميع السطحي (SMT).

16. رقم أطراف الدارتين المتكاملتين المبينتين على شكل مسقط أفقي في الشكل 33.1.



الشكل 33.1: دارات متكاملة.

نموذج مذاكرة للفصل الأول

الجامعة ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل الأول: مفاهيم رئيسة في الإلكترونيات الرقمية

أستاذ المادة: ....

المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

- المادة مغلقة
- يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. يعني التعبير بت (bit):

a) مقدار صغير من المعلومات

b) القيمتان المنطقيتان (0) و (1)

c) خانة إثنانية (binary digit)

d) كلا الجوابين (b) و (c)

2. تسمى الفترة الزمنية المقاسة بين (10%) و (90%) من مطال نبضة عند جبهتها الأمامية:

a) زمن الصعود (rise time)

b) زمن الهبوط (fall time)

c) الدور (period)

d) عرض النبضة (pulse width)

3. عندما تتكرر نبضة في إشارة رقمية كل (10 ms)، يكون ترددها:

a) (1 kHz)

b) (1 Hz)

c) (100 Hz)

d) (10 Hz)

4. في إشارة دورية رقمية الدور هو ضعف عرض النبضة، تكون النسبة المئوية للمستوى المنطقي العالي بالنسبة للدور (Duly cycle):

a) (100 %)

b) (200 %)

c) (50 %)

d) (25 %)

5. العاكس المنطقي:

a) ينفذ عملية العكس المنطقي (Not)

b) يغير المستوى العالي على دخله إلى المستوى المنخفض على خرجه

c) يغير المستوى المنخفض على دخله إلى المستوى العالي على خرجه

d) يقوم بكل ما ذكر

6. يأخذ خرج بوابة الجداء المنطقي (AND) القيمة المنطقية العالية عندما يكون:

a) أي من مداخلها على المستوى المنطقي العالي

b) كل مداخلها على المستوى المنطقي العالي

c) كل مداخلها على المستوى المنطقي المنخفض

d) كلا الجوابين (a) و (b)

7. يأخذ خرج بوابة الجمع المنطقي (OR) القيمة المنطقية العالية عندما يكون:

a) أي من مداخلها على المستوى المنطقي العالي

b) كل مداخلها على المستوى المنطقي العالي

c) كل مداخلها على المستوى المنطقي المنخفض

d) كلا الجوابين (a) و (b)

8. تُسمى الدارة المنطقية التي تُستعمل لتحويل عدد إثناني إلى الشكل الموافق لوحدة إظهار سباعية المقاطع.... :

a) ناخب (multiplexer)

b) مرمز (encoder)

c) مفكك ترميز (decoder)

d) سجل (register)

9. المثال على العنصر الذي يخزن المعطيات هو.... :

a) البوابة المنطقية (gate)

b) القلاب (flip–flop)

c) المقارن (comparator)

d) السجل (register)

e) الجوابان (b) و (d)

10. الدارة المتكاملة التي تصنف عل أنها دارة متكاملة عالية التكامل (LSI) هي الدارة التي تحتوي على... :

a) (10) إلى (100) بوابة منطقية مكافئة

b) (100) إلى (10،000) بوابة منطقية مكافئة

c) (2000) إلى (5000) بوابة منطقية مكافئة

d) (10،000) إلى (100،000) بوابة منطقية مكافئة

الإجابة الصحيحة لنموذج مذاكرة الفصل الأول (10 علامات)

Ans. 1 (d)، 2 (a)، 3 (c)، 4 (c)، 5 (d)، 6 (d)، 7 (d)، 8 (c)، 9 (e)، 10 (b).

التغذية الراجعة للسؤال الأول

1 مراجعة الخانة الإثنانية، المستويات المنطقية، والإشارات الرقميةBinary Digits،Logic Levels ، and Digital Waveforms

2 مراجعة الخانة الإثنانية، المستويات المنطقية، والإشارات الرقميةBinary Digits،Logic Levels ، and Digital Waveforms

3 مراجعة الخانة الإثنانية، المستويات المنطقية، والإشارات الرقميةBinary Digits،Logic Levels ، and Digital Waveforms

4 مراجعة الخانة الإثنانية، المستويات المنطقية، والإشارات الرقميةBinary Digits،Logic Levels ، and Digital Waveforms

5 مراجعة العمليات المنطقية الرئيسة Basic Logic Operations

6 مراجعة العمليات المنطقية الرئيسة Basic Logic Operations

7 مراجعة ا العمليات المنطقية الرئيسة Basic Logic Operations

8 مراجعة مدخل إلى الوظائف المنطقية الرئيسة Introduction to the System Concepts

9 مراجعة مدخل إلى الوظائف المنطقية الرئيسة Introduction to the System Concepts

10 مراجعة الدارات المتكاملة الرقمية ذات الوظائف الثابتة Fixed Function Integrated Circuits

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل الأول

نموذج مذاكرة الفصل الأول	الاجابة الصحيحة
1	d
2	a
3	c
4	c
5	d
6	d
7	d
8	c
9	e
10	b

الفصل الثاني

أنظمة العد، العمليات الحسابية، والرموز الرقمية

كلمات مفتاحية Keywords

الخانة ذات الوزن الأدنى LSB، الخانة ذات الوزن الأعلى M5B، الكلمة الإثنانية Byte، العدد العشري المرمز إثنانياً BCD، الترميز الحرفي – الرقمي Alphanumeric، الترميز أسكي ASCII، التماثل Parity، الترميز المعتمد على باقي القسمة في الحقل (2) Cyclic Redendancy Code.

الملخص Abstract

نظام العد الإثنائي والترميز الرقمي من الأمور الأساسية في أجهزة الكمبيوتر وفي نظم الإلكترونيات الرقمية. ندرس في هذا الفصل نظام العد الإثنائي وعلاقته بأنظمة عد أخرى مثل نظام العد العشري. كما ندرس العمليات الحسابية في نظام العد الإثناني التي تفيدنا في فهم عمل أجهزة الكمبيوتر والأنواع الأخرى العديدة من النظم الرقمية. يجري أيضاً تغطية الترميز الرقمي (Digital Codes) مثل النظام العشري المرمز إثنانياً (Binary Coded Decimal)، وترميز غري (Gray Code)، وترميز أسكي (ASCII Code). ويعرض هذا الفصل أخيراً لتصحيح الأخطاء باستعمال التماثل الزوجي أو الفردي (Odd–Even Parity) في حالة الخطأ الوحيد، والترميز المعتمد على باقي القسمة في الحقل (2) (Cyclic Redundancy Code) في حالة الأخطاء المتعددة .

الأهداف التعليمية للفصل الثاني ILO2

يهدف هذا الفصل إلى تمكين الطالب من فهم مبدأ أنظمة العد وخاصة نظام العد العشري ونظام العد الإثناني وتمكينه من إجراء العمليات الحسابية في النظام الإثناني، وباستعمال المتمم الإثناني للأعداد الإثنانية، وفهم بعض الكودات (الرموز) الرقمية، وطرق كشف الأخطاء باستعمال التماثل الزوجي أو الفردي، وباستعمال الترميز المعتمد على باقي القسمة في الحقل (2).

مخرجات الفصل الثاني ILO2

فهم أنظمة العد العشري والإثناني والعمليات الحسابية في النظام الإثناني، وباستعمال المتمم الإثناني، وفهم بعض الكودات (الرموز) الرقمية، وطرق كشف الأخطاء.

1. نظام العد العشري Decimal Numbers

يعتمد نظام العد العشري كغيره من أنظمة العد على الخانات الموزونة وفقاً لأساس نظام العد (Radix). أساس نظام العد العشري هو العدد (10)، لأنه يتضمن عشرة أرقام (Digits) مختلفة هي:

9	8	7	6	5	4	3	2	1	0

يبين الشكل 1.2 مبدأ أوزان الخانات الصحيحة والكسرية، ومثالاً على عدد حقيقي في نظام العد العشري.

...	1000	100	10	1	.	0.1	0.01	0.001	...
...	10^3	10^2	10^1	10^0	.	10^{-1}	10^{-2}	10^{-3}	...
		7	6	5	.	3	2		

الشكل 1.2: مبدأ أوزان الخانات الصحيحة والكسرية ومثال على عدد حقيقي في نظام العد العشري.

يسمى الجزء الموجود على يسار الفاصلة العشرية بالجزء الصحيح من العدد (Whole part or Integer part)، ويسمى الجزء الموجود على يمين الفاصلة العشرية بالجزء العشري أو بالجزء الكسري من العدد (Fractional part). الخانة الأولى للجزء الصحيح من العدد العشري والتي تقع على يسار الفاصلة العشرية (Decimal point)، وزنها ($10^0 = 1$)، وتسمى خانة الآحاد. والخانة الثانية للجزء الصحيح من العدد، والتي تقع على يسار الخانة الأولى، وزنها ($10^1 = 10$)، وتسمى خانة العشرات، وهكذا... أما خانة الجزأ الكسري للعدد العشري التي تقع مباشرة على يمين الفاصلة العشرية، وزنها ($10^{-1} = 0.1$)، ووزن الخانة الثانية للجزء الكسري من العدد، والتي تقع على يمين الخانة الأولى، ($10^{-2} = 0.01$)، وهكذا...

فمثلاً العدد الحقيقي (765.32) المعطى في الشكل 1.2 يساوي إلى:

$$(7\times100)+(6\times10)+(5\times1).(3\times0.1)+(2\times0.01)=$$
$$(700)+(60)+(5).(0.3)+(0.02)=765.32$$

2. نظام العد الإثناني Binary Numbers

يعتمد نظام العد الإثناني كغيره من أنظمة العد على الخانات الموزونة وفقاً لأساس نظام العد. أساس نظام العد الإثناني هو (2)، لأنه يتضمن رقمان (Two Digits) فقط هما:

1	0

يبين الشكل 2.2 مبدأ أوزان الخانات الصحيحة والكسرية ومثالاً على عدد حقيقي في نظام العد الإثناني.

...	8	4	2	1	.	0.5	0.25	0.125	...
...	2^3	2^2	2^1	2^0	.	2^{-1}	2^{-2}	2^{-3}	...
		1	0	1	.	1	1		

الشكل 2.2: مبدأ أوزان الخانات الصحيحة والكسرية ومثال على عدد حقيقي في نظام العد الإثناني.

يسمى الجزء الموجود على يسار الفاصلة الإثنانية بالجزء الصحيح من العدد (Whole part or Integer part)، ويسمى الجزء الموجود على يمين الفاصلة الإثنانية بالجزء الكسري من العدد (Fractional part). الخانة الأولى للجزء الصحيح من العدد الإثناني والتي تقع على يسار الفاصلة الإثنانية (Binary point)، وزنها ($2^0 = 1$)، وتسمى الخانة الأقل وزناً (Low Significant Bit). والخانة الثانية للجزء الصحيح من العدد، والتي تقع على يسار الخانة الأولى، وزنها ($2^1 = 2$)، وتسمى الخانة التي تقع على أقصى اليسار الخانة الأكثر وزناً (Most Significant Bit)، وهكذا... أما خانة الجزء الكسري للعدد الإثناني التي تقع مباشرة على يمين الفاصلة الإثنانية، وزنها ($2^{-1} = 0.5$)، ووزن الخانة الثانية للجزء الكسري من العدد، والتي تقع على يمين الخانة الأولى، ($2^{-2} = 0.25$)، وهكذا...
فمثلاً العدد الحقيقي (101.11) المعطى في الشكل 2.2 يساوي إلى:

$$(1\times 4)+(0\times 2)+(1\times 1).(1\times 0.5)+(1\times 0.25)=$$
$$(4)+(0)+(1).(0.5)+(0.25)=5.75_{10}$$

يبين الشكل 3.2 العد الإثناني لتتابع الأعداد من (0) إلى (15)، والأعداد المقابلة له في النظام العشري.

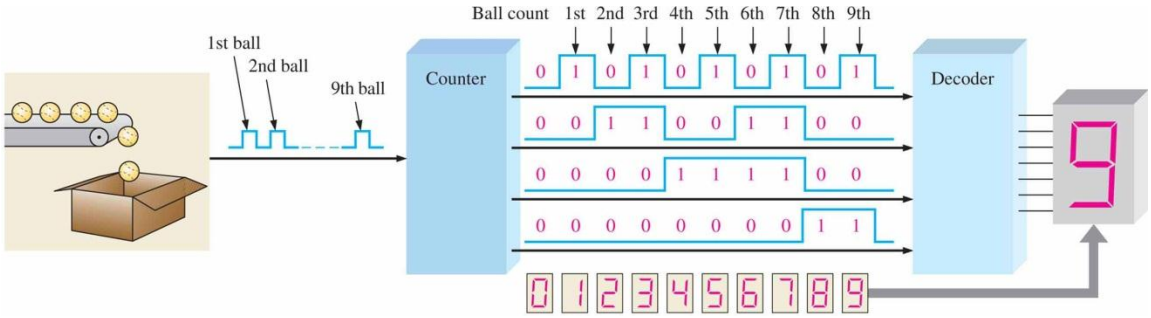
نظام العد العشري		نظام العد الإثناني			
10	1	8	4	2	1
0	0	0	0	0	0
0	1	0	0	0	1
0	2	0	0	1	0
0	3	0	0	1	1
0	4	0	1	0	0
0	5	0	1	0	1
0	6	0	1	1	0
0	7	0	1	1	1
0	8	1	0	0	0
0	9	1	0	0	1
1	0	1	0	1	0
1	1	1	0	1	1
1	2	1	1	0	0
1	3	1	1	0	1
1	4	1	1	1	0
1	5	1	1	1	1

الشكل 3.2: جدول يوضح العد الإثناني من (0) إلى (15) والأعداد العشرية المقابلة.

مثال على العد الإثناني

يساعدنا تعلم العد في النظام الإثناني على فهم أسس عمل الدارات الرقمية، التي يمكن استعمالها لعد الأحداث، مثل عد المواد على خطوط التجميع، وعد العمليات في الكمبيوتر. دعونا نأخذ مثالا بسيطا على عد كرات التنس القادمة على سير متحرك والتي نرغب في تجميعها في علب كرتونية خاصة. نفترض أننا نرغب في وضع كل تسع كرات في علبة واحدة.

يقوم العداد المبين في الشكل 4.2 بعد النبضات الآتية من الحساس الذي يكتشف مرور الكرة ويعطي تتابعاً من المستويات المنطقية على كل واحد من مخارجه الأربعة المتوازية.



الشكل 4.2: مثال يوضح العد الإثناني من (0) إلى (9).

تمثل كل مجموعة من المستويات المنطقية عدداً إثنانياً بأربع خانات (المستوى المنطقي العالي= 1 والمنخفض = 0)، كما هو مبين. يتلقى مفكك الترميز هذا التتابع المنطقي، ويترجم كل مجموعة مكونة من أربع خانات، ويحولها إلى رقم عشري مكافىء يعرض على وحدة الإظهار السباعية. عندما يصل العداد إلى القيمة الإثنانية (1001)، يكون قد عد تسعاً من كرات التنس، ويظهر العدد (9) على وحدة الإظهار السباعية. وتوضع علبة جديدة تحت الناقل، ثم يعود العداد الى حالة الصفر (0000)، وتبدأ عملية جديدة. (استعملنا في هذا المثال العدد 9 فقط لنستعمل وحدة إظهار سباعية واحدة بهدف التبسيط.)

3. التحويل من النظام العشري إلى الإثناني وبالعكس Decimal (Binary) to Binary (Decimal) Conversion

التحويل من نظام العد الإثناني إلى نظام العد العشري

يمكن إيجاد العدد العشري المكافىء لعدد إثناني بجمع أوزان خانات الأخير التي قيمتها (1).

المثال 1.2

حول العدد الصحيح الإثناني (1 0 1 1 0 1 1) إلى عدد صحيح عشري مكافىء.

الحل

$$\begin{array}{cccccccc} 64 & 32 & 16 & 8 & 4 & 2 & 1 & \\ 1 & 1 & 0 & 1 & 1 & 0 & 1_2 & = 64 + 32 + 8 + 4 + 1 = 109_{10} \end{array}$$

المثال 2.2

حول العدد الكسري الإثناني ($1\ 1\ 0\ 1\ .\ 0_2$) إلى عدد كسري عشري مكافىء.

الحل

$$\begin{array}{cccccc} & & 0.5 & 0.25 & 0.125 & 0.0625 & \\ 0. & 1 & 1 & 0 & 1_2 = & (1\times 0.5) + (1\times 0.25) + (0\times 0.125) + (1\times 0.0625) = & 0.6875_{10} \end{array}$$

التحويل من نظام العد العشري إلى نظام العد الإثناني

توجد طريقتان لتحويل عدد عشري إلى عدد إثناني: طريقة جمع أوزان الخانات في حالتي العدد الصحيح أو الكسري، وطريقة التقسيم المتتالي على العدد (2) – وهو أساس نظام العد الإثناني – في حالة العدد الصحيح، والضرب المتتالي بالعدد (2) في حالة العدد الكسري.

المثال 3.2

حول العدد الصحيح العشري (58) إلى عدد صحيح إثناني باستعمال طريقة جمع أوزان الخانات.

الحل

نكتب وزن العدد الإثناني (1) للخانة الأولى ثم ضعف وزن الخانة الأولى (2) كوزن للخانة الثانية، ثم ضعف وزن الخانة الثانية (4) كوزن للخانة الثالثة إلى أن نصل إلى عدد أكبر أو يساوي العدد العشري المطلوب تحويله إلى عدد إثناني والعدد الأخير هنا هو (64). نقارن العدد العشري (58) مع وزن الخانة الأكثر وزناً (64)، إذا كان العدد أكبر أويساوي وزن الخانة نضع (1) تحت هذه الخانة ونطرح وزن الخانة هذه من العدد الأصلي (هنا هذه الحالة غير محققة). وإذا كان العدد الأصلي أصغر من وزن الخانة المعني (هذه الحالة محققة) نضع (0) تحت هذه الخانة، ونقارن العدد الأصلي أو العدد الباقي (هنا العدد الأصلي) مع وزن الخانة التالية (32) والواقعة على يمين الخانة الأكثر وزناً، بما أن العدد (58) أكبر من وزن الخانة (32) نضع (1) تحت الخانة المعنية التي وزنها (32) ونطرح هذا الوزن من العدد الأصلي (58) فنحصل على باقي الطرح ($58-32=26$). نقارن العدد الباقي (26) مع وزن الخانة التالية (16)، بما أنه أكبر منه نضع (1) تحت الخانة المعنية (16) ونطرح وزنها مع آخر باقي ($26-16=10$)، فيكون الباقي الجديد (10). نقارن العدد الباقي (10) مع وزن الخانة التالية (8)، بمأنه أكبر منه نضع (1) تحت الخانة المعنية (8)، ونطرح وزنها مع آخر باقي ($10-8=2$)، فيكون الباقي الجديد (2). نقارن العدد الباقي (2) مع وزن الخانة التالية (4)، بمأنه أصغر منه نضع (0) تحت الخانة المعنية (4). نقارن العدد الباقي (2) مع وزن الخانة التالية (2)، بمأنه يساويه نضع (1) تحت الخانة المعنية (2)، ونطرح وزنها منه ($2-2=0$)، فيكون الباقي الجديد (0). وأخيراً نقارن هذا الباقي مع وزن الخانة التالية والأخيرة فنجده أصغر منه، نضع صفراً تحت هذه الخانة فنحصل على العدد الإثناني المكافىء للعدد العشري المطلوب تحويله.

64	32	16	8	4	2	1								
0	1	1	1	0	1	0_2	=	0 +	32 +	16 +	8 +	0 +	2 +	0 = 58_{10}

المثال 4.2

حول العدد الكسري العشري (0.58) إلى عدد صحيح إثناني بدقة خمس خانات بعد الفاصلة الإثنانية باستعمال طريقة جمع أوزان الخانات.

الحل

نكتب وزن العدد الإثناني ($\frac{1}{2}=0.5$) للخانة الأولى، التي تقع غلى يمين الفاصلة الإثنانية مباشرة، ثم نصف وزن الخانة الأولى ($\frac{0.5}{2}=0.25$) كوزن للخانة الثانية، ثم نصف وزن الخانة الثانية ($\frac{0.25}{2}=0.125$) كوزن للخانة الثالثة

إلى أن نصل إلى الخانة الخامسة، وهي الدقة المطلوبة في تمثيل العدد الكسري. نقارن العدد الكسري (0.58) مع وزن الخانة الأولى الأكثر وزناً (0.5)، إذا كان العدد الكسري العشري أكبر أويساوي وزن الخانة المعنية نضع (1) تحت هذه الخانة ونطرح وزن الخانة هذه من العدد الأصلي (هنا هذه الحالة محققة) $(0.58 - 0.5 = 0.08)$. وإذا كان العدد الأصلي أصغر من وزن الخانة المعنية (هذه الحالة غير محققة هنا) نضع (0) تحت هذه الخانة، ونقارن العدد الأصلي أو العدد الباقي (هنا العدد الباقي) مع وزن الخانة التالية (0.25) والواقعة على يمين الخانة الأكثر وزناً، بما أن العدد الباقي (0.08) أصغر من وزن الخانة (0.25)، نضع (0) تحت هذه الخانة المعنية. نقارن الباقي مع وزن الخانة التالية (0.125) فنجد أنه أصغر منه، نضع (0) تحت هذه الخانة المعنية.نقارن الباقي مع وزن الخانة التالية (0.0625) فنجد أنه أكبر منه، نضع (1) تحت هذه الخانة المعنية، ونطرح وزنها من الباقي $(0.08 - 0.0625 = 0.01750)$. وأخيراً نقارن هذا الباقي مع وزن الخانة التالية والأخيرة (0.03125) فنجده أصغر منه، نضع صفراً تحت هذه الخانة فنحصل على العدد الإثناني المكافىء للعدد العشري المطلوب تحويله.

$$\begin{array}{cccccccccccc} & 0.5 & 0.25 & 0.125 & 0.0625 & 0.03125 & & & & & & \\ 0. & 1 & 0 & 0 & 1 & 0_2 & = & 0.5 + & 0 + & 0 + & 0.0625 + & 0 = & 0.5625_{10} \simeq 0.58_{10} \end{array}$$

المثال 5.2

حول العدد الصحيح العشري (58) إلى عدد صحيح إثناني باستعمال طريقة القسمة المتتالية على العدد (2).

الحل

نجري عملية القسمة الأولى $(58 \div 2 = 29, remainder: 0)$، نضع قيمة الباقي (0) تحت الخانة الأولى الأقل وزناً. ونجري عملية القسمة الثانية $(29 \div 2 = 14, remainder: 1)$، نضع قيمة الباقي (1) تحت الخانة الثانية، وهي الخانة التي تقع غلى يسار الخانة الأولى. ثم نكرر هذه العملية حتى تصبح نتيجة القسمة صفراً فتنتهي عملية التحويل. لاحظ أننا نحصل على نفس النتيجة التي حصلنا عليها باستعمال الطريقة الأولى (طريقة جمع أوزان الخانات).

$$\begin{array}{rcrcl} 58 & \div & 2 & = & 29 \\ 29 & \div & 2 & = & 14 \\ 14 & \div & 2 & = & 7 \\ 7 & \div & 2 & = & 3 \\ 3 & \div & 2 & = & 1 \\ 1 & \div & 2 & = & 0 \\ & & & & \downarrow \\ & & & & stop \end{array} \qquad \begin{array}{rcccccccc} remainder: & 0 & - & - & - & - & - & - & - \\ remainder: & 1 & - & - & - & - & - & - & \\ remainder: & 0 & - & - & - & - & - & & \\ remainder: & 1 & - & - & - & & & & \\ remainder: & 1 & - & - & & & & & \\ remainder: & 1 & - & - & & & & & \\ & & & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\ & & & 1 & 1 & 1 & 0 & 1 & 0 \\ & & & MSB & & & & & LSB \end{array}$$

المثال 6.2

حول العدد الكسري العشري (0.58) إلى عدد صحيح إثناني بدقة خمس خانات بعد الفاصلة الإثنانية باستعمال طريقة الضرب المتتالي بالعدد (2).

الحل

نجري عملية الضرب الأولى $(0.58 \times 2 = 1.16,\ whole: 1)$، نضع قيمة الجزء الصحيح لنتيجة الضرب (1) تحت الخانة الأولى الأكثر وزناً. ونجري عملية الضرب الثانية بين الجزء الكسري لناتج عملية الضرب السابقة والعدد (2)، فنحصل على $(0.16 \times 2 = 0.32,\ whole: 0)$، نضع قيمة الجزء الصحيح لنتيجة الضرب (0) تحت الخانة الثانية، وهي الخانة التي تقع على يمين الخانة الأولى. ثم نكرر هذه العملية عدداً من المرات بعدد خانات الدقة المطلوبة. لاحظ أننا نحصل على نفس النتيجة التي حصلنا عليها باستعمال الطريقة الأولى (طريقة جمع أوزان الخانات).

							MSB				*LSB*
						0.	1	0	0	1	0
							↑	↑	↑	↑	↑
0.58	$\times$	2	$=$	1.16	$whole:$	1	–	–			
0.16	$\times$	2	$=$	0.32	$whole:$	0	–	–	–		
0.32	$\times$	2	$=$	0.64	$whole:$	0	–	–	–	–	
0.64	$\times$	2	$=$	1.28	$whole:$	1	–	–	–	–	–
0.28	$\times$	2	$=$	0.56	$whole:$	0	–	–	–	–	–	–

4. العمليات الحسابية في النظام الإثناني Binary Arithmetic

تستعمل الحواسيب الرقمية والعديد من الأنواع الأخرى للأنظمة الرقمية النظام الإثناني لإجراء العمليات الحسابية. لفهم العمليات الحسابية في الأنظمة الرقمية، علينا أن نفهم أساسيات الجمع والطرح والضرب والقسمة في نظام العد الإثناني.

الجمع في النظام الإثناني

نبين فيما يلي قواعد الجمع الأربعة لرقمين (بيتين) في النظام الإثناني.

A	+	B	=	Cout	Σ
0	+	0	=	0	0
0	+	1	=	0	1
1	+	0	=	0	1
1	+	1	=	1	0

نلاحظ في السطر الأخير أن $(1+1=2)$ ويكتب في النظام الإثناني $(1\,0)$. وفي السطر الأول $(0+0=0)$، ويكتب في النظام الإثناني $(0\,0)$. ونتيجة الجمع في السطرين المتبقيين $(1+0=1, 1+0=1)$ ويكتب في النظام الإثناني $(0\,1)$. نلاحظ أن عملية الجمع على خانة واحدة في النظام الإثناني تحتاج إلى خانتين لكتابة النتيجة.

عندما يكون هناك منقول قيمته (1) من مرحلة سابقة، نحتاج إلى جمع ثلاث خانات في المرتبة الواحدة (الرقمان A, B، والمنقول من المرتبة الأدنى). يبين الجدول التالي جمع ثلاثة بيتات:

A	+	B	+	Cin	=	Cout	Σ
0	+	0	+	0	=	0	0
0	+	0	+	1	=	0	1
0	+	1	+	0	=	0	1
0	+	1	+	1	=	1	0
1	+	0	+	0	=	0	1
1	+	0	+	1	=	1	0
1	+	1	+	0	=	1	0
1	+	1	+	1	=	1	1

المثال 7.2

اجمع الأعداد التالية في النظام الإثناني:

$$\begin{array}{ll} & 8\,4\,2\,1 \quad 8\,4\,2\,1 \\ (a) & 1\,0\,0\,1 + 1\,0\,0\,1 \quad \Leftrightarrow 9+9=18 \\ (b) & 1\,0\,1\,1 + 1\,1\,1\,1 \quad \Leftrightarrow 11+15=26 \\ (c) & 0\,0\,1\,1 + 0\,1\,1\,1 \quad \Leftrightarrow 3+7=10 \\ (d) & 1\,0\,1\,1 + 0\,1\,0\,1 \quad \Leftrightarrow 11+5=16 \end{array}$$

الحل

$(a)\ 1\,0\,0\,1 + 1\,0\,0\,1 \quad \Leftrightarrow 9+9=18$

$$\begin{array}{ccccc} 16 & 8 & 4 & 2 & 1 \\ & & & 1 & \\ & 1 & 0 & 0 & 1 \\ + & 1 & 0 & 0 & 1 \\ \hline 1 & 0 & 0 & 1 & 0 \end{array} \quad \Leftrightarrow \quad 16+\ \ 2=\ \ 18$$

$(b)\ 1\,0\,1\,1 + 1\,1\,1\,1 \quad \Leftrightarrow 11+15=26$

$$\begin{array}{ccccc} 16 & 8 & 4 & 2 & 1 \\ & 1 & 1 & 1 & \\ & 1 & 0 & 1 & 1 \\ + & 1 & 1 & 1 & 1 \\ \hline 1 & 1 & 0 & 1 & 0 \end{array} \quad 16+\ \ 8+\ \ 2=\ \ 26$$

$(c)\ 0\,0\,1\,1 + 0\,1\,1\,1 \quad \Leftrightarrow 3+7=10$

$(d)\ 1\,0\,1\,1 + 0\,1\,0\,1 \quad \Leftrightarrow 11+5=16$

$$\begin{array}{cccccc} 16 & 8 & 4 & 2 & 1 & \\ & 1 & 1 & 1 & & \\ & 0 & 0 & 1 & 1 & \\ \pm & 0 & 1 & 1 & 1 & \\ & 1 & 0 & 1 & 0 & \Leftrightarrow 8+2=10 \end{array} \qquad \begin{array}{cccccc} 16 & 8 & 4 & 2 & 1 & \\ & 1 & 1 & 1 & & \\ & 1 & 0 & 1 & 1 & \\ \pm & 0 & 1 & 0 & 1 & \\ 1 & 0 & 0 & 0 & 0 & \Leftrightarrow 16 \end{array}$$

الطرح في النظام الإثناني

نبين فيما يلي قواعد الطرح الأربع لرقمين (بيتين) في النظام الإثناني.

A	-	B	=	Borrow	D
0	-	0	=	0	0
1	-	0	=	0	1
1	-	1	=	0	0
10	-	1	=	1	1

نلاحظ في السطر الأخير أن $(0-1=?)$ غير ممكن لذلك نستعير (1) من المرتبة الأعلى، فتكون قيمته (2) في المرتبة الحالية بالتالي لدينا $(2-1=1)$، أي تكون نتيجة الطرح $(D=1)$، ولدينا مستلف من المرتبة الأعلى أي $(Borrow=1)$. وفي السطر الأول $(0-0=0)$، ويكتب في النظام الإثناني على مرتبتين $(0\,0)$. ونتيجة الطرح في السطر الثاني $(1-0=1)$ ويكتب في النظام الإثناني على مرتبتين $(0\,1)$. ونتيجة الطرح في السطر الثالث $(1-1=0)$ ويكتب في النظام الإثناني على مرتبتين $(0\,0)$.

المثال 8.2

اطرح الأعداد التالية في النظام الإثناني:

$$\begin{array}{ll} & 8\,4\,2\,1 \quad 8\,4\,2\,1 \\ (a) & 1\,0\,0\,1-0\,1\,1\,1 \quad \Leftrightarrow 9-7=2 \\ (b) & 1\,1\,1\,1-1\,0\,0\,1 \quad \Leftrightarrow 15-9=6 \\ (c) & 1\,0\,0\,0-0\,1\,1\,0 \quad \Leftrightarrow 8-6=2 \\ (d) & 1\,1\,0\,0-0\,1\,1\,1 \quad \Leftrightarrow 12-7=5 \end{array}$$

الحل

$$(a)\,1\,0\,0\,1-0\,1\,1\,1 \quad \Leftrightarrow 9-7=2 \qquad (b)\,1\,1\,1\,1-1\,0\,0\,1 \quad \Leftrightarrow 15-9=6$$

$$\begin{array}{cccccc} 16 & 8 & 4 & 2 & 1 & \\ & & 1 & & & \\ & 0 & \not{2} & 2 & & \\ & \not{1} & 0 & 0 & 1 & \\ - & \underline{0} & \underline{1} & \underline{1} & \underline{1} & \\ & 0 & 0 & 1 & 0 & \Leftrightarrow \quad 2 \end{array} \qquad \begin{array}{cccccc} & 8 & 4 & 2 & 1 & \\ & & & & & \\ & & & & & \\ & 1 & 1 & 1 & 1 & \\ - & \underline{1} & \underline{0} & \underline{0} & \underline{1} & \\ & 0 & 1 & 1 & 0 & \Leftrightarrow \quad 4+\ 2=\ 6 \end{array}$$

$$(c)\ 1000-0110 \quad \Leftrightarrow 8-6=2 \qquad (d)\ 1100-0111 \quad \Leftrightarrow 12-7=5$$

$$\begin{array}{cccccc} & 8 & 4 & 2 & 1 & \\ & & 1 & & & \\ & 0 & \not{2} & 2 & & \\ & \not{1} & 0 & 0 & 0 & \\ - & \underline{0} & \underline{1} & \underline{1} & \underline{0} & \\ & 0 & 0 & 1 & 0 & \Leftrightarrow \quad 2 \end{array} \qquad \begin{array}{cccccc} & 8 & 4 & 2 & 1 & \\ & & 2 & 1 & & \\ & 0 & 0 & \not{2} & 2 & \\ & \not{1} & \not{1} & 0 & 0 & \\ - & \underline{0} & \underline{1} & \underline{1} & \underline{1} & \\ & 0 & 1 & 0 & 1 & \Leftrightarrow \quad 4+\ 1=\ 5 \end{array}$$

الضرب في النظام الإثناني

نبين فيما يلي قواعد الضرب الأربع لرقمين (بيتين) في النظام الإثناني.

A	×	B	=	∏
0	×	0	=	0
0	×	1	=	0
1	×	0	=	0
1	×	1	=	1

يجري تنفيذ الضرب في النظام الإثناني بنفس الطريقة التي يجري بها في النظام العشري. فهي تنطوي على تشكيل الجداءات الجزئية، وإزاحة كل جداء جزئي مرتبة إلى اليسار بعد الجداء الجزئي الأول، ومن ثم جمع كافة الجداءات الجزئية.

المثال 8.2

أجر عمليات الضرب التالية في النظام الإثناني:

$$
\begin{array}{l}
\quad 8\,4\,2\,1 \quad 8\,4\,2\,1 \\
(a)\ 1\,0\,0\,1 \times 0\,1\,1\,1 \quad \Leftrightarrow 9 \times 7 = 63 \\
(b)\ 1\,1\,1\,1 \times 1\,0\,0\,1 \quad \Leftrightarrow 15 \times 9 = 135 \\
(c)\ 1\,0\,0\,0 \times 0\,1\,1\,0 \quad \Leftrightarrow 8 \times 6 = 48 \\
(d)\ 1\,1\,0\,0 \times 0\,1\,1\,1 \quad \Leftrightarrow 12 \times 7 = 84
\end{array}
$$

الحل

$(a)\ 1\,0\,0\,1 \times 0\,1\,1\,1 \quad \Leftrightarrow 9 \times 7 = 63$

$$
\begin{array}{cccccccc}
128 & 64 & 32 & 16 & 8 & 4 & 2 & 1 \\
 & & & & 1 & 0 & 0 & 1 \\
 & & & \times & \underline{0} & \underline{1} & \underline{1} & \underline{1} \\
 & & & & & & & \\
 & & & & 1 & 0 & 0 & 1 \\
 & & & 1 & 0 & 0 & 1 & \\
 & & 1 & 0 & 0 & 1 & & \\
 & & & & & & & \\
\pm & & \underline{0} & \underline{0} & \underline{0} & \underline{0} & & \\
 & 0 & 1 & 1 & 1 & 1 & 1 & 1
\end{array}
\quad \Leftrightarrow \quad 32 + \ 16 + \ 8 + \ 4 + \ 2 + \ 1 = \ 63
$$

$(b)\ 1\,1\,1\,1 \times 1\,0\,0\,1 \quad \Leftrightarrow 15 \times 9 = 135$

$$
\begin{array}{cccccccc}
128 & 64 & 32 & 16 & 8 & 4 & 2 & 1 \\
 & & & & 1 & 1 & 1 & 1 \\
 & & & \times & \underline{1} & \underline{0} & \underline{0} & \underline{1} \\
 & 1 & 1 & 1 & & & & \\
 & & & & 1 & 1 & 1 & 1 \\
 & & & 0 & 0 & 0 & 0 & \\
 & & 0 & 0 & 0 & 0 & & \\
 & & & & & & & \\
\pm & & \underline{1} & \underline{1} & \underline{1} & \underline{1} & & \\
1 & 0 & 0 & 0 & 0 & 1 & 1 & 1
\end{array}
\quad \Leftrightarrow \quad 128 + \ 4 + \ 2 + \ 1 = \ 135
$$

$(c)\ 1\,0\,0\,0 \times 0\,1\,1\,0 \quad \Leftrightarrow 8 \times 6 = 48$

128	64	32	16	8	4	2	1				
				1	0	0	0				
			×	0	1	1	0				
				0	0	0	0				
			1	0	0	0					
		1	0	0	0						
±	0	0	0	0							
	0	1	1	0	0	0	0	⇔	32 +	16 =	48

$(d)\ 1\,1\,0\,0 \times 0\,1\,1\,1 \quad \Leftrightarrow 12 \times 7 = 84$

128	64	32	16	8	4	2	1				
				1	1	0	0				
			×	0	1	1	1				
	1	1	1								
				1	1	0	0				
			1	1	0	0					
		1	1	0	0						
±	0	0	0	0							
	1	0	1	0	1	0	0	⇔	64 +	16 +	4 =	84

القسمة في النظام الإثناني

يجري تنفيذ عملية القسمة في النظام الإثناني بنفس الطريقة التي يجري بها في النظام العشري.

المثال 9.2

يطلب إجراء عمليات القسمة التالية في النظام الإثناني:

$$
\begin{array}{lll}
 & 8\ 4\ 2\ 1 & \\
(a) & 1\,0\,0\,1 \div 1\,0 \Leftrightarrow 9 \div 2 = 4 & remainder: 1 \\
(b) & 1\,1\,1\,1 \div 1\,0\,0 \Leftrightarrow 15 \div 4 = 3 & remainder: 3 \\
(c) & 1\,0\,0\,0 \div 1\,0 \Leftrightarrow 8 \div 2 = 4 & remainder: 0 \\
(d) & 1\,1\,0\,0 \div 1\,0\,1 \Leftrightarrow 12 \div 5 = 2 & remainder: 2
\end{array}
$$

الحل

$$
\begin{array}{llll}
(a) & \begin{array}{ll} qotient & \dot{1}\ \ \ddot{0}\ \ddot{0} \\ & \uparrow\uparrow \\ \dot{1}\,\dot{0} & \overline{)\dot{1}\ \bar{0}\ \bar{\ddot{0}}\ \bar{\ddot{1}}} \\ & \underline{-\dot{1}}\ \underline{\dot{0}}\downarrow\downarrow \\ remainder & \dot{0}\ \ \dot{0}\ \ddot{0}\ \ddot{1} \end{array} &
(b) & \begin{array}{ll} qotient & \dot{1}\ \ddot{1} \\ \dot{1}\,\dot{0}\,\dot{0} & \overline{)\dot{1}\ \bar{1}\ \bar{\ddot{1}}\ \bar{1}} \\ & \underline{-\dot{1}}\ \underline{\dot{0}}\ \underline{\dot{0}}\downarrow \\ & \ddot{0}\ \ddot{1}\ \ddot{1}\ \ddot{1} \\ & \underline{-\ddot{1}}\ \underline{\ddot{0}}\ \underline{\ddot{0}} \\ remainder & \ddot{0}\ \ddot{1}\ \ddot{1} \end{array} \\
(c) & \begin{array}{ll} qotient & \dot{1}\ \ \ddot{0}\ \ddot{0} \\ & \uparrow\uparrow \\ \dot{1}\,\dot{0} & \overline{)\dot{1}\ \bar{0}\ \bar{\ddot{0}}\ \bar{\ddot{0}}} \\ & \underline{-\dot{1}}\ \underline{\dot{0}}\downarrow\downarrow \\ remainder & \dot{0}\ \ \dot{0}\ \ddot{0}\ \ddot{0} \end{array} &
(d) & \begin{array}{ll} qotient & \dot{1}\ \ \ddot{0} \\ & \dot{0}\ \dot{2}\uparrow \\ \dot{1}\,\dot{0}\,\dot{1} & \overline{)\dot{1}\ \bar{\not{0}}\ \bar{0}\ \bar{\ddot{0}}} \\ & \underline{-\dot{1}}\ \underline{\dot{0}}\ \dot{1}\downarrow \\ remainder & \dot{0}\ \ \dot{0}\ \dot{1}\ \ddot{0} \end{array}
\end{array}
$$

5. المتمم الأحادي والإثناني للأعداد الإثنانية 1's and 2's Complements of Binary Numbers

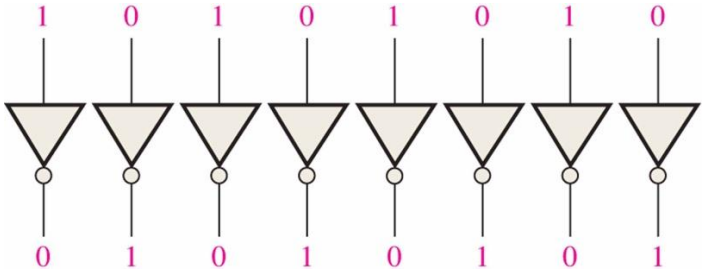
تكمن أهمية المتمم الأحادي والإثناني للأعداد الإثنانية في تمثيل الأعداد السالبة. يستعمل الحاسب أكثر ما يستعمل في عملياته الحسابية الأعداد الممثلة بالمتمم الإثناني. أما تمثيل الأعداد بالمتمم الأحادي، فهو معبر للوصول إلى المتمم الإثناني.

المتمم الأحادي

المتمم الأحادي لرقم في نظام عد ما هو الرقم المتمم لأكبر رقم فيه. ففي حالة النظام العشري المتمم الأحادي للرقم (5) هو الرقم $(9-5=4)$. وفي نظام العد الإثناني متمم الرقم (1) هو الرقم $(1-1=0)$،
ومتمم الرقم (0) هو الرقم $(1-0=1)$. لإيجاد المتمم الأحادي لعدد إثناني يتم تغيير كل (1) فيه إلى (0)، وكل (0) إلى (1). فمثلاً:

$$
\begin{array}{llll}
1 & 0 & 1 & 1\ 0\ 0\ 1\ 0 & Binary\ number \\
\downarrow & \downarrow & \downarrow & \downarrow\ \downarrow\ \downarrow\ \downarrow\ \downarrow & \\
0 & 1 & 0 & 0\ 1\ 1\ 0\ 1 & 1's\ complement
\end{array}
$$

أبسط طريقة للحصول على المتمم الأحادي لعدد إثناني عملياً هي استعمال العواكس المنطقية كما هو موضح في الشكل 5.2.



الشكل 5.2 : مثال على استعمال العواكس المنطقية للحصول على المتمم الأحادي لعدد إثناني.

المتمم الإثناني

المتمم الإثناني لعدد هو المتمم الأحادي لعدد إثناني مضافاً إليه واحداً. أي:

$$2\text{'s complement} = \left(1\text{'s complement}\right) + 1$$

يُستعمل المتمم الإثناني في الكمبيوتر لتمثيل الأعداد الموجبة والسالبة (الأعداد الجبرية أو الأعداد بإشارة)، عوضاً عن استعمال المتمم الأحادي لأن هذا الأخير يعطي للصفر قيمتين ممكنتين. يوضح الجدول التالي تمثيلاً لبعض الأعداد في النظام الإثناني الممثلة على أربعة بتات وتمثيلاً للمتممين الأحادي والإثناني لها.

العشري المقابل للمتمم الإثناني	المتمم الإثناني للعدد الإثناني	العشري المقابل للمتمم الأحادي	المتمم الأحادي للعدد الإثناني	العشري المقابل لنظام العد الإثناني	نظام العد الإثناني
+0	0 0 0 0	+0	0 0 0 0	0	0 0 0 0
+1	0 0 0 1	+1	0 0 0 1	1	0 0 0 1
+2	0 0 1 0	+2	0 0 1 0	2	0 0 1 0
+3	0 0 1 1	+3	0 0 1 1	3	0 0 1 1
+4	0 1 0 0	+4	0 1 0 0	4	0 1 0 0
+5	0 1 0 1	+5	0 1 0 1	5	0 1 0 1
+6	0 1 1 0	+6	0 1 1 0	6	0 1 1 0
+7	0 1 1 1	+7	0 1 1 1	7	0 1 1 1
−8	1 0 0 0	−7	1 0 0 0	8	1 0 0 0
−7	1 0 0 1	−6	1 0 0 1	9	1 0 0 1
−6	1 0 1 0	−5	1 0 1 0	10	1 0 1 0
−5	1 0 1 1	−4	1 0 1 1	11	1 0 1 1
−4	1 1 0 0	−3	1 1 0 0	12	1 1 0 0
−3	1 1 0 1	−2	1 1 0 1	13	1 1 0 1
−2	1 1 1 0	−1	1 1 1 0	14	1 1 1 0
−1	1 1 1 1	−0	1 1 1 1	15	1 1 1 1

نلاحظ من الجدول أعلاه أن الخانة الأكثر وزناً في حالتي تمثيل الأعداد بالمتمم الأحادي والمتمم الإثناني تمثل إشارة العدد، إذا كانت هذه الخانة (0) يكون العدد موجباً، وإذا كانت (1) يكون العدد سالباً. نلاحظ أن تمثيل الأعداد الموجبة من (+0) إلى (+7) هي نفسها في الحالات الثلاث، وتسمى الأعداد الموجبة في حالتي التمثيل بالمتمم الأحادي والمتمم الإثناني (True form)، وتسمى الأعداد السالبة في حالتي التمثيل بالمتمم الأحادي والمتمم الإثناني (Complement form). للحصول على العدد (−5) في حالة التمثيل بالمتمم الأحادي، نأخذ العدد (+5) ونوجد المتمم الأحادي له، والعكس بالعكس. أي:

8 4 2 1		8 4 2 1	
0 1 0 1	+5	1 0 1 0	−(4+1=5)
↓ ↓ ↓ ↓	1's *complement*	↓ ↓ ↓ ↓	1's *complement*
1 0 1 0		0 1 0 1	
−(4+0+1)=	−5	+(4+0+1)=	+5

للحصول على العدد (5−) في حالة التمثيل بالمتمم الإثناني، نأخذ العدد (5+) ونوجد المتمم الأحادي له، ثم نجمع له (1). والعكس بالعكس. أي:

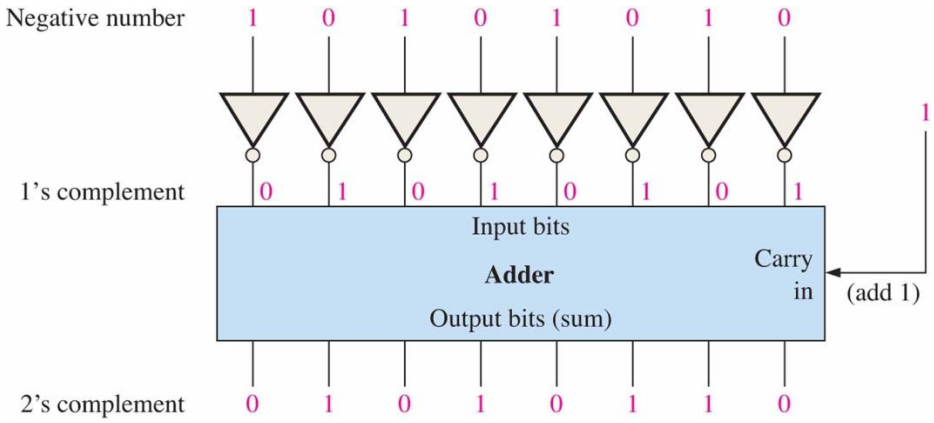
8421		8421	
0101	+5	1011	−8+3=−5
1010	1's *complement* +	0100	1's *complement* +
+0001	1=	+0001	1=
=1011	2's *complement* (−8+3=−5)	=0101	2's *complement* (+4+1=+5)

للحصول على المتمم الإثناني عموماً، بطريقة أخرى، ننظر إلى الخانة الأقل وزناً، إذا كانت (1) نأخذها كما هي ثم نعكس بقية الخانات التي تقع على يسارها. أما إذا كانت (0) ويليها (1) أوعدد من الخانات (0) ويليها (1)، نأخذ هذه الخانات كما هي ثم نعكس بقية الخانات التي على يسار الخانة (1) المسبوقة بِـ (0) أي:

16842 1		1684 2 1		1684 2 1	
0 1 0 1 1	+8+3=+11	0 1 0 1 0	+8+2=+10	0 1 1 0 0	+8+4=+12
↓↓↓↓↓	2's *complement* +	↓↓↓↓↓	2's *complement* +	↓↓↓↓↓	2's *complement* +
1 0 1 0 1	−16+5=−11	1 0 1 1 0	−16+6=−10	1 0 1 0 0	−16+4=−12

لإيجاد العدد العشري المقابل لعدد ممثل بالمتمم الإثناني، ننظر إلى الخانة الأكثر وزناً، إذا كانت (0) يكون العدد موجباً ويجري استنتاجه بنفس الطريقة التي نوجد فيها المكافئ العشري لعدد ممثل بالنظام الإثناني. وإذا كانت (1) يكون العدد سالباً ويجري استنتاجه بأخذ وزن الخانة الأكثر وزناً كقيمة سالبة والخانات المتبقية التي قيمة كل منها (1) كقيم موجبة وبأخذ المحصلة نحصل على العدد العشري السالب المقابل. فمثلاً قيمة العدد (1 1 0 1) الممثل بالمتمم الإثناني بالنظام العشري هو (5−=1+2+8−).

للحصول على المتمم الإثناني عملياً، نعكس العدد، فنحصل على المتمم الأحادي له ثم نجمعه مع (1) الموجود على مدخل المنقول في الدخل (carry in) لدارة الجامع، كما هو موضح في الشكل 6.2.



الشكل 6.2: مثال على كيفية الحصول عملياً على المتمم الإثناني لعدد.

6. العمليات الحسابية باستعمال المتمم الإثناني Arithmetic Operations with Signed umbers

نظراً لأن الأعداد المرمزة بالمتمم الإثناني هي الأكثر استعمالاً في أجهزة الكمبيوتر والأنظمة المستندة إلى المعالجات الصغرية، نعرض للعمليات الحسابية الأربع المعروفة (الجمع، والطرح، والضرب، والقسمة) عليها.

عملية الجمع (Addition)

يسمى العددان المطلوب جمعهما على التوالي، المجموع (addend) والمجموع إليه (augend)، وتسمى نتيجة الجمع (sum). في عملية الجمع، هناك أربع احتمالات هي:

1. العددان موجبان
2. عدد أول موجب طويلته أكبر من طوبلة العدد الآخر السالب
3. عدد أول سالب طويلته أكبر من طوبلة العدد الآخر الموجب
4. العددان سالبان

سنجري عمليات الجمع على أعداد ممثلة بالمتمم الإثناني وعلى ثمانية خانات أو الأعداد بإشارة بثمانية خانات (8-bit signed numbers)، وستكون النتيجة ممثلة على ثمانية خانات.

العددان موجبان والنتيجة موجبة

	128	64	32	16	8	4	2	1			
					1						
	0	0	0	0	0	1	1	1	*addend*		7
+	0	0	0	0	0	1	0	0	*augend*	+	4
	0	0	0	0	1	0	1	1	*sum*		11

عدد أول موجب طويلته أكبر من طويلة العدد الآخر السالب والنتيجة موجبة

	128	64	32	16	8	4	2	1			
	1	1	1	1	1	1					
	0	0	0	0	1	1	1	1	*addend*		+15
±	1	1	1	1	1	0	1	0	*augend*	±	−6
✗	0	0	0	0	1	0	0	1	*sum*		+9

عدد أول سالب طويلته أكبر من طويلة العدد الآخر الموجب والنتيجة سالبة

	128	64	32	16	8	4	2	1			
	0	0	0	1	0	0	0	0	*addend*		+16
±	1	1	1	0	1	0	0	0	*augend*	±	−24
	1	1	1	1	1	0	0	0	*sum*		−8

العددان سالبان والنتيجة سالبة

	128	64	32	16	8	4	2	1			
	1	1	1	1	1	1	1				
	1	1	1	1	1	0	1	1	*addend*		−5
±	1	1	1	1	0	1	1	1	*augend*	±	−9
✗	1	1	1	1	0	0	1	0	*sum*		−14

يجري تجاهل بت الحامل النهائي. نتيجة الجمع سالبة، ومكتوبة بصيغة المتمم الإثناني. يجري في الكمبيوتر تخزين الأرقام السالبة في شكل صيغة المتمم الإثناني لذلك، فإن عملية الجمع كما رأينا هي عملية بسيطة جدا: يجري جمع العددين وتجاهل بت الحامل النهائي.

شرط الطفح (Overflow Condition) عندما يتجاوز ناتج جمع عددين عدد البتات المطلوبة لتمثيلهما، تحصل ما يسمى بالطفح ويمكن تحسس الطفح عن طريق بت إشارة النتيجة غير الصحيح: فالطفح يمكن أن يحدث فقط عندما يُجمع عددان موجبان وتكون النتيجة سالبة، أو عندما يُجمع عددان سالبان وتكون النتيجة موجبة. وفيما يلي مثال لتوضيح شرط الطفح.

		128	64	32	16	8	4	2	1			
		1	1	1	1							
		0	1	1	1	1	1	0	1	*addend*		+125
	±	0	0	1	1	1	0	1	0	*augend*	±	+58
Sign incorrect		1	0	1	1	0	1	1	1	*Magnitude incorrect*	(−73)	+183

يتطلب تمثيل ناتج الجمع (183) ثمانية بتات. وبما أن هناك سبعة بتات فقط مخصصة للطويلة لكل من العددين والنتيجة (وبت واحد للإشارة)، فإن هناك طفح يشير إليه بت الإشارة السالب (1).

الأعداد المجموعة مثنى مثنى دعونا ننظر إلى جمع سلسلة من الأعداد، فالجمع بجري مثنى مثنى. ويمكن تحقيق ذلك عن طريق جمع أول عددين، ثم جمع العدد الثالث إلى ناتج جمع العددين الأوليين، فجمع العدد الرابع لهذه النتيجة، وهلم جرا. هذه هي طريقة جمع الكمبيوتر لسلسلة أعداد. والمثال التالي يوضح ذلك.

المثال 10.2

اجمع الأعداد الجبرية التالية:

0 1 0 0_ 0 1 0 0 + 0 0 0 1_ 1 0 1 1 + 0 0 0 0_ 1 1 1 0

+ 0 0 0 1_ 0 0 1 0

	1			128	64	32	16	8	4	2	1	
	6	8		0	1	0	0	0	1	0	0	
±	2	7	±	0	0	0	1	1	0	1	1	*Add 1st two numbers*
						1	1	1	1			
	9	5		0	1	0	1	1	1	1	1	*First sum*
± _	1	4	±	0	0	0	0	1	1	1	0	*Add 3rd number*
	1											
1	0	9		0	1	1	0	1	1	0	1	*2nd sum*
± _	1	8	±	0	0	0	1	0	0	1	0	*Add 4th number*
1	2	7		0	1	1	1	1	1	1	1	*Final sum*

عملية الطرح (Subtraction)

عملية الطرح هي حالة خاصة من عملية الجمع. على سبيل المثال، طرح العدد (+6)، ويسمى المطروح (Subtrahend) من العدد (+9)، ويسمى المطروح منه (Minuend)، يكافىء جمع (−6) مع (+9). أي أن تحويل عملية الطرح إلى عملية جمع تقتضي تغير إشارة العدد المطروح وجمعه مع المطروح منه. وتسمى نتيجة الطرح بالفرق (Difference).

يجري تغيير إشارة العدد موجباً كان أم سالباً بأخذ المنمم الإثناني له.

على سبيل المثال، عند أخذ المتمم الإثناني للعدد الموجب (0000_0100) أي (+4)، نحصل على العدد السالب (1111_1100) أي (−4).

وكمثال آخر، عند أخذ المتمم الإثناني للعدد السالب (1110_1101) أي (−19)، نحصل على العدد الموجب (0001_0011) أي (+19).

لطرح عددين جبريين نأخذ المنمم الإثناني للمطروح ونجمعه مع المطروح منه، ونهمل الحامل (المنقول) النهائي.

يوضح المثال 11.2 عملية الطرح هذه.

المثال 11.2

اطرح الأعداد التالية باستعمال المتمم الإثناني:

(*a*) 0 0 0 0 1 0 0 0 − 0 0 0 0 0 0 1 1

(*b*) 0 0 0 0 1 1 0 0 − 1 1 1 1 0 1 1 1

(*c*) 1 1 1 0 0 1 1 1 − 0 0 0 1 0 0 1 1

(*d*) 1 0 0 0 1 0 0 0 − 1 1 1 0 0 0 1 0

الحل

$$8 - 3 = 8 + (-3) = 5$$

(*a*)

	128	64	32	16	8	4	2	1	
	1	1	1	1					
	0	0	0	0	1	0	0	0	*Minuend* (+8)
± _	1	1	1	1	1	1	0	1	*2's complement of subtrahend* (−3)
Discard ~~1~~	0	0	0	0	0	1	0	1	*Difference* (+5)

$$12 - (-9) = 12 + 9 = 21$$

(*b*)

	128	64	32	16	8	4	2	1	
				1					
	0	0	0	0	1	1	0	0	*Minuend* (+12)
± _	0	0	0	0	1	0	0	1	*2's complement of subtrahend* (+9)
	0	0	0	1	0	1	0	1	*Difference* (+21)

$$-25 \quad - \quad (+19) \quad = \quad -25 \quad + \quad (-19) \quad = \quad -44$$

(*c*)

		128	64	32	16	8	4	2	1	
		1	1		1	1	1	1		
		1	1	1	0	0	1	1	1	*Minuend* (–25)
±	–	1	1	1	0	1	1	0	1	*2's complement of subtrahend* (–19)
Discard	1	1	1	0	1	0	1	0	0	*Difference* (–44)

$$-25 \quad - \quad (+19) \quad = \quad -25 \quad + \quad (-19) \quad = \quad -44$$

(*d*)

		128	64	32	16	8	4	2	1	
				1	1					
		1	0	0	0	1	0	0	0	*Minuend* (–120)
±	–	0	0	0	1	1	1	1	0	*2's complement of subtrahend* (+30)
		1	0	1	0	0	1	1	0	*Difference* (–90)

عملية الضرب (Multiplication)

تسمى الأعداد في عملية الضرب المضروب به (Multiplicand)، والضارب (Multiplier) والجداء (Product). وهذا ما يوضحه المثال التالي.

	8	*Multiplicand*
×	3	*Multiplier*
2	4	Pr*oduct*

تستعمل معظم أجهزة الكمبيوتر عملية الجمع لتحقيق ضرب الأعداد. وكما مر معنا، فإن عملية الجمع تستعمل أيضاً لتحقيق عملية الطرح. دعونا الآن نرى كيف يجري تنفيذ عملية الضرب باستعمال الجمع.

الجمع المباشر والجداءات الجزئية هما طريقتان رئيستان لتنفيذ الضرب باستعمال الجمع. في حالة طريقة الجمع المباشر، يُجمع المضروب به عدد من المرات مساوياً إلى قيمة الضارب. لإيجاد نتيجة ضرب ($8 \times 3 = 24$)، نجمع المضروب به (8) ثلاث مرات ($8 + 8 + 8 = 24$). وعيب هذه الطريقة هو أن عملية الجمع تصبح طويلة جدا إذا كان العدد الضارب هو عدد كبير. على سبيل المثال عملية ضرب (75×350) يقتضي جمع العدد (350) مع نفسه (75) مرة. بالمناسبة، هذا هو السبب في استخدام مصطلح مرات (Times) لتعني ضرب (Multiply).

عندما يجري ضرب عددين في نظام المتمم الإثناني، يجب أن يكون كلا من العددين موجباً. يوضح المثال التالي عملية الضرب المعتمدة على جمع عددين معاً.

المثال 12.2

يُطلب إجراء عملية ضرب العددين الجبريين (1 0 1 1 0 0 1 0) و(0 0 0 0 0 0 1 0 0) باستعمال طريقة الجمع المباشر.

الحل

بما أن العددين موجبان، فهما بالصيغة الصحيحة (true)، فالجداء سيكون موجباً. القيمة العشرية للضارب (77)، لذلك يجمع المضروب به مع نفسه أربع مرات.

	256	128	64	32	16	8	4	2	1		
		1			1	1		1			
		0	1	0	0	1	1	0	1	1st	time
±	_	0	1	0	0	1	1	0	1	2nd	time
				1	1						
		1	0	0	1	1	0	1	0	partial	sum
±	_	0	1	0	0	1	1	0	1	3rd	time
		1			1	1	1	1			
		1	1	1	0	0	1	1	1	partial	sum
±	_	0	1	0	0	1	1	0	1	4th	time
	1	0	0	1	1	0	1	0	0	Product	

بما أن إشارة العدد المضروب به (0)، فسوف لن يكون له أثر على النتيجة. فكل بتات النتيجة هي قيمة الجداء.
طريقة الجداءات الجزئية وربما كانت الأكثر شيوعا لأنها تعكس الطريقة اليدوية في الضرب. يجري ضرب المضروب به بكل رقم من أرقام الضارب بدءا من الرقم الأقل وزناً. وتسمى نتيجة ضرب المضروب به برقم من أرقام الضارب بالناتج الجزئي (Partial product). يزاح كل ناتج جزئي على التوالي خانة واحدة إلى اليسار، وعندما يجري الحصول على كل الجداءات الجزئية، تجمع بعضها مع بعض للحصول على الجداء النهائي. يوضح المثال التالي هذه الإجرائية.

		1	2					
		2	3	9	Multiplicand			
	×	1	2	3	Multiplier			
	2	1						
		7	1	7	1st	partial	product	(3×293)
	4	7	8		2nd	partial	product	(2×293)
±	2	3	9	_	3rd	partial	product	(1×293)
	2	9,	3	9	7	Final	product	

تتحدد إشارة نتيجة الضرب وفقاً لإشارة المضروب به، وإشارة الضارب ووفقا للقاعدتين التاليتين:

- إذا كانت إشارتا العددين المطلوب ضربهما متماثلتين، تكون إشارة نتيجة الضرب موجبة.
- وإذا كانت إشارتا العددين المطلوب ضربهما مختلفتين، تكون إشارة نتيجة الضرب سالبة.

تتلخص الخطوات الرئيسة لعملية الضرب باستعمال طريقة الجداءات الجزئية بما يلي:

الخطوة 1. تحديد ما إذا كانت إشاراتا المضروب به والضارب متماثلتين أم لا. وهذا ما يحدد علامة الجداء.

الخطوة 2. تغيير أي عدد سالب إلى آخر موجب. لأن معظم أجهزة الكمبيوتر تخزن الأعداد السالبة في صيغة المتمم الإثناني، والمطلوب أخذ المتمم الإثناني للعدد السالب لتحويله إلى عدد موجب.

الخطوة 3. بدءا من البت الأقل وزناً للعدد الضارب، تتولد الجداءات الجزئية. عندما يكون البت (1)، يكون الجداء الجزئي هو نفسه العدد المضروب به. وعندما يكون البت (0)، يكون الجداء الجزئي هو الصفر. يُزاح كل جداء جزئي على التتالي خانة واحدة إلى اليسار.

الخطوة 4. يُجمع كل جداء جزئي على التوالي مع المجموع السابق للجداءات الجزئية للحصول على الجداء النهائي.

الخطوة 5. إذا كان بت الإشاراة للجداء المحدد في الخطوة 1 سالباً، نأخذ المتمم الإثناني للجداء. وإذا كان بت الإشارة موجباً، نترك نتيجة الجداء كما هي. ونرفق معه بت الإشارة المناسب لهذا الجداء.

المثال 13.2

يُطلب ضرب العددين الجبريين (1 1 0 0 1 0 1 0) كمضروب به و(1 0 1 0 0 0 1 1) كمضروب باستعمال طريقة الجداءات الجزئية.

الحل

الخطوة 1: بت إشارة المضروب به هي (0) و بت إشارة المضروب هي (1). بالتالي ستكون إشارة بت الجداء (1).

الخطوة 2: نأخذ المتمم الإثناني للعدد الضارب لنضعه بالقيمة المطلقة. 11000101 ---- > 00111011

الخطوتان 3 و4: تكون إجرائية الضرب على النحو المبين أدناه. لنلاحظ أن العددين المستعملين في هذه الخطوات ممثلين بالقيمة المطلقة (موجبين).

الخطوة 5: بما أن إشارة ناتج الضرب المحددة في الخطوة 1 هي (1) ، نأخذ المتمم الإثناني لنتيجة الضرب ونضيف لها بت الإشارة (1).

8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1	
							1	0	1	0	0	1	1	*Multiplicand*
						×	0	1	1	1	0	1	1	*Multiplier*
										1	1			
							1	0	1	0	0	1	1	1*st partial product*
					±	1	0	1	0	0	1	1	_	2*nd partial product*
						1	1	1	1	1	0	0	1	*sum*
				±	0	0	0	0	0	0	0	_	_	3*rd partial product*
					1	1	1	1	1					
					0	1	1	1	1	1	0	0	1	*sum*
			±	1	0	1	0	0	1	1	_	_	_	4*th partial product*
			1	1			1	1						
				1	1	1	0	0	1	0	0	0	1	*sum*
		±	1	0	1	0	0	1	1	_	_	_	_	5*th partial product*
					1	1								
		1	0	0	0	1	1	0	0	0	0	0	1	*sum*
	±	1	0	1	0	0	1	1	_	_	_	_	_	6*th partial product*
	1	0	0	1	1	0	0	1	0	0	0	0	1	*sum*
±	0	0	0	0	0	0	0	_	_	_	_	_	_	7*th partial product*
	1	0	0	1	1	0	0	1	0	0	0	0	1	*Final product*
1	0	1	1	0	0	1	1	0	1	1	1	1	1	*2's complement + sign*

عملية القسمة (Division)

تسمى الأعداد في عملية القسمة المقسوم (Dividend)، والقاسم (Divisor) وناتج القسمة (Quotient)، وباقي القسمة (Remainder). وهذا موضح في عملية القسمة التالية.

$$\frac{dividend}{divisor} = quotient, and\ remainder$$

تنفذ عملية القسمة في أجهزة الكمبيوتر باستعمال الطرح. وبما أن عملية الطرح تجرى باستعمال دارة الجامع، فإن عملية القسمة تجرى أيضاً باستعمال دارة الجامع.

ويطلق على ناتج القسمة الحاصل (Quotient). والحاصل هو عدد مرات طرح القاسم. كما يتضح من تقسيم العدد (21) على العدد (7).

	2	1	*Dividend*
−	_	7	*1st subtraction of divisor*
	1	4	*1st partial remainder*
−	_	7	*2nd subtraction of divisor*
		7	*2nd partial remainder*
−	_	7	*3rd subtraction of divisor*
		0	*Zero remainder*

وفي هذا المثال البسيط، كان قد طرح القاسم من المقسوم ثلاث مرات قبل أن يصبح الباقي صفراً. ولذلك، فإن نتيجة القسمة هي (3)، وباقي القسمة هو (0).

تعتمد إشارة حاصل القسمة على إشارتي العدد المقسوم والعدد الفاسم وفقا للقاعدتين التاليتين:

- إذا كان للعددين المطلوب قسمتهما نفس الإشارة، تكون إشارة حاصل القسمة موجبة.
- إذا كانت إشارتا العددين المطلوب ضربهما مختلفتين، تكون إشارة حاصل القسمة سالبة.

ينبغي أن يكون العددان المطلوب إجراء عملية القسمة عليهما بالقيمة المطلقة.

تتلخص الخطوات الرئيسة في عملية القسمة على النحو التالي:

الخطوة 1. تحديد ما إذا كانت إشارتا المقسوم والقاسم متماثلتين أو مختلفتين. وهذا يحدد إشارة حاصل القسمة. وتهيئة حاصل القسمة على الصفر بداية.

الخطوة 2. طرح المقسوم عليه (القاسم) من المقسوم باستعمال الجمع بالمتمم الإثناني للحصول على أول باقي جزئي وإضافة (1) إلى حاصل القسمة. إذا كان هذا الباقي الجزئي موجباً ننتقل إلى الخطوة 3. وإذا كان صفرا تكتمل عملية القسمة، أما إذا كان سالباً نلغي عملية الطرح الأخيرة ونأخذ النتيجة السابقة.

الخطوة 3. طرح القاسم من المقسوم وإضافة (1) إلى حاصل القسمة. إذا كانت النتيجة موجبة، نكرر ذلك على الباقي الجزئي. وإذا كانت النتيجة صفرا أو سالبة، تكتمل عملية القسمة.

نستمر في طرح المقسوم عليه من المقسوم والباقي الجزئي حتى نحصل على باقي يساوي إلى الصفر أو باقي سالب. ثم نعد عدد مرات عمليات الطرح فيكون هو حاصل القسمة. يبين المثال التالي هذه الخطوات باستعمال عددين ممثلين على 8 بت.

المثال 13.2

يُطلب إجراء عملية قسمة العدد (0 1 1 0 0 1 0 0) على العدد (1 0 0 0 1 1 0 0).

الحل

الخطوة 1: العددان موجبان. بالتالي سيكون حاصل القسمة موجباً. والقيمة الابتدائية لحاصل القسمة (0 0 0 0 0 0 0 0).

الخطوة 2: نطرح القاسم من المقسوم باستعمال الجمع بالمتمم الإثناني (ونذكر بإهمال المنقول النهائي)

	128	64	32	16	8	4	2	1	
	1	1			1				
	0	1	1	0	0	1	0	0	*Dividend*
±	1	1	1	0	0	1	1	1	*2's complement of divisor*
✗	0	1	0	0	1	0	1	1	*Positive 1st partial remainder*

نضيف (1) إلى حاصل القسمة:

0 0 0 0 0 0 0 0+0 0 0 0 0 0 0 1=0 0 0 0 0 0 0 1

الخطوة 3: نطرح القاسم من الباقي الجزئي الأول باستعمال الجمع بالمتمم الإثناني.

	128	64	32	16	8	4	2	1	
	1			1	1	1	1		
	0	1	0	0	1	0	1	1	*1st partial remainder*
±	1	1	1	0	0	1	1	1	*2's complement of divisor*
✗	0	0	1	1	0	0	1	0	*Positive 2nd partial remainder*

نضيف (1) إلى حاصل القسمة:

0 0 0 0 0 0 0 1+0 0 0 0 0 0 0 1=0 0 0 0 0 0 1 0

الخطوة 4: نطرح القاسم من الباقي الجزئي الثاني باستعمال الجمع بالمتمم الإثناني.

	128	64	32	16	8	4	2	1	
	1	1			1	1			
	0	0	1	1	0	0	1	0	*2nd partial remainder*
±	1	1	1	0	0	1	1	1	*2's complement of divisor*
✗	0	0	0	1	1	0	0	1	*Positive 3rd partial remainder*

نضيف (1) إلى حاصل القسمة:

0 0 0 0 0 0 1 0+0 0 0 0 0 0 0 1=0 0 0 0 0 0 1 1

الخطوة 5: نطرح القاسم من الباقي الجزئي الثالث باستعمال الجمع بالمتمم الإثناني.

	128	64	32	16	8	4	2	1	
	1	1	1	1	1	1	1		
	0	0	0	1	1	0	0	1	*3rd partial remainder*
+	1	1	1	0	0	1	1	1	*2's complement of divisor*
	0	0	0	0	0	0	0	0	*Zero remainder*

نضيف (1) إلى حاصل القسمة:

0 0 0 0 0 0 1 1+0 0 0 0 0 0 0 1=0 0 0 0 0 1 0 0

وبذلك تكون قد انتهت الإجرائية.

7. نظام العد العشري المرمز إثنانياً Binary Coded Decimal (BCD)

النظام العشري المرمز إثنانياً (BCD) هو طريقة لتمثيل كل خانة عشرية بالترميز الإثناني. هناك عشر مجموعات من الرموز في نظام الأعداد العشرية المرمزة إثنانياً (BCD)، لذلك من السهل جداً الانتقال بين النظام العشري والنظام العشري المرمز إثنانياً. لأننا نرغب أن نقرأ ونكتب في النظام العشري، ويوفر النظام العشري المرمز إثنانياً وجيهة ممتازة للأنظمة الإثنانية. ومن أمثلة هذه الوجيهات هي لوحات المفاتيح كوسائل إدخال والشاشات كوسائل إخراج وإظهار.

الترميز (8421) هو نوع من التمثيل العشري المرمز إثنانياً (BCD). يعني هذا التمثيل أن كل رقم عشري، من (0) إلى (9)، يمثل بأربعة خانات إثنانية.

تشير التسمية (8421) إلى الأوزان الإثنانية للبتات الأربعة (20، 21، 22، 23). سهولة التحويل بين الأعداد المرمزة وفق الترميز الإثناني (8421) والأعداد العشرية المألوفة هي الميزة الرئيسة لهذا الترميز. كل ما علينا فعله هو أن تتذكر عشرة مجموعات إثنانية تمثل الأرقام العشرية العشرة وفق ما هو مبين أدناه.

Decimal Digit	0	1	2	3	4	5	6	7	8	9
BCD	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001

باستعمال أربع خانات إثنانية، يمكن تمثيل ستة عشر رقماً (من 0000 إلى 1111) ولكن الترميز (8421) يستعمل فقط عشرة منها، تسمى الترميزات 1010، 1011، 1100، 1101، 1110، و1111، الترميزات الغير صالحة (codes Invalid).

لكتابة أي عدد عشري باستعمال الترميز (BCD)، يكتب كل رقم عشري بالصيغة الإثنانية ممثلة على (4) بت.

المثال 13.2

حول كلاً من الأعداد العشرية التالية إلى (BCD).

(*a*) 35 (*b*) 98 (*c*) 170 (*d*) 2469

الحل

(*a*) 3 5 → 0011 0101

(*b*) 9 8 → 1001 1000

(*c*) 1 7 0 → 0001 0111 0000

(*d*) 2 4 9 6 → 0010 0100 1001 0110

من السهل أيضاً تحديد عدد عشري لعدد ممثل بصيغة (BCD). نبدأ من أقصى اليمين ونقسم البتات إلى مجموعات تتكون كلاً منها من أربعة بتات. ثم نكتب الرقم العشري الذي تمثله كل مجموعة.

المثال 14.2

حول كلاً من الأعداد المكتوبة بصيغة (BCD) إلى أعداد عشرية.

(*a*) 10001_0110 (*b*) 0011_0101_0001 (*c*) 1001_0100_0111_0000

الحل

(*a*) 1000 0110 → 8 6

(*b*) 0011 0101 0001 → 3 5 1

(*c*) 1001 0100 0111 0000 → 9 4 7 0

جمع الأعداد العشرية المرمزة إثنانياً (BCD Addition)

ترميز الأعداد بصيغة (BCD) هو ترميز رقمي يمكن استعماله في العمليات الحسابية. عملية الجمع هي العملية الحسابية الأكثر أهمية لأن العمليات الحسابية الثلاث الأخرى (الطرح والضرب والقسمة) يمكن تحقيقها باستعمال عملية الجمع. نبين فيما يلي كيفية جمع عددين بصيغة (BCD):

الخطوة 1. جمع العددين الممثلين بصيغة (BCD)، وذلك باستعمال قواعد الجمع في النظام الإثناني.

الخطوة 2. إذا كان ناتج جمع مجموعتين (كل منهما 4 بت) يساوي أو أقل من (9)، تكون النتيجة رمز (BCD) صحيح (Valid code).

الخطوة 3. إذا كان ناتج جمع مجموعتين (كل منهما 4 بت) أكبر من (9) أو يوجد منقول إلى المجموعة التالية، تكون النتيجة رمز (BCD) غير صحيح ويجري إضافة (0110) إلى النتيجة لإرجاعها رمزاً صحيحاً.

المثال 15.2

يُطلب إجراء عمليات الجمع التالية بصيغة (BCD).

$(a)\ 0011+0100 \qquad (b)\ 0010_0011+0001_0101 \qquad (c)\ 1000_0110+0001_0011$

$(d)\ 0100_0101_0000+0100_0001_0111$

الحل

$$(a)\quad \begin{array}{r} 8_4_2_1 \\ 0011 \\ \pm\ \underline{0100} \\ 0111 \end{array} \qquad \begin{array}{r} 3 \\ \pm\ \underline{4} \\ 7 \end{array} \qquad (b)\quad \begin{array}{r} 8_4_2_1 \\ 0010 \\ \pm\ \underline{0001} \\ 0011 \end{array} \qquad \begin{array}{r} 8_4_2_1 \\ 111_ \\ 0011 \\ \pm\ \underline{0101} \\ 1000 \end{array} \qquad \begin{array}{r} 2\ 3 \\ \pm\ \underline{1\ 5} \\ 3\ 8 \end{array}$$

$$(c)\quad \begin{array}{r} 8_4_2_1 \\ ____ \\ 1000 \\ \pm\ \underline{0001} \\ 1001 \end{array} \qquad \begin{array}{r} 8_4_2_1 \\ 11__ \\ 0110 \\ \pm\ \underline{0011} \\ 1001 \end{array} \qquad \begin{array}{r} 86 \\ \pm\underline{13} \\ 99 \end{array} \qquad (c)\quad \begin{array}{r} 8_4_2_1 \\ 1___ \\ 0100 \\ \pm\ \underline{0100} \\ 1000 \end{array} \qquad \begin{array}{r} 8_4_2_1 \\ __1_ \\ 0101 \\ \pm\ \underline{0001} \\ 0110 \end{array} \qquad \begin{array}{r} 8_4_2_1 \\ ____ \\ 0000 \\ \pm\ \underline{0111} \\ 0111 \end{array} \qquad \begin{array}{r} 450 \\ \pm\ \underline{417} \\ 867 \end{array}$$

لنلاحظ أن نتيجة جمع أية مجموعة لم يتجاوز العدد (1001) والنتيجة هي رموز (BCD) صحيحة.

المثال 16.2

يُطلب إجراء عمليات الجمع التالية بصيغة (BCD).

$(a)\ 1001+0100 \qquad (b)\ 1001+1001 \qquad (c)\ 0001_0110+0001_0101$

$(d)\ 0110_0111+0101_0011$

الحل

$$(a)\quad \begin{array}{r} 8_4_2_1 \\ ____ \\ 1001 \\ \pm\ \underline{0100} \\ 1___ \\ 1\ \ 1101 \\ \pm\ \underline{0110} \\ 0001\ \ 0011 \\ \downarrow\ \ \ \downarrow \\ 1\ \ \ 3 \end{array} \qquad \begin{array}{r} 9 \\ \pm\ \underline{4} \\ 13 \end{array} \qquad \begin{array}{l} \\ \\ \\ \\ \\ Invalid\ BCD\ number\ (>9) \\ Add\ 6 \\ Valid\ BCD\ number \end{array}$$

(*b*)

	8_4_2_1			
	__1_			
1	1001			9
±	1001		±	9
	11__			18
1	0010	*Invalid beccause of carry*		
±	0110	*Add* 6		
0001	1000	*Valid BCD number*		
↓	↓			
1	8			

(*c*)

	8_4_2_1	8_4_2_1				
	____	1___				
	0001	0110				16
±	0001	0101			±	15
	___1	11__				31
	0010	1011	*Right group is invalid* (>9)	*Left group is valid*		
±	_	0110	*Add* 6 *to invalid code*	*Add carry* (0001)		
	0011	0001	*Valid BCD number*	*to next group*		
	↓	↓				
	3	1				

(*d*)

	8_4_2_1	8_4_2_1			
	1___	111_			
	0110	0111			67
±	0101	0011		±	53
1	1111	11__			120
	1011	1010	*Both groups are invalid* (>9)		
±	0110	0110	*Add* 6 *to Both groups*		
0001	0010	0000	*Valid BCD number*		
↓	↓	↓			
1	2	0			

8. الترميز الرقمي Digital Codes

يُستعمل الترميز كثيراً في الأنظمة الرقمية. فالترميز (BCD) الذي درسناه لتونا هو ترميز رقمي صرف، ويوجد أنواع أخرى للترميز مثل الترميز الحرف–رقمي (Alphanumeric)، الذي يُستعمل لتمثيل الأرقام والحروف والرموز والتعليمات. سندرس هنا نوعين من الترميز يُسمى الأول ترميز غري (Gray code)، ويُسمى الآخر ترميز أسكي (ASCII code).

ترميز غري (Gray code)

لا يعتمد ترميز غري على أوزان الخانات فهو ليس ترميزاً حسابياً، وبالتالي لا توجد أوزان محددة مخصصة لموقع البت. الميزة الرئيسة الهامة لترميز غري هو تغير بت واحد عند الانتقال من ترميز إلى آخر في تتابع ما. هذه الخاصية مهمة في العديد من التطبيقات، مثل مرمز الوضع، حيث تزداد إمكانية الخطأ مع عدد تغيرات البتات بين الأرقام المجاورة.
يبين الجدول التالي ترميز غري على (4) بت للأعداد العشرية من (0) إلى (15)، ويظهر يبين الجدول أيضاً الأعداد الإثنانية المقابلة. يمكن أن يكون ترميز غري على أي عدد من البتات كما هو الحال في تمثيل الأعداد في النظام الإثناني. لنلاحظ في هذا التتابع أن بتاً واحداً يتغير في ترميز غري فمثلاً عند الانتقال من العدد (3) إلى العدد (4) يتغير ترميز غري من (0010) إلى (0110)، وفي حالة الترميز الإثناني يتغير من (0011) إلى (0100)، أي تتغير حالة ثلاثة بتات. البت الوحيد الذي يتغير في ترميز غري هو البت الثالث من اليمين، بينما تبقى بقية البتات على حالها.

Decimal	Binary	Gray Code
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 1
3	0 0 1 1	0 0 1 0
4	0 1 0 0	0 1 1 0
5	0 1 0 1	0 1 1 1
6	0 1 1 0	0 1 0 1
7	0 1 1 1	0 1 0 0
8	1 0 0 0	1 1 0 0
9	1 0 0 1	1 1 0 1
10	1 0 1 0	1 1 1 1
11	1 0 1 1	1 1 1 0
12	1 1 0 0	1 0 1 0
13	1 1 0 1	1 0 1 1
14	1 1 1 0	1 0 0 1
15	1 1 1 1	1 0 0 0

التحويل من الترميز الإثناني إلى الترميز غري (Binary to Gray Code Conversion)

تبين الخطوات التالية كيفية الانتقال من الترميز الإثناني إلى ترميز غري:

1. البت الموجود في أقصى اليسار لترميز غري هو نفسه البت الأكثر وزناً في الترميز الإثناني.
2. نبدأ من اليسار إلى اليمين ونجمع البتين من أقصى اليسار في الترميز الإثناني بدون باقي فنحصل على البت الثاني من أقصى اليسار في ترميز غري، نزيح خانة إلى اليمين ونكرر ذلك حتى الحصول على بت غري في أقصى اليمين.

يبين المثال التالي التحوبل من الترميز الإثناني للعدد (10110) إلى ترميز غري.

1	+	0	+	1	+	1	+	0	*Binary*
↓		↓		↓		↓		↓	
1		1		1		0		1	*Gray*

فترميز غري للعدد الإثناني (10110) هو (11101).

التحويل من الترميز غري إلى الترميز الإثناني (Gray to Code Binary Conversion)

تبين الخطوات التالية كيفية الانتقال من الترميز غري إلى الترميز الإثناني:

1. البت الأكثر وزناً في الترميز الإثناني هو نفسه البت الموجود على أقصى اليسار في ترميز غري.
2. نبدأ من اليسار إلى اليمين ونجمع بت النتيجة في الترميز الإثناني مع البت التالي في ترميز غري بدون باقي فنحصل على البت التالي في أقصى اليسار للترميز الإثناني. ونكرر ذلك حتى نحصل على آخر بت في الترميز الإثناني.

يبين المثال التالي التحوبل من الترميز غري (11011) إلى الترميز الإثناني.

1		1		1		0		1	*Gray*
↓	+	↓	+	↓	+	↓	+	↓	
1		0		1		1		0	*Binary*

الترميز الإثناني للترميز غري (11011) هو (10110).

الترميز الحرف – رقمي (Alphanumeric Codes)

كي نتمكن من التواصل، لا نحتاج فقط إلى الأرقام (Numbers) لكننا نحتاج أيضاً إلى الحروف (Letters) وبعض الرموز (Symbols). الترميز الحرف–رقمي هو ترميز يمثل الحروف والأرقام. ويشمل الكثير من هذا النوع من الترميز بالإضافة إلى الحروف والأرقام بعض الرموز والتعليمات الضرورية لنقل المعلومات.

في الحد الأدنى يشمل الترميز الحرف–رقمي (10) أرقام و (26) حرفاً أبجدياً أي ما مجموعه (36) رمزاً. يتطلب ذلك (6) بتات لتمثيل تلك الرموز، لأن (5) بتات لا تكفي لمثل هذا التمثيل ($2^5 = 32$). يمكن تمثيل ($2^6 = 64$) رمزاً ممكناً في (6) بتات، أي يبقى ($64 - 36 = 28$) رمزاً ممكناً غير مستعمل. وكما أسلفنا تحتاج بعض التطبيقات إلى

رموز أخرى غير الأرقام والحروف لإجراء تواصل مكتمل. نحتاج مثلاً إلى إشارات الفراغات (Spaces)، والنقاط (Periods)، والنقطتين فوق بعض (Colons)، والفواصل المنقطة (Semicolons)، وإشارات الاستفهام (Question marks)، وإلى ما هنالك من إشارات التنقيط. كما نحتاج إلى بعض التعليمات للطلب من المستقبل ماذا يفعل بالمعلومات المستقبلة. يمكن أن نتعامل بالترميز على (6) بتات مع الأرقام العشرة ، والحروف الستة والعشرون، و (28) رمزاً آخر.

الترميز أسكي (ASCII Code)

الاختصار (ASCII) يعني الترميز المعياري الأمريكي لتبادل المعلومات (American Standard Code for Information Interchange)، وهوترميز معياري للأحرف والأرقام وإشارات التنقيط وبعض إشارات التحكم ممثل على (7) بتات، وقد اعتمد في العام (1963). يشمل هذا الترميز ترميزاً لِـ ($2^7=128$) حرفاً ورمزاً. يبين الجدول أدناه هذا الترميز. الترميزات (32) الأولى هي ترميزات لحروف التحكم بالطابعات عن بعد (Teletype) والمنسقة حالياً، لذلك تستعمل هذه الترميرات في وظائف أخرى حالياً.

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NUL	SOH	STX	ETX	EOT	ENQ	ACK	BEL	BS	HT	LF	VT	FF	CR	SO	SI
1	DLE	DC1	DC2	DC3	DC4	NAK	SYN	ETB	CAN	EM	SUB	ESC	FS	GS	RS	US
2		!	"	#	$	%	&	'	(	)	*	+	،	−	.	/
3	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
4	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
5	P	Q	R	S	T	U	V	W	X	Y	Z	[	\	]	^	_

6	`	a	b	c	d	e	f	g	h	j	i	k	l	m	n	O
7	p	q	r	s	t	u	v	w	x	y	z	{	|	}	~	

كيف يُستعمل هذا الجدول؟

الترميز أسكي للحرف الصغير (h) هو تقاطع العمود (8) ممثلاً على (4) بت من أقصى اليمين، والسطر (6) ممثلاً على (3) بت ويقع على يسار الجزأ الأول أي: (1000_110).

ويمثل الكود أسكي ($3D$) أي (1101_110) الرمز (=).

أدخلت شركة (IBM) كود أسكي الموسع (Extended ASCII) على (8) بت، مما سمح بترميز أسكي لِـ (256) حرفاً. وكان ذلك في العام (1981). وأدخل الترميز الموحد (Unicode) والممثل على (8) بايت أي ($4\times8=32\,bit$) في العام (1991)، مما سمح بتمثيل كل أبجديات العالم، ومكننا من تمثيل ($2^{32}=4,294,967,296$) حرفاً أو رمزاً.

9. كشف الخطأ نتيجة إرسال الرموز Error Detection Codes

طريقة التماثل (Parity Method)

طريقة التماثل هي طريقة لاكتشاف أخطاء الإرسال البسيطة التي تحدث على بت واحد فقط. بت التماثل (parity bit) هو بت إضافي يضاف على يسار مجموعة من البتات ليجبر عدد (1's) الكلي ليكون زوجياً فيكون بت التماثل زوجياً (even parity) أو يجبر عدد (1's) الكلي ليكون فردياً فيكون بت التماثل فردياً (odd parity).

يبين المثال التالي إضافة بت التماثل الفردي لكود أسكي (0001_110) و(0001_100) لكل من الحرفين (a) و(A) على التتالي. عدد الواحدات في كود أسكي للحرف (a) فردي لذلك يكون بت التماثل الفردي المضاف على يسار الكود (0) كي يبقى العدد الكلي للواحدات بما فيها بت التماثل فردياً، أي يصبح الكود بعد إضافة بت التماثل (0001_0110). وعدد الواحدات في كود أسكي للحرف (A) زوجي لذلك يكون بت التماثل الفردي المضاف على يسار الكود (1) كي يبقى العدد الكلي للواحدات بما فيها بت التماثل فردياً، أي يصبح الكود بعد إضافة بت التماثل (0001_1100).

طريقة اختبار باقي القسمة الدوري (Cyclic Redundancy Check)

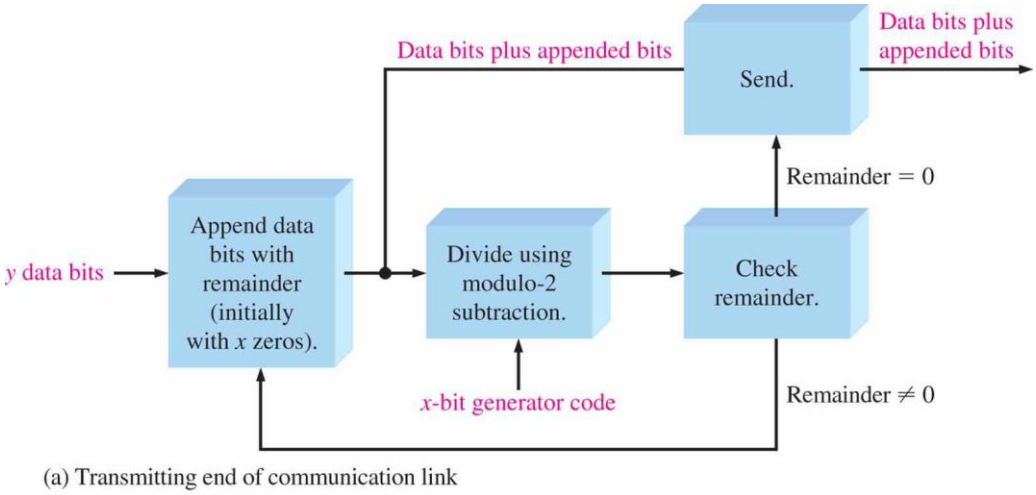
طريقة اختبار باقي القسمة الدوري هي طريقة لاكتشاف أخطاء الإرسال لأكثر من خانة ثنائية. يجري في قسم الإرسال إلحاق باقي القسمة في الحقل الإثناني إلى المعطيات، وفي قسم الاستقبال يولد باقي القسمة ويقارن بباقي القسمة المرسل، في حالة التطابق تكون المعطيات المرسلة صحيحة، وفي الحالة المعاكسة تكون المعطيات المرسلة غير صحيحة، فيطلب إعادة إرسالها.

جهة الإرسال (Transmitting end of communication link)

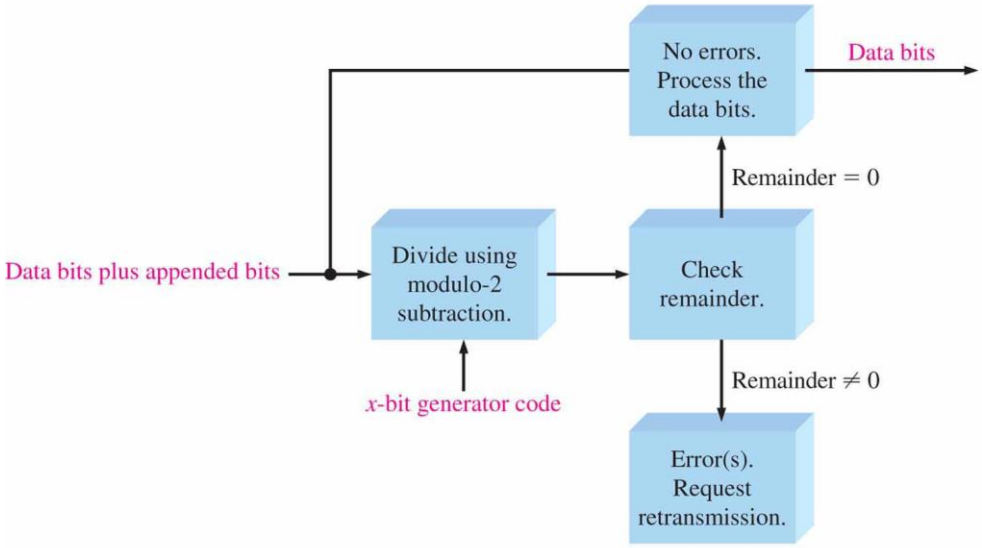
لنفترض أن المعطيات المراد إرسالها هي معطيات إثنانية ممثلة على ثمانية بتات ($y = 1101_0011$)، وأن مفتاح توليد الرموز ممثل على أربعة بتات ($G = 1010$)، يضاف إلى المعطيات وعلى أقصى اليمين القيمة الابتدائية لباقي القسمة ($Cheek\ sum = 0000$)، فتصبح المعطيات إضافة لباقي القسمة الابتدائي ($y' = 1101_0011_0000$)، الآن يجري قسمة المعطيات المضاف إليها باقي القسمة الابتدائي (y') على مفتاح توليد الترميز (G) باستخدام عملية الطرح في الحقل (2)، فنحصل على باقي القسمة ($Cheek\ sum = 0100$)، التي نضعها بدلاً من القيمة الابتدائية، فنحصل على المعطيات قيد الإرسال ($y' = 1101_0011_0100$).

جهة الاستقبال (Receiving end of communication link)

يجري استقبال المعطيات المرسلة المضاف إليها باقي القسمة (y')، وتقسيمها على مفتاح توليد الترميز (G) نفسه المستعمل في جهة الإرسال وباستعمال عملية الطرح في الحقل (2)، فنحصل على باقي القسمة ($Cheek\ sum$)، إذا كانت قيمته صفراً، تكون المعطيات المرسلة خالية من الأخطاء، يجري أخذها وإهمال حقل باقي القسمة. وفي الحالة المعاكسة يطلب من المرسل إعادة الإرسال، وتجاهل المعطيات المرسلة الخاطئة.



(a) Transmitting end of communication link



(b) Receiving end of communication link

- (Transmitting end of communication link): جهة إرسال المعطيات،
- (y data bits): بتات المعطيات (y)،
- ((Append datd bits with remainder (initially with x zeros): أضف أصفاراً إلى المعطيات في البداية وفي مكان باقي القسمة المفترض
- (Divide using modulus−2 subtraction): نفذ عملية القسمة في الحقل (2) باستعمال الطرح
- (x−bit Generator code): مفتاح توليد الترميز (x)
- (Check remainder): اختبر باقي القسمة
- (Remainder = 0): باقي القسمة يساوي (0)
- (Remainder ≠ 0):باقي القسمة لا يساوي (0)
- (Data bits plus appended bits): المعطيات بالإضافة إلى باقي القسمة
- (Send): أرسل

- (Receiving end of communication link): جهة استقبال المعطيات
- (Data bits plus appended bits): المعطيات بالإضافة إلى باقي القسمة
- (x–bit Generator code): مفتاح توليد الترميز (x)
- (Divide using modulus–2 subtraction): نفذ عملية القسمة في الحقل (2) باستعمال الطرح
- (Check remainder): اختبر باقي القسمة
- (Remainder $\neq 0$):باقي القسمة لا يساوي (0)
- (Error(s) request transmission): يوجد أخطاء يُطلب إعادة الإرسال
- (Data bits): بتات المعطيات

إجرائية اختبار باقي القسمة الدوري (Cyclic Redundancy Check)

1. اختيار مفتاح توليد الترميز $(G=1010)$، في قسمي الإرسال والاستقبال، ولتكن المعطيات المراد إرسالها $(D=1101_0011)$.
2. إضافة عدد من الأصفار مساوياً إلى عدد بتات مفتاح توليد الرموز إلى أقصى يمين المعطيات $(D'=1101_0011_0000)$.
3. تقسيم المعطيات المضاف إليها الأصفار على مفتاح توليد الرموز في الحقل (2) $\left(\frac{D'=1101_0011_0000}{G=1010}\right)$ باستعمال الطرح في الحقل (2) الذي هو جمع في النظام الإثناني مع عدم أخذ المنقول بعين الاعتبار، وذلك وفقاً لما يلي:

$$
\begin{array}{cccccccccccc}
1 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\
\underline{1} & \underline{0} & \underline{1} & \underline{0} & \downarrow & & & & & & & \\
 & 1 & 1 & 1 & 0 & & & & & & & \\
 & \underline{1} & \underline{0} & \underline{1} & \underline{0} & \downarrow & & & & & & \\
 & & 1 & 0 & 0 & 0 & & & & & & \\
 & & \underline{1} & \underline{0} & \underline{1} & \underline{0} & \downarrow & \downarrow & & & & \\
 & & & & 1 & 0 & 1 & 1 & & & & \\
 & & & & \underline{1} & \underline{0} & \underline{1} & \underline{0} & \downarrow & \downarrow & \downarrow & \\
 & & & & & & & 1 & 0 & 0 & 0 & \\
 & & & & & & & \underline{1} & \underline{0} & \underline{1} & \underline{0} & \downarrow \\
 & & & & & & & & \boxed{0} & 1 & 0 & 0
\end{array}
$$

4. إذا كان باقي القسمة صفراً ترسل المعطيات $(D'=1101_0011_0000)$ كما هي.

5. وإذا لم يكن باقي القسمة صفراً ترسل المعطيات بعد استبدال باقي القسمة الحالي بالقيمة الابتدائية لباقي القسمة $(D' = 1101_0011_0100)$ بحيث إذا قسم على مفتاح الرموز يعطي باقي قسمة مساو إلى الصفر $\left(\frac{D' = 1101_0011_0100}{G = 1010} \Rightarrow Cheek\ sum = 0000\right)$.

6. في قسم الاستقبال يقوم المستقبل بتقسيم المعطيات المستقبلة غلى نفس مفتاح توليد الرموز المستعمل في قسم الإرسال وفقاً لما يلي:

```
1 1 0 1 0 0 1 1 0 1 0 0
1 0 1 0 ↓
  1 1 1 0
  1 0 1 0 ↓
    1 0 0 0
    1 0 1 0 ↓ ↓
      1 0 1 1
      1 0 1 0 ↓ ↓ ↓
          1 0 1 0
          1 0 1 0 ↓
            0 0 0 0
```

لنفترض أن خطأ حدث أثناء الإرسال على البت الثاني للمعطيات من اليسار، فتكون المعطيات المستقبلة $(D' = 1\boxed{0}01_0011_0100)$، بتطبيق إجرائية (CRC) على هذه المعطيات في جهة الاستقبال $\left(\frac{D' = 1\boxed{0}01_0011_0100}{G = 1010} \Rightarrow Cheek\ sum = 0100\right)$. بما أن باقي القسمة أو ما يعرف بـ $(Cheek\ sum)$ ليس صفراً، فهذا يعني وجود خطأ في المعلومات المستقبلة، أي أنه طرأ تغييراً ما على المعلومات المرسلة. بتنفيذ إجرائية (CRC) في قسم الاستقبال نجد:

```
1 0 0 1 0 0 1 1 0 1 0 0
1 0 1 0 ↓ ↓
    1 1 0 0
    1 0 1 0 ↓
      1 1 0 1
      1 0 1 0 ↓
        1 1 1 1
        1 0 1 0 ↓
          1 0 1 0
          1 0 1 0 ↓ ↓ ↓
              0 1 0 0
```

7. إذا كان باقي القسمة صفراً ، يعني هذا عدم وجود خطأ في المعطيات المستقبلة (من المحتمل في حالات نادرة أن يلغي خطآن بعضهما البعض). وإذا كان باقي القسمة مختلفاً عن الصفر فهذا يعني أن خطأً ما حدث في المعطيات المستقبلة، مما يقتضي طلب إعادة الإرسال.

10. خلاصة Summary

1. العدد الإثناني هو عدد بخانات ذات أوزان. وزن خانات الجزأ الصحيح من العدد هي من قوى العدد (2) الموجبة، وتبدأ من الخانة الأقل وزناً، ووزن خانات الجزأ الكسري من العدد هي من قوى العدد (2) السالبة وتبدأ من الخانة الأكثر وزناً.
2. يمكن تحويل العدد الإثناني إلى عدد عشري بجمع وزن خاناته التي قيمتها (1) منطق.
3. يمكن تحويل العدد العشري الصحيح إلى عدد إثناني باستعمال طريقة جمع أوزان الخانات أو بطريقة التقسيم المتكرر على العدد (2).
4. يمكن تحويل العدد العشري الكسري إلى عدد إثناني باستعمال طريقة جمع أوزان الخانات أو بطريقة الضرب المتكرر بالعدد (2).
5. قواعد الجمع الأساسية في النظام الإثناني هي:

$$0 + 0 = 0$$
$$0 + 1 = 1$$
$$1 + 0 = 1$$
$$1 + 1 = 01$$

6. قواعد الطرح الأساسية في النظام الإثناني هي:

$$0 - 0 = 0$$
$$1 - 1 = 0$$
$$1 - 0 = 1$$
$$10 - 1 = 1$$

7. يستنتج المتمم الأحادي لعدد إثناني باستبدال الواحدات بالأصفار والأصفار بالواحدات.
8. يستنتج المتمم االإثناني لعدد إثناني بجمع واحد إلى المتمم الأحادي.
9. يمكن إجراء عملية الطرح باستعمال عملية الجمع بعد أخذ المتمم الإثناني للعدد المطروح منه.
10. يمثل العدد الموجب بوضع بت الإشارة على القيمة صفر.
11. يمثل العدد السالب بوضع بت الإشارة على القيمة واحد.
12. في حالة العمليات الحسابية، تمثل الأعداد الإثنانية السالبة بصيغة المتمم الأحادي أو المتمم الإثناني.
13. في حالة عملية الجمع، يمكن أن يحصل طفح على النتيجة (Overflow)، عندما يكون العددان موجبان أو سالبان، ولا يدل بت الإشارة على ذلك.

14. يمكن تحويل العدد العشري إلى عدد عدد عشري مرمز إثنانياً (BCD) باستبدال القيمة الإثنانية لكل خانة عشرية ممثلة على أربع بتات.

15. الترميز أسكي هو ترميز حرف – رقمي ممثل على سبعة بتات، ويستعمل على نطاق واسع في أنظمة الكمبيوتر لإدخال وإخراج المعلومات.

16. يستعمل بت التماثل (Pariy bit) لكشف خطأ بت واحد لمعطيات مرسلة، ويستعمل مبدأ كشف باقي القسمة المتكرر (Cyclic Redundancy Check) لكشف خطأ أكثر من بت لمعطيات مرسلة.

أسئلة ومسائل الفصل الثاني Questions and Problems

أسئلة الفصل الثاني

اختر الإجابة الصحيحة

1. في حالة العدد الإثناني (1000) وزن العمود الذي قيمته (1) هو:

a) (4)

b) (6)

c) (8)

d) (10).

2. المتمم الإثناني للعدد (1000) هو:

a) (0111)

b) (1000)

c) (1001)

d) (1010).

3. القيمة العشرية للعدد الإثناني الكسري (0.11) هي:

a) $(\frac{1}{4})$

b) $(\frac{1}{2})$

c) $(\frac{3}{4})$

d) (غير ذلك).

4. لنفترض عدداً إثنانياً ممثلاً بالفاصلة العائمة، إذا كان بت الإشارة له (1)، يكون العدد :

a) (سالباً)

b) (موجباً)

c) (القوة سالبة)

d) (القوة موجبة).

5. عند جمع عددين جبريين موجبين، يمكن أن يتجاوز عدد بتات النتيجة عدد بتات أي من العددين، فيحدث ما يسمى طفح النتيجة، يشير إلى هذا الطفح:

a) (التغير في بت الإشارة)

b) (المنقول من بت الإشارة)

c) (النتيجة الصفرية)

d) (الدخان).

6. العدد (1010) في صيغة (*BCD*) هو:

a) ثمانية في النظام العشري

b) عشرة في النظام العشري

c) إثنا عشرة في النظام العشري

d) غير نظامي (غير صحيح).

7. مثال على الترميز الذي لا يعتمد على أوزان الخانات هو:

a) الإثناني

b) العشري

c) BCD

d) ترميز غري.

8. مثال على الترميز الحرف – رقمي:

a) ترميز أسكي

b) ترميز غري

c) ترميز BCD

d) CRC.

9. مثال على طريقة كشف الخطأ لمعطيات مرسلة:

a) اختبار التماثل

b) CRC

c) ما ورد في (a) و (b)

d) غير ما ذكر.

10. يمثل العدد العشري (473) بصيغة (BCD) بالشكل:

(a) (1110_1101_0)

(b) (1100_0111_0011)

(c) (0100_0111_0011)

(d) (0100_1111_0011).

Ans .1 (c) ،2 (b) ،3 (c) ،4 (a) ،5 (a) ،6 (d) ،7 (d) ،8 (a) ،9 (c) ،10 (c)

اسئلة الفصل الثاني	الاجابة الصحيحة
1	c
2	b
3	c
4	a
5	a
6	d
7	d
8	a
9	c
10	c

مسائل الفصل الثاني

- نظام العد العشري Decimal Numbers
- نظام العد الإثناني Binary Numbers
- التحويل من النظام العشري إلى الإثناني وبالعكس Decimal (Binary) to Binary (Decimal) Conversion

1. حدد قيمة كل خانة من خانات الأعداد العشرية التالية:

(a) 471 (b) 9356 (c) 125،000

Ans. $(a)400+70+1,$ $(b)9,000+300+50+6,$
$(c)100,000+20,000+5,000,$

2. حول الأعداد الإثنانية التالية إلى أعداد عشرية.

(a) 1 10011.11 (b) 10 1010.01 (c) 10 00001.111 (d) 11 11000.101

(e) 1011100.10101 (f) 1110001.0001 (g) 1011010.1010 (h) 1111111.11111

Ans. $(a)51.75,$ $(b)42.25,$ $(c)65.875,$ $(d)120.625,$
$(e)92.65625,$ $(f)113.0625,$ $(g)90.625,$ $(h)127.96875,$

3. حول الأعداد العشرية الصحيحة التالية إلى أعداد إثنانية، باستعمال طريقة أوزان الخانات.

(a) 10 (b) 17 (c) 24 (d) 48 (e) 61 (f) 93 (g) 125 (h) 186

Ans. $(a)1010,$ $(b)10001,$ $(c)11000,$ $(d)110000,$
$(e)111101,$ $(f)1011101,$ $(g)1111101,$ $(h)10111010,$

4. حول الأعداد العشرية الكسرية التالية إلى أعداد إثنانية، باستعمال طريقة أوزان الخانات.

(c) 0.0981 (b) 0.246 (a) 0.32

Ans. $(a)0.0101001,$ $(b)0.001111,$ $(c)0.0001101,$

5. حول الأعداد العشرية الصحيحة التالية إلى أعداد إثنانية، باستعمال طريقة التقسيم المتتالي على 2.

(a) 15 (b) 21 (c) 28 (d) 34

(e) 40 (f) 59 (g) 65 (h) 73

Ans. $(a)1111,$ $(b)10101,$ $(c)11100,$ $(d)100010,$
$(e)101000,$ $(f)111011,$ $(g)1000001,$ $(h)1001001,$

6. حول الأعداد العشرية الكسرية التالية إلى أعداد إثنانية، باستعمال طريقة الضرب المتتالي بالعدد 2.

(a) 0.98 (b) 0.347 (c) 0.9028

Ans. $(a)0.111110,$ $(b)0.0101100,$ $(c)0.1110011,$

- لعمليات الحسابية في النظام الإثناني Binary Arithmetic

7. اجمع الأعداد الإثنانية التالية:

(a) 1 1 + 0 1 (b) 1 0 + 1 0 (c) 101 + 11

(d) 111+110 (e) 1001 + 101 (f) 1101 + 1011

Ans. $(a)100,$ $(b)100,$ $(c)1000,$ $(d)1101,$
$(e)1110,$ $(f)11000,$

8. اطرح الأعداد الإثنانية التالية بالطريقة المباشرة:

(a) 11 – I (b) 101 – 100 (c) 110 – 101

(d) 1110 –11 (e) 1100– 1001 (f) 11010 – 10111

Ans. $(a)10,$ $(b)001,$ $(c)001,$ $(d)1011,$
$(e)0011,$ $(f)00011,$

9. اجر عملية الضرب على الأعداد الإثنانية التالية:

(a) 11 X 11 (b) 100 X 10 (c) 111 X 101

(d) 1001 X 110 (e) 1101 X 1101 (f) 1110 X 1101

Ans. $(a)1001,$ $(b)1000,$ $(c)100011,$ $(d)110110,$
$(e)10101001,$ $(f)10110110,$

10. اجر عملية القسمة على الأعداد الإثنانية التالية:

(a) 100 ÷ 10 (b) 1001 ÷ 11 (c) 1100 ÷ 100

Ans. $(a)010,$ $(b)0011,$ $(c)0100,$

- المتمم الأحادي والإثناني للأعداد الإثنانية 1's and 2's Complements of Binary Numbers

11. حدد المتمم الأحادي لكل من الأعداد الإثنانية التالية:

(a) 101 (b) 110 (c) 1010

(d) 11010111 (e) 1110101 (f) 00001

Ans. $(a)010,$ $(b)001,$ $(c)0101,$ $(d)00101000,$
$(e)0001010,$ $(f)11110,$

12. حدد المتمم الإثناني لكل من الأعداد الإثنانية التالية:

(a) 10 (b) 111 (c) 1001 (d) 1101

(e) 11100 (f) 10011 (g) 10110000 (h) 00111101

Ans. $(a)10,$ $(b)001,$ $(c)0111,$ $(d)0011,$
$(e)00100,$ $(f)01101,$ $(g)01010000,$ $(h)11000011,$

13. حدد المتمم الأحادي ممثلاً على ($8\,bit$) لكل من الأعداد العشرية التالية:

(a) −34 (b) +57 (C) −99 (d) +115

Ans. $(a)11011101,\quad (b)00111001,\quad (c)10011100,$
$(d)01110011,$

14. حدد المتمم الإثناني ممثلاً على ($8\,bit$) لكل من الأعداد العشرية التالية:

(a) + 1 2 (b) − 6 8 (c) +101 (d) − 1 2 5

Ans. $(a)00001100,\quad (b)10111100,\quad (c)01100101,$
$(d)10000011,$

15. مثل الأعداد الإثنانية التالية يصيغة الفاصبة العائمة وحيدة الدقة:

(a) 0111110000101011 (b) 0110000011000

Ans. $(a)\,sign = 0,\ \ Exponent = 10001101,$
$Mantissa = 1111\,0000\,1010\,1100\,0000\,0000$
$(b)\,sign = 0,\ \ Exponent = 10001010,$
$Mantissa = 1100\ 00011000\ 0000\ 0000\ 000,$

16. حدد قيم الأعداد التالية الممثلة بصيغة الفاصبة العائمة وحيدة الدقة:

(a) 1100 0000 1010 0100 1110 0010 0000 0000

(b) 0110 0110 0100 0011 1110 1001 0000 0000

Ans. $(a)-101.001001110001 \;=\; -5.15258789$
$(b)1.10\ 0\ 001111101001\ 1.100001111101001 \times 2^{77}$

- العمليات الحسابية باستعمال المتمم الإثناني Arithmetic Operations with Signed umbers

17. أجر عملية الجمع باستعمال المتمم الإثناني على الأعداد التالية:

(a) 00010110 + 00110011

(b) 01110000 + 10101111

Ans. $(a)01001001$ $(b)100011111$

18. أجر عملية الطرح باستعمال المتمم الإثناني على الأعداد التالية:

(a) 00110011 – 00010000

(b) 01100101 – 11101000

Ans. $(a)00100011$ $(b)01111101$

19. أجر عملية ضرب العدد (01101010) بالعدد (11110001)، باستعمال المتمم الإثناني.

Ans. 100111001010

20. أجر عملية قسمة العدد (01000100) على العدد (00011001)، باستعمال المتمم الإثناني.

Ans. $Quotient = 00000010, \text{Re}mainder = 00010010,$

- نظام العد العشري المرمز إثنانياً Binary Coded Decimal (BCD)

21. حول الأعداد العشرية التالية إلى صيغة BCD.

(a) 10 (b) 13 (c) 18 (d) 21 (e) 25 (f) 36

(g) 44 (h) 57 (i) 69 (j) 98 (k) 125 (l) 156

Ans. $(a)\ 10 = 0001\,0000$ $(b)\ 13 = 0001\,0011$ $(c)\ 18 = 00011000$
$(d)\ 21 = 0010\,0001$ $(e)\ 25 = 0010\,0101$ $(f)\ 36 = 0011\,0110$
$(g)\ 44 = 0100\,0100$ $(h)\ 57 = 0101\,0111$ $(i)\ 69 = 0110\,1001$
$(j)\ 98 = 10011000$ $(k)\ 125 = 0001\,0010\,0101$
$(l)\ 156 = 0001\,0101\,0110$

22. حول الأعداد التالية من صيغة BCD إلى أعداد عشرية.

(a) 0001 (b) 0110 (c) 1001

(d) 00011000 (e) 00011001 (f) 00110010

(g) 01000101 (h) 10011000 (i) 100001110000

Ans. $(a)\ 1$ $(b)\ 6$ $(c)\ 9$ $(d)\ 18$ $(e)\ 19$ $(f)\ 32$ $(g)\ 45$
$(h)\ 98$ $(i)\ 870$

23. اجمع الأعداد التالية في صيغة BCD.

(a) 1000 + 0110 (b) 0111 + 0101

(c) 1001 + 1000 (d) 1001 + 0111

(e) 00100101 + 00100111 (f) 01010001 + 01011000

(g) 10011000 + 10010111 (h) 010101100001 + 011100001000

Ans.

$(a)\ 0001\,0100$ $(b)\ 0001\,0010$ $(c)\ 0001\,0111$ $(d)\ 0001\,0010$

$(e)\ 0101\,0010$ $(f)\ 0001\,0000\,1001$ $(g)\ 0001\,1001\,0101$

$(h)\ 0001\,0010\,0110\,1001$

- الترميز الرقمي Digital Codes

24. حول كلاً من الأعداد الإثنانية إلى ترميز غري.

(a) 11011 (b) 1001010 (c) 1111011101110

Ans. $(a)\ 10110$ $(b)\ 1101111$ $(c)\ 1000110011001$ **Gray**

25. حول كلاً من ترميزات غري إلى أعداد إثنانية.

(a) 1010 (b) 00010 (c) 11000010001

Ans. $(a)\ 1100$ $(b)\ 00011$ $(c)\ 10000011110$ **Binary**

26. حول كلاً من الأعداد العشرية التالية إلى ترميز أسكي، استناداً إلى الجدول التالي.

(a) 1 (b) 3 (c) 6 (d) 10 (e) 18 (f) 29

(g) 56 (h) 75 (i) 107

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NUL	SOH	STX	ETX	EOT	ENQ	ACK	BEL	BS	HT	LF	VT	FF	CR	SO	SI
1	DLE	DC1	DC2	DC3	DC4	NAK	SYN	ETB	CAN	EM	SUB	ESC	FS	GS	RS	US

2		!	"	#	$	%	&	'	(	)	*	+	،	−	.	/
3	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
4	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
5	P	Q	R	S	T	U	V	W	X	Y	Z	[	\	]	^	_
6	`	a	b	c	d	e	f	g	h	j	i	k	l	m	n	o
7	p	q	r	s	t	u	v	w	x	y	z	{	|	}	~	

Ans.

$(a)\ 011_0001 \quad (b)\ 011_0011 \quad (c)\ 011_0110$

$(d)\ 011_0001\ 011_0000 \quad (e)\ 011_0001\ 011_1000$

$(f)\ 011_0010\ 011_1001 \quad (g)\ 011_0101\ 011_0110$

$(h)\ 011_0111\ 011_0101 \quad (i)\ 011_0001\ 011_0000\ 011_0111$

27. حول كل ترميز أسكي إلى عدد عشري، استناداً إلى الجدول السابق.

(a) 0011000 (b) 1001010 (c) 0111101 (d) 1000011

(e) 0111110 (f) 1000010

Ans. $(a)\ CAN\ (Cancel) \quad (b)\ J \quad (c)\ = \quad (d)\ C \quad (e)\ > \quad (f)\ B$

- كشف الخطأ نتيجة إرسال الرموز Error Detection Codes

28. حدد ترميزات التماثل الزوجي الخاطئة.

(a) 100110010 (b) 011101010 (c) 10111111010001010

Ans. $(b)\ 011101010$

29. حدد ترميزات التماثل الفردي الخاطئة.

(a) 11110110 (b) 00110001 (c) 01010101010101010

Ans. $(a)\ 11110110, \quad (c)\ 01010101010101010$

30. أضف بت التماثل الزوجي لكل واحدة من كلمات المعطيات التالية:

(a) 10100100 (b) 00001001 (c) 11111110

Ans. $(a)\mathbf{1}$ $(b)\mathbf{0}$ $(c)\mathbf{1}$

31. يُطلب تطبيق إجرائية (CRC) على المعطية (1011_0010) باستعمال مفتاح مولد الترميز (1010) للحصول على الترميز (CRC) المرسل.

Ans. $\mathbf{Re}\,mainder = 0110$

32. يُفترض أن خطأ في البت الأعلى وزناً في الترميز المبين في المسألة السابقة قد حصل خلال عملية الإرسال، يُطلب تطبيق إجرائية (CRC) لاكتشاف هذا الخطأ.

Ans. $\mathbf{Re}\,mainder = 10$

نموذج مذاكرة للفصل الثاني

الجامعة ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل الثاني: أنظمة العد، العمليات الحسابية، الرموز الرقمية

أستاذ المادة: ....

المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

- المادة مغلقة
- يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. العدد الإثناني (1101) يساوي إلى العدد العشري:

a) (13)

b) (49)

c) (11)

d) (3).

2. العدد الإثناني (11011101) يساوي إلى العدد العشري:

a) (121)

b) (221)

c) (441)

d) (256).

3. العدد العشري (17) يساوي إلى العدد الإثناني:

a) (10010)

b) (11000)

c) (10001)

d) (01001).

4. العدد العشري (175) يساوي إلى العدد الإثناني:

a) (11001111)

b) (10101110)

c) (10101111)

d) (11101111).

5. تؤدي عملية جمع العددين (01111+11010) إلى النتيجة:

a) (101001)

b) (101010)

c) (110101)

d) (101000).

6. تؤدي عملية طرح العددين (010−110) إلى النتيجة:

a) (001)

b) (010)

c) (101)

d) (100).

7. المتمم الأحادي للعدد الإثناني (10111001) هو :

a) (01000111)

b) (01000110)

c) (11000110)

d) (10101010).

8. المتمم الإثناني للعدد الإثناني (11001000) هو :

a) (00110111)

b) (00110001)

c) (01001000)

d) (00111000).

9. العدد العشري (374) بصيغة BCD هو:

(a) (0100_0111_0011)

(b) (0111_0100_0011)

(c) (0111_0011_0100)

(d) (0011_0111_0100).

10. الترميز الذي يحتوي خطأ التماثل الزوجي هو:

(a) (1010011)

(b) (1101000)

(c) (1001000)

(d) (1110111).

الإجابة الصحيحة لنموذج مذاكرة الفصل الثاني

1 (a)، 2 (b)، 3 (c)، 4 (c)، 5 (a)، 6 (d)، 7 (b)، 8 (d)، 9 (d)، 10 (b)

التغذية الراجعة

1 مراجعة التحويل من النظام العشري إلى الإثناني وبالعكس Decimal (Binary) to Binary (Decimal) Conversion

2 مراجعة التحويل من النظام العشري إلى الإثناني وبالعكس Decimal (Binary) to Binary (Decimal) Conversion

3 مراجعة التحويل من النظام العشري إلى الإثناني وبالعكس Decimal (Binary) to Binary (Decimal) Conversion

4 مراجعة التحويل من النظام العشري إلى الإثناني وبالعكس Decimal (Binary) to Binary (Decimal) Conversion

5 مراجعة العمليات الحسابية في النظام الإثناني Binary Arithmetic

6 مراجعة العمليات الحسابية في النظام الإثناني Binary Arithmetic

7 مراجعة المتمم الأحادي والإثناني للأعداد الإثنانية 1's and 2's Complements of Binary Numbers

8 مراجعة المتمم الأحادي والإثناني للأعداد الإثنانية 1's and 2's Complements of Binary Numbers

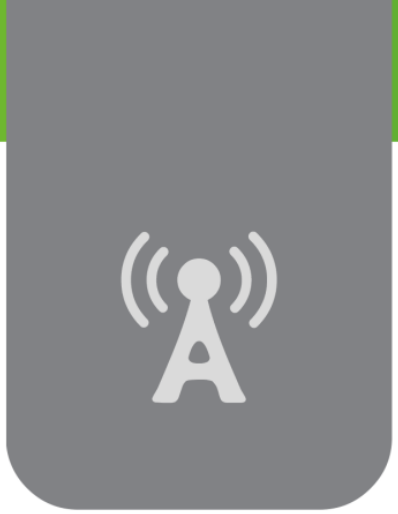
9 مراجعة نظام العد العشري المرمز إثنانياً Binary Coded Decimal (BCD)

10 مراجعة كشف الخطأ نتيجة إرسال الرموز Error Detection Codes

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل الثاني.

نموذج مذاكرات الفصل الثاني	الإجابة الصحيحة
1	a
2	b
3	c
4	c
5	a
6	d
7	b
8	d
9	d
10	b



الفصل الثالث

الجبر البولياني وتبسيط التوابع المنطقية

كلمات مفتاحية Keywords

متحول Variable، متمم متحول Complement، مجموع حدود Sum term، جداء حدود Product term، مجموع جداءات حدود Sum-of-products (SOP)، جداء مجاميع حدود Product-of-sums (POS)، جدول كارنو Karnaugh map، اختصار (أمثلة) Minimization، المتحول المنطقي "لا يهم" "Don't care".

الملخص Abstract

في عام 1854، نشر جورج بوول (George Boole) عملاً بعنوان البحث في قوانين المنطق (التفكير)، التي تقوم على أسس النظريات الرياضية للمنطق والاحتمالات. وكان في هذا العمل المنشور قد صيغ "الجبر المنطقي"، المعروف اليوم باسم الجبر البولياني. فالجبر البولياني هو الوسيلة المناسبة والمباشرة للتعبير عن عمل الدارات الرقمية وتحليلها. وكان كلود شانون (Claude Shannon) أول من طبق عمل بوول في تحليل وتصميم الدارات الرقمية. في عام 1938، كتب شانون أطروحة الدكتوراة في معهد ماساتشوستس للتكنولوجيا (MIT) بعنوان التحليل الرمزي لدارات الحواكم والقواطع (A Symbolic Analysis of Relay and Switching Circuits).

سندرس في هذا الفصل بإيجاز قوانين وقواعد ونظريات الجبر البولياني وتطبيقها على الدارات الرقمية. ونعرف الدارات المعطاة بمعادلات منطقية (بولیانية). كما سنعرض لكيفية تبسيط الدارات الرقمية باستعمال أداة مهمة من أدوات تبسيط المعادلات المنطقية ألا وهي جداول كارنو.

الأهداف التعليمية للفصل الثالث ILO3

يهدف هذا الفصل إلى التمكن من استعمال قواعد وقوانين الجبر البولياني، وكذلك جداول كارنو بغية اختصار المعادلات المنطقية، ومن ثم الحصول على تنفيذ أمثلي للدارة المنطقية.

مخرجات الفصل الثالث ILO3

فهم قواعد وقوانين الجبر البولياني، واستعمال جداول كارنو لاختصار العلاقات المنطقية.

1. العمليات البولیانیة والتوابع المنطقیة Boolean Operations and Expressions

في الجبر البولياني، المتحول المنطقي (variable) هو رمز يُستعمل لتمثيل فعل (action)، أو شرط (condition) أو معطية (data). يمكن أن يأخذ المتحول المنطقي إحدى القيمتين (0) أو (1).

يمثل المتمم (complement) القيمة المنطقية العكسية للمتحول المنطقي. ويشار إليه بخط في أعلى المتحول ويلفظ بالإنكليزية (overbar)، فمتمم (A) هو $(\overline{A})$.

ونسمي المتحول أو متممه حرفاً (literal).

تكافئ عملية الجمع في الجبر البولياني عملية (OR)، ويكون مجموع الحدود (1) إذا كان واحداً من الأحرف (1) على الأقل. ويكون مجموع الحدود (0) إذا كان كل حرف من الأحرف (0).

المثال 1.3

حدد قيم المتحولات (A) و(B) و(C) ليكون مجموع الحدود للمعادلة المنطقية معدوماً $(\overline{A}+B+\overline{C}=0?)$.

الحل

يجب أن يأخذ كل حرف من الأحرف القيمة (0)، وعليه يكون $(A=1)$، و$(B=0)$، و$(C=1)$.

وتكافئ عملية الضرب في الجبر البولياني عملية (AND)، ويكون جداء الحدود (1) إذا كان كل حرف من حروفه (1). ويكون جداء الحدود (0) إذا كان كل على الأقل واحداً من الأحرف (0).

المثال 2.3

حدد قيم المتحولات (A) و(B) و(C) ليكون جداء الحدود للمعادلة المنطقية واحداً $(A\overline{B}\overline{C}=1?)$.

الحل

يجب أن يأخذ كل حرف من الأحرف القيمة (1)، وعليه يكون $(A=1)$، و$(B=0)$، و$(C=0)$.

2. قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra

يوجد ثلاثة قوانين وإثنتا عشرة قاعدة. قوانين الجبر البولياني هي:

القانون التبديلي (commutative laws)

يُطبق القانون التبديلي على عمليتي الجمع والضرب، بالنسبة لعملية الجمع نجد:

$$A+B=B+A$$

ونجد في عملية الضرب،

$$AB=BA$$

نلاحظ في كلا الحالتين أن الترتيب ليس مهماً.

القانون التجميعي (Associative laws)

يُطبق القانون التجميعي أيضاً على عمليتي الجمع والضرب. بالنسبة لعملية الجمع نجد:

$$A+\left(B+C\right)=\left(A+B\right)+C$$

ونجد في عملية الضرب

$$A\left(BC\right)=\left(A\,B\right)C$$

نلاحظ في كلا الحالتين أن كيفية التجميع بوضع الأقواس ليس مهماً.

القانون التوزيعي (Distributive laws)

القانون التوزيعي هو قانون إخراج العامل المشترك فمثلاً:

$$AB+AC=A\left(B+C\right)$$

نبين فيما يلي قواعد الجبر البولياني الإثنتا عشرة.

1. $A+0=A$	5. $A+A=A$	9. $\overline{\overline{A}}=A$
2. $A+1=1$	6. $A+\overline{A}=1$	10. $A+AB=A$
3. $A\cdot 0=0$	7. $A\cdot A=A$	11. $A+\overline{A}B=A+B$
4. $A\cdot 1=A$	8. $A\cdot\overline{A}=0$	12. $\left(A+B\right)\left(A+C\right)=A+BC$

3. نظريات دومورغان DeMorgan's Theorems

نظرية دمورغان 1 (DeMorgan's 1st Theorem)

متمم جداء متحولين يساوي إلى مجموع متمم كل منهما.

$$\overline{AB}=\overline{A}+\overline{B}$$

نظرية دمورغان 2 (DeMorgan's 2nd Theorem)

متمم مجموع متحولين يساوي إلى جداء متمم كل منهما.

$$\overline{A+B}=\overline{A}\cdot\overline{B}$$

لتطبيق نظرية دمورغان نغير (OR) إلى (AND)، ونغير (AND) إلى (OR)، ونعكس المتحولات.

المثال 3.3

استعمل نظرية دمورغان لإزالة المتمم لكلا الحدين في المعادلة المنطقية ($X=\overline{\overline{C}+D}$).

الحل

$$X = \overline{\overline{C} + D} = \overline{\overline{C}}\,\overline{D} = C\overline{D}$$

المثال 4.3

أوجد المعادلة المنطقية المختصرة باستعمال قوانين وقواعد الجلر البوليانى.

$$X = \left[A\overline{B}\left(C + B\,D\right) + \overline{A}\,\overline{B} \right] C$$

الحل

$$\left[A\,\overline{B}\left(C + BD\right) + \overline{A}\,\overline{B} \right] C = \left(A\overline{B}C + A\overline{B}BD + \overline{A}\,\overline{B} \right) C$$
$$= \left(A\overline{B}C + 0 + \overline{A}\,\overline{B} \right) C = \left(A\overline{B}C + \overline{A}\,\overline{B} \right) C$$
$$= A\overline{B}C + \overline{A}\,\overline{B}C = \overline{B}C\left(A + \overline{A} \right) = \overline{B}C$$

المثال 5.3

أوجد المعادلة المنطقية المختصرة باستعمال قوانين وقواعد الجلر البوليانى.

$$\overline{A}BC + A\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,\overline{C} + A\overline{B}C + ABC$$

الحل

$$\boxed{\overline{A}BC} + A\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,\overline{C} + A\overline{B}C + \boxed{ABC}$$
$$= BC\left(\overline{A} + A \right) + \boxed{A\overline{B}\,\overline{C}} + \overline{A}\,\overline{B}\,\overline{C} + \boxed{A\overline{B}C}$$
$$= BC + A\overline{B}\left(\overline{C} + C \right) + \overline{A}\,\overline{B}\,\overline{C} = BC + A\overline{B} + \overline{A}\,\overline{B}\,\overline{C} = BC + \overline{B}\left(A + \overline{A}\,\overline{C} \right)$$
$$= BC + \overline{B}\left(A + \overline{C} \right) = BC + A\overline{B} + \overline{B}\,\overline{C}$$

المثال 6.3

أوجد المعادلة المنطقية المختصرة باستعمال قوانين وقواعد الجلر البوليانى.

$$\overline{AB + AC} + \overline{A}\,\overline{B}C$$

الحل

$$\overline{AB + AC} + \overline{A}\,\overline{B}C = \left(\overline{AB} \right)\left(\overline{AC} \right) + \overline{A}\,\overline{B}C = \left(\overline{A} + \overline{B} \right)\left(\overline{A} + \overline{C} \right) + \overline{A}\,\overline{B}C$$
$$= \overline{A} + \overline{B}\,\overline{C} + \overline{A}\,\overline{B}C = \overline{A}\left(1 + \overline{B}C \right) + \overline{B}\,\overline{C}$$
$$= \overline{A} + \overline{B}\,\overline{C}$$

4. العلاقات البوليانية وجداول الحقيقة Boolean Expressions and Truth Tables

لتكن المعادلة المنطقية التالية، والتي تمثل مجموع جداءات (sum of product):

$$X = \overline{A}\,\overline{B}C + A\overline{B}\,\overline{C} + ABC$$

ولنكتب جدول الحقيقة الذي يمثلها. يكافئ الجداء الأول $(\overline{A}\,\overline{B}C)$ الترميز الإثنائي $(0\,0\,1)$، ويكافئ الجداء الثاني $(A\overline{B}\,\overline{C})$ الترميز الإثنائي $(1\,0\,0)$، ويكافئ الجداء الثالث (ABC) الترميز الإثنائي $(1\,1\,1)$. ننشئ جدول الحقيقة بثلاثة متحولات، ونضع في كل سطر مكافئ لجداء من الجداءات الثلاثة في حقل التابع أو حقل الخرج (X) واحداً، ونضع في الحقول المتبقية أصفاراً فنحصل على جدول الحقيقة المكافئ للمعادلة المنطقية المفترضة، وهذا ما يبينه الجدول المبين في الشكل (1.3).

Inputs (مداخل)	Output (مخرج)	Product terms (جداءات)
A B C	X	
0 0 0	0	
0 0 1	1	$\overline{A}\,\overline{B}C$
0 1 0	0	
0 1 1	0	
1 0 0	1	$A\overline{B}\,\overline{C}$
1 0 1	0	
1 1 0	0	
1 1 1	1	ABC

الشكل (1.3): جدول الحقيقة المكافئ للمعادلة المنطقية المفترضة (مجموع جداءات).

لتكن المعادلة المنطقية التالية، والتي تمثل جداء مجاميع (product of sum):

$$X = \left(A+B+C\right)\left(A+\overline{B}+C\right)\left(A+\overline{B}+\overline{C}\right)\left(\overline{A}+B+\overline{C}\right)\left(\overline{A}+\overline{B}+C\right)$$

ولنكتب جدول الحقيقة الذي يمثلها. يكافئ المجموع الأول $(A+B+C)$ الترميز الإثنائي $(0\,0\,0)$، ويكافئ المجموع الثاني $(A+\overline{B}+C)$ الترميز الإثنائي $(0\,1\,0)$، ويكافئ المجموع الثالث $(A+\overline{B}+\overline{C})$ الترميز الإثنائي $(0\,1\,1)$، ويكافئ المجموع الرابع $(\overline{A}+B+\overline{C})$ الترميز الإثنائي $(1\,0\,1)$، ويكافئ المجموع الخامس $(\overline{A}+\overline{B}+C)$ الترميز الإثنائي $(1\,1\,0)$،. ننشئ جدول الحقيقة بثلاثة متحولات، ونضع في كل سطر مكافئ لمجموع من المجاميع الخمسة في حقل التابع أو حقل الخرج (X) صفراً، ونضع في الحقول المتبقية واحداً، فنحصل على جدول الحقيقة المكافئ للمعادلة

المنطقية المفترضة، وهذا ما يبينه الشكل (2.3). نلاحظ أن جدول الحقيقة هو نفسه في حالة معادلة مجموع الجداءات، وبالتالي فإنه يمثل نفس التابع المنطقي الذي يمكن كتابته أيضاً على شكل جداء مجاميع.

Inputs (مداخل)	Output (مخرج)	Sum terms (مجاميع)
A B C	X	
0 0 0	0	$A+B+C$
0 0 1	1	
0 1 0	0	$A+\overline{B}+C$
0 1 1	0	$A+\overline{B}+\overline{C}$
1 0 0	1	
1 0 1	0	$\overline{A}+B+\overline{C}$
1 1 0	0	$\overline{A}+\overline{B}+C$
1 1 1	1	

الشكل (2.3): جدول الحقيقة المكافئ للمعادلة المنطقية المفترضة (جداء مجاميع).

يمكن أيضاً كتابة المعادلة المنطقية لجدول حقيقة معطى. ليكن جدول الحقيقة المبين في الشكل(3.3) والمطلوب كتابة المعادلة المنطقية المكافئة له بصيغة مجموع الجداءات ثم بصيغة جداء المجاميع.

Inputs (مداخل)	Output (مخرج)	Product terms and sum terms (جداءات ومجاميع)
A B C	X	
0 0 0	0	$A+B+C$
0 0 1	0	$A+B+\overline{C}$
0 1 0	0	$A+\overline{B}+C$
0 1 1	1	$\overline{A}BC$
1 0 0	1	$A\overline{B}\overline{C}$
1 0 1	0	$\overline{A}+B+\overline{C}$
1 1 0	1	$AB\overline{C}$
1 1 1	1	ABC

الشكل (3.3): جدول الحقيقة المكافئ لمعادلة منطقية.

من جدول الحقيقية نستنتج تابع مجموع الجداءات

$$X = \overline{A}BC + A\overline{B}\,\overline{C} + AB\overline{C} + ABC$$

ونستنتج أيضاً تابع جداء المجاميع

$$X = \left(A+B+C\right)\left(A+B+\overline{C}\right)\left(A+\overline{B}+C\right)\left(\overline{A}+B+\overline{C}\right)$$

5. جداول كارنو The Karnaugh`Maps

جدول كارنو بثلاثة متحولات

يبين الشكل 4.3 جدول كارنو بثلاثة متحولات. يمثل العمود الموجود على أقصى اليسار القيم الممكنة للمتحولين المنطقيين في الدخل (AB) بترميز غري، كي يؤدي الانتقال من خلية إلى خلية مجاورة إلى تغير قيمة بت واحد فقط. ويمثل السطر العلوي قيم متحول الدخل الثالث (C). تمثل الخلايا الثماني قيم التابع الممكنة لثلاثة متحولات، وتأخذ كل خلية القيمة المنطقية (1) أو (0) وفقاً للتابع المنطقي المفروض تمثيله.

مخطط كارنو هو أداة لتبسيط التوابع المنطقية بثلاثة أو أربعة متحولات، يتطلب التابع بثلاثة متحولات ثماني خلايا ($2^3 = 8$)، تمثل القيم الثماني الممكنة للتابع المنطقي.

	C / A B	0	1
السطر الأول	0 0	$\overline{A}\,\overline{B}\,\overline{C}$	$\overline{A}\,\overline{B}C$
	0 1	$\overline{A}B\overline{C}$	$\overline{A}BC$
	1 1	$AB\overline{C}$	ABC
السطر الرابع	1 0	$A\overline{B}\,\overline{C}$	$A\overline{B}C$

الشكل 4.3: جدول كارنو بثلاثة متحولات

تمثل كل خلية من الخلايا الثماني جداء ممكناً بثلاثة متحولات. وتختلف كل خلية عن الخلية المجاورة لها بمتحول واحد فقط. يستطيع مخطط كارنو أن يختصر التابع المنطقي عن طريق إنشاء مجموعات من الخلايا المتجاورة التي يكون عددها من مضاعفات العدد (2)، وحذف المتحولات التي تتغير ضمن المجموعة الواحدة. فالمجموعات الممكنة هي مجموعة تحتوي على خلية واحدة أو مجموعة تحتوي على خليتين، أو مجموعة تحتوي على أربع خلايا، أو مجموعة تحتوي على ثماني خلايا. لنأخذ مجموعة أمثلة توضح هذه الفكرة.

المثال 7.3

أوجد التابع المنطقي المختصر والمحدد في جدول كارنو المبين في الشكل (5.3).

	C / A B	0	1
السطر الأول	0 0	1	
	0 1	1	1
	1 1		1
السطر الرابع	1 0		

الشكل 5.3: جدول كارنو لتابع منطقي

الحل

نشكل مجموعتين منفصلتين تحتوي كل منهما على خليتين. تعطي المجموعة الأولى في السطرين الأول والثاني الجداء ($\overline{A}\,\overline{C}$)، حيث اختصر المتحول ($B$) لأنه يتغير من ($0$) في السطر الأول إلى ($1$) في السطر الثاني، أما المتحولين (A,C) لا يتغيران ويحافظان على قيمتيهما ($A=0,C=0$). وتعطي المجموعة الثانية في السطرين الثاني والثالث الجداء (BC)، حيث اختصر المتحول (A) لأنه يتغير من (0) في السطر الثاني إلى (1) في السطر الثالث، أما المتحولين (B,C) لا يتغيران ويحافظان غلى قيمتيهما ($B=1,C=1$).

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو ($X=\overline{A}\,\overline{C}+BC$).

المثال 8.3

أوجد التابع المنطقي المختصر والمحدد في جدول كارنو المبين في الشكل (5.3).

	C / A B	0	1
السطر الأول	0 0	1	
	0 1	1	1
	1 1		
السطر الرابع	1 0		

الشكل 5.3: جدول كارنو لتابع منطقي

الحل

نشكل مجموعتين من الخلايا تحتوي كل منهما على خليتين. تعطي المجموعة الأولى في السطرين الأول والثاني الجداء $(\overline{A}\,\overline{C})$، حيث اختصر المتحول (B) لأنه يتغير من (0) في السطر الأول إلى (1) في السطر الثاني، أما المتحولين (A,C) لا يتغيران ويحافظان غلى قيمتيهما $(A=0,C=0)$. تبقى مجموعة واحدة يمكن أن تحتوي على خلية واحدة منفصلة أو مجموعة تحتوي على خليتين إحداهما مشتركة مع المجموعة السابقة، وهذا هو الخيار الصحيح لأنه ينبغي أن تحتوي المجموعة على أكبر عدد من الخلايا المتجاورة. وتعطي المجموعة الثانية في السطر الثاني الجداء $(\overline{A}B)$، حيث اختصر المتحول (C) لأنه يتغير من (1) إلى (0) في السطر الثاني نفسه، أما المتحولين (A,B) لا يتغيران ويحافظان غلى قيمتيهما $(A=0,B=1)$.

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو $(X=\overline{A}\,\overline{C}+\overline{A}B)$.

المثال 9.3

أوجد التابع المنطقي المختصر والمحدد في جدول كارنو المبين في الشكل (6.3).

	C / A B	0	1
السطر الأول	0 0	1	1
	0 1		
	1 1		
السطر الرابع	1 0	1	1

الشكل 6.3: جدول كارنو لتابع منطقي

الحل

نشكل مجموعة واحدة تحتوي على أربع خلايا. تعطي هذه المجموعة الجداء $(\overline{B})$، حيث اختصر المتحولان (A,C) لأنهما يتغيران من (0) إلى (1) في السطرين الأول والرابع، أما المتحول (B) لا يتغير ويحافظ على قيمته $(B=0)$ بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو $(X=\overline{B})$.

المثال 10.3

أوجد التابع المنطقي المختصر والمحدد في جدول كارنو المبين في الشكل (7.3).

C / A B	0	1
0 0	1	1
0 1	1	1
1 1	1	1
1 0	1	1

الشكل 7.3: جدول كارنو لتابع منطقي

الحل

نشكل مجموعة واحدة تحتوي على ثماني خلايا. تعطي هذه المجموعة الجداء (1)، حيث اختصرت المتحولات الثلاثة (A, B, C) لأن كل منها يتغير من (0) إلى (1).

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو $(X = 1)$.

المثال 11.3

أوجد التابع المنطقي المختصر والمحدد في جدول كارنو المبين في الشكل (8.3).

C / A B	0	1
0 0	1	1
0 1	1	
1 1	1	
1 0	1	1

الشكل 8.3: جدول كارنو لتابع منطقي

الحل

نشكل مجموعتين تحتوي كل منهما على أربع خلايا. تعطي المجموعة الأولى الجداء $(\overline{B})$، حيث اختصر المتحولان (A, C) لأن كل منها يتغير من (0) إلى (1). وتعطي المجموعة الثانية الجداء $(\overline{C})$، حيث اختصر المتحولان (A, B) لأن كل منها يتغير من (0) إلى (1).

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو ($X = \overline{B} + \overline{C}$).

المثال 12.3

أوجد التابع المنطقي المختصر والمحدد في جدول كارنو المبين في الشكل (9.3).

C / A B	0	1
0 0	1	1
0 1	1	1
1 1	1	
1 0	1	1

الشكل 9.3: جدول كارنو لتابع منطقي

الحل

نشكل ثلاث مجموعات تحتوي كل منها على أربع خلايا. تعطي المجموعة الأولى الجداء $(\overline{B})$، حيث اختصر المتحولان (A, C) لأن كل منهما يتغير من (0) إلى (1). وتعطي المجموعة الثانية الجداء $(\overline{C})$، حيث اختصر المتحولان (A, B) لأن كل منهما يتغير من (0) إلى (1). وتعطي المجموعة الثالثة الجداء $(\overline{A})$، حيث اختصر المتحولان (B, C) لأن كل منهما يتغير من (0) إلى (1).

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو $(X = \overline{A} + \overline{B} + \overline{C})$.

جدول كارنو بأربعة متحولات

يبين الشكل 10.3 جدول كارنو بأربعة متحولات. يمثل العمود الموجود على أقصى اليسار القيم الممكنة للمتحولين المنطقيين في الدخل (AB) بترميز غري، كي يؤدي الانتقال من خلية إلى خلية مجاورة إلى تغير قيمة بت واحد فقط. ويمثل السطر العلوي القيم الممكنة للمتحولين المنطقيين في الدخل (CD) بترميز غري أيضاً، كي يؤدي الانتقال من خلية إلى خلية مجاورة إلى تغير قيمة بت واحد فقط. وتمثل الخلايا الست عشرة قيم التابع الممكنة لأربعة متحولات، وتأخذ كل خلية القيمة المنطقية (1) أو (0) بشكل يتناسب مع التابع المفترض.

يتطلب التابع بأربعة متحولات ست عشرة خلية $(2^4 = 16)$، تمثل القيم الست عشرة الممكنة للتابع المنطقي. فالمجموعات الممكنة هي مجموعة تحتوي على خلية واحدة أو مجموعة تحتوي على خليتين، أو مجموعة تحتوي على أربع خلايا، أو مجموعة تحتوي على ثماني خلايا، أو مجموعة تحتوي على ست عشرة خلية.

C / A B	0 0	0 1	1 1	1 0
0 0	$\overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$	$\overline{A}\,\overline{B}\,\overline{C}\,D$	$\overline{A}\,\overline{B}\,C\,D$	$\overline{A}\,\overline{B}\,C\,\overline{D}$
0 1	$\overline{A}\,B\,\overline{C}\,\overline{D}$	$\overline{A}\,B\,\overline{C}\,D$	$\overline{A}\,B\,C\,D$	$\overline{A}\,B\,C\,\overline{D}$
1 1	$A\,B\,\overline{C}\,\overline{D}$	$A\,B\,\overline{C}\,D$	$A\,B\,C\,D$	$A\,B\,C\,\overline{D}$
1 0	$A\,\overline{B}\,\overline{C}\,\overline{D}$	$A\,\overline{B}\,\overline{C}\,D$	$A\,\overline{B}\,C\,D$	$A\,\overline{B}\,C\,\overline{D}$

الشكل 10.3: جدول كارنو بأربعة متحولات

المثال 13.3

أوجد التابع المنطقي المختصر والمحدد في جدول كارنو المبين في الشكل (11.3).

C / A B	0 0	0 1	1 1	1 0
0 0	1			1
0 1	1			1
1 1		1	1	
1 0		1	1	

الشكل 11.3: جدول كارنو لتابع منطقي

الحل

نشكل مجموعتين تحتوي كل منها على أربع خلايا. تعطي المجموعة الأولى الجداء $(\overline{A}\,\overline{D})$، حيث اختصر المتحولان (B, C) لأن كلاً منهما يتغير من (0) إلى (1). وتعطي المجموعة الثانية الجداء (AD)، حيث اختصر المتحولان (B, C) لأن كلاً منهما يتغير من (0) إلى (1).

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو $(X = \overline{A}\,\overline{D} + AD)$.

المثال 14.3

أوجد التابع المنطقي المختصر للتابع

$(X = \overline{A}\,\overline{B}C\,D + \overline{A}B\overline{C}\,\overline{D} + AB\overline{C}\,D + ABC\,D + AB\overline{C}\,\overline{D} + \overline{A}\,\overline{B}\overline{C}\,D + A\overline{B}C\,\overline{D})$

باستعمال جدول كارنو.

الحل

نرسم جدول كارنو بأربعة متحولات كما هو مبين في الشكل (12.3).

C D / A B	0 0	0 1	1 1	1 0
0 0		1	1	
0 1	1			
1 1	1	1	1	
1 0				1

الشكل 12.3: جدول كارنو للتابع المنطقي الخاص بالمثال 11.3

نشكل ثلاث مجموعات تحتوي كل منها على خليتين، ومجموعة مكونة من خلية واحدة.

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو

$(X = B\overline{C}\,\overline{D} + \overline{A}\,\overline{B}D + ABD + A\overline{B}C\,\overline{D})$.

المثال 15.3

أوجد التابع المنطقي المختصر للتابع المنطقي المعطى بجدول الحقيقة المبين في الشكل (13.3) باستعمال جدول كارنو.

Inputs (مداخل)	Output (مخرج)
A B C D	X
0 0 0 0	1
0 0 0 1	0
0 0 1 0	1
0 0 1 1	1
0 1 0 0	0
0 1 0 1	1
0 1 1 0	0
0 1 1 1	1
1 0 0 0	1
1 0 0 1	1
1 0 1 0	–
1 0 1 1	–
1 1 0 0	–
1 1 0 1	–
1 1 1 0	–
1 1 1 1	–

الشكل 13.3: جدول الحقيقة الخاص بالمثال 15.3

نشير هنا إلى أن المتحول المنطقي (–) يقال له لا يهم (Don`t care).

الحل

نرسم جدول كارنو بأربعة متحولات كما هو مبين في الشكل (14.3).

C D / A B	0 0	0 1	1 1	1 0
0 0	1	0	1	1
0 1	0	1	1	0
1 1	–	–	–	–
1 0	1	1	–	–

الشكل 14.3: جدول كارنو للتابع المنطقي الخاص بالمثال 15.3

نشكل ثلاث مجموعات تحتوي كل منها على أربع خلايا، ومجموعة مكونة من ثماني خلايا.

بالتالي يكون التابع المنطقي بعد الاختصار وباستعمال مخطط كارنو ($X = A + BD + \overline{B}C + \overline{B}\,\overline{D}$).

6. خلاصة Summary

1. القانون التبديلي (Commutative laws): $A + B = B + A, \quad A \cdot B = B \cdot A$

2. القانون التجميعي (Associative laws): $A + (B + C) = (A + B) + C, \quad A \cdot (B \cdot C) = (A \cdot B) \cdot C$

3. القانون التوزيعي (Distributive laws): $A(B + C) = AB + AC$.

4. القواعد البولينية (Boolean rules):

1. $A + 0 = A$	5. $A + A = A$	9. $\overline{\overline{A}} = A$
2. $A + 1 = 1$	6. $A + \overline{A} = 1$	10. $A + AB = A$
3. $A \cdot 0 = 0$	7. $A \cdot A = A$	11. $A + \overline{A}B = A + B$
4. $A \cdot 1 = A$	8. $A \cdot \overline{A} = 0$	12. $(A + B)(A + C) = A + BC$

5. نظريات دمورغان (DeMorgan's theorems):

أ) متمم الجداء يساوي إلى مجموع متممات حدود الجداء أي: $\overline{XY} = \overline{X} + \overline{Y}$

ب) متمم المجموع يساوي إلى جداء متممات حدود المجموع أي: $\overline{X + Y} = \overline{X} \cdot \overline{Y}$

6. يبين الشكل (15.3) مخطط (جدول) كارنو بثلاثة وأربعة متحولات.

C / A B	0	1
0 0		
0 1		
1 1		
1 0		

C D / A B	0 0	0 1	1 1	1 0
0 0				
0 1				
1 1				
1 0				

الشكل (15.3): مخطط (جدول) كارنو بثلاثة وأربعة متحولات.

أسئلة ومسائل الفصل الثالث Questions and Problems

أسئلة الفصل الثالث

اختر الإجابة الصحيحة

1. يكون متمم المتحول عادة.

a) 0

b) 1

c) مساوياً إلى المتحول

d) عكس المتحول.

2. المعادلة البولیانية $(A+\overline{B}+C)$ هي:

a) مجموع حدود

b) أحرف حدود

c) جداءات حدود

d) متمم حدود.

3. المعادلة البولیانية $(A\overline{B}C\overline{D})$ هي:

a) مجموع حدود

b) جداءات حدود

c) أحرف حدود

d) دائماً 1.

4. وفقاً للقانون التبديلي للجمع:

a) $AB=BA$

b) $A+A=A$

c) $A+\left(B+C\right)=\left(A+B\right)+C$

d) $A+\left(B+C\right)=\left(A+B\right)+C$.

5. وفقاً للقانون التجميعي للضرب:

(a $B = BB$

(b $A\left(BC\right) = \left(A\ B\right)C$

(c $A + B = B + A$

(d $B + B\left(B + 0\right)$.

6. وفقاً للقانون التوزيعي:

(a $A\left(B + C\right) = AB + AC$

(b $A\left(BC\right) = A\ B\ C$

(c $A\left(A + 1\right) = A$

(d $A + AB = A$.

7. أي من القواعد التالية ليست قاعدة بوليانية صحيحة:

(a $A + 1 = 1$

(b $A = \overline{A}$

(c $AA = A$

(d $A + 0 = A$.

8. أي من القواعد التالية تنص على أنه إذا كان أحد مداخل بوابة (AND) واحد دوماً يكون الخرج مساوياً إلى المدخل الثاني.

(a $A + 1 = 1$

(b $A + A = A$

(c $AA = A$

(d $A \cdot 1 = A$.

9. وفقاً لنظرية دمورغان، أي واحدة من المساوات التالية صحيحة:

(a $\overline{AB} = \overline{A} + \overline{B}$

(b $\overline{XYZ} = \overline{X} + \overline{Y} + \overline{Z}$

(c $\overline{A + B + C} = \overline{A}\,\overline{B}\,\overline{C}$

(d كل ما ذكر.

10. مخطط كارنو بثلاثة متحولات له:

a) ثماني خلايا

b) ثلاث خلايا

c) ستة عشرة خلية

d) أربع خلايا.

Ans 1 (d) ،2 (a) ،3 (b) ،4 (b) ،5 (b) ،6 (a) ،7 (b) ،8 (d) ،9 (d) ،10 (a).

اسئلة الفصل الثالث	الإجابة الصحيحة
1	d
2	a
3	b
4	b
5	b
6	a
7	b
8	d
9	d
10	a

مسائل الفصل الثالث

- العمليات البوليانية والتوابع المنطقية Boolean Operations and Expressions

1. أوجد ناتج العمليات التالية:

(a) 0 + 0 + 1 (b) 1 + 1 + 1 (c) 1 · 0 · 0 (d) 1 · 1 · 1 (e) 1 · 0 · 1 (f) 1 · 1 + 0 · 1 · 1

Ans

2. أوجد قيم المتحولات التي تجعل كل جداء حدود مساوياً إلى الواحد، وكل مجموع حدود مساوياً إلى الصفر.

$(a)\ AB \qquad (b)\ A\overline{B}C \qquad (c)\ A+B \qquad (d)\ \overline{A}+B+\overline{C} \qquad (e)\ \overline{A}+\overline{B}+C$

$(f)\ \overline{A}+B \qquad (g)\ A\overline{B}\overline{C}$

Ans

- قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra

3. حدد القانون البولياني الذي بمقتضاه وضعت كل من المساواة التالية.

$(a)\ A\overline{B}+C\,D+A\overline{C}\,D+B=B+A\overline{B}+A\overline{C}\,D+C\,D$

$(b)\ AB\overline{C}\,D+\overline{ABC}=D\overline{C}\,BA+\overline{C\,BA}$

$(c)\ AB\left(C\,D+E\overline{F}+GH\right)=ABC\,D+ABE\overline{F}+ABGH$

Ans

4. حدد القاعدة البولينية التي بمقتضاها وضعت كل من المساواة التالية.

$(a)\ \overline{\overline{AB+C\,D}}+\overline{E\,F}=AB+C\,D+\overline{E\,F}$

$(b)\ A\overline{A}B+AB\overline{C}+AB\overline{B}=B\overline{C}$

$(c)\ A(BC+BC)+AC=A(BC)+AC$

$(d)\ AB\left(C+\overline{C}\right)+AC=AB+AC$

$(e)\ A\overline{B}+A\overline{B}C=A\overline{B}$

$(f)\ ABC+\overline{AB}+\overline{ABC}\,D=ABC+\overline{AB}+D$

Ans

- نظريات دومورغان DeMorgan's Theorems

5. استعمل نظريات دمورغان في تبسيط كل من المعادلات التالية:

$(a)\ \overline{A+\overline{B}}$ $(b)\ \overline{\overline{A}B}$ $(c)\ \overline{A+B+C}$ $(d)\ \overline{ABC}$

$(e)\ \overline{A(B+C)}$ $(f)\ \overline{AB}+\overline{C\,D}$ $(g)\ \overline{AB+C\,D}$ $(h)\ \overline{\left(A+\overline{B}\right)\left(\overline{C}+D\right)}$

Ans

6. استعمل نظريات دمورغان في تبسيط كل من المعادلات التالية:

$(a)\ \overline{A\,\overline{B}\left(C+\overline{D}\right)}$ $(b)\ \overline{AB(CD+EF)}$ $(c)\ \overline{A+\overline{B}+C+\overline{D}}+\overline{ABC\,\overline{D}}$

$(d)\ \overline{\overline{A}+B+C+D\left(A\overline{B}\overline{C}\,D\right)}$ $(e)\ \overline{\overline{AB}\left(CD+\overline{E}F\right)\left(\overline{AB}+\overline{CD}\right)}$

Ans

7. باستعمال الجبر البولياني، بسط العلاقات المنطقية التالية:

$(a)\ X=\left(A+\overline{B}\right)(A+C)$ $(b)\ X=\overline{A}B+\overline{A}B\overline{C}+\overline{A}BCD+\overline{A}B\overline{C}\,\overline{D}E$

$(c)\ X=AB+\overline{AB}C+A$ $(d)\ X=\left(A+\overline{A}\right)\left(AB+AB\overline{C}\right)$

$(e)\ X=AB+\left(\overline{A}+\overline{B}\right)C+AB$

Ans

8. باستعمال الجبر البولياني، بسط العلاقات المنطقية التالية:

$(a)\ X=BD+B(D+E)+\overline{D}(D+F)$ $(b)\ X=\overline{A}\,\overline{B}C+\overline{\left(A+B+\overline{C}\right)}+\overline{A}\,\overline{B}\,\overline{C}D$

$(c)\ X=(B+BC)\left(B+\overline{B}C\right)(B+D)$ $(d)\ X=ABCD+AB\left(\overline{CD}\right)+\overline{(AB)}CD$

$(e)\ X=ABC\left[AB+\overline{C}(BC+AC)\right]$

Ans

- المعادلات البولية وجداول الحقيقة Boolean Expressions and Truth Tables

9. أوجد جدول الحقيقة الذي يمثل كلاً من المعادلات المنطقية (SOP).

$(a)\ X=\overline{A}B\overline{C}D+\overline{A}BCD+A\overline{B}\,\overline{C}D+\overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$

$(b)\ X=WXYZ+WXY\overline{Z}+\overline{W}XYZ+W\overline{X}YZ+WX\overline{Y}Z$

Ans

10. أوجد جدول الحقيقة الذي يمثل كلاً من المعادلات المنطقية (POS).

$(a)\ X=\left(\overline{A}+\overline{B}+\overline{C}\right)(A+B+C)\left(A+\overline{B}+C\right)$

$(b)\ X=\left(\overline{A}+B+\overline{C}+D\right)\left(A+\overline{B}+C+\overline{D}\right)\left(A+\overline{B}+\overline{C}+D\right)\left(\overline{A}+B+C+\overline{D}\right)$

Ans

11. استنتج المعادلة المنطقية (SOP)، والمعادلة المنطقية (POS) الممثلتان في جدول الحقيقة المبين في الشكل (16.3).

A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

الشكل (16.3): جدول الحقيقة للمسألة (11.3).

Ans

12. أوجد المعادلات المنطقية (SOP) المختصرة للمعادلات المنطقية التالية، باستعمال جدول كارنو:

$(a)\ X = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + A\overline{B}C$ $\qquad$ $(b)\ X = AC\left(\overline{B}+C\right)$

$(c)\ X = \overline{A}\left(BC + B\overline{C}\right) + A\left(BC + B\overline{C}\right)$ $\qquad$ $(d)\ X = \overline{A}\,\overline{B}\,\overline{C} + A\overline{B}\,\overline{C} + \overline{A}B\overline{C} + AB\overline{C}$

Ans

$(a)\ X = \overline{A}\,\overline{B} + \overline{B}C$ $\qquad$ $(b)\ X = AC$

$(c)\ X = B$ $\qquad$ $(d)\ X = \overline{C}$

13. أوجد المعادلات المنطقية (SOP) المختصرة للمعادلات المنطقية التالية، باستعمال جدول كارنو:

$(a)\ X = A + B\overline{C} + CD$

$(b)\ X = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}\,\overline{C}D + ABCD + ABC\overline{D}$

$(c)\ X = \overline{A}B\left(\overline{C}\,\overline{D} + \overline{C}D\right) + AB\left(\overline{C}\,\overline{D} + \overline{C}D\right) + A\overline{B}\,\overline{C}D$

$(d)\ X = \left(\overline{A}\,\overline{B} + A\overline{B}\right)\left(CD + C\overline{D}\right)$

$(e)\ X = \overline{A}\,\overline{B} + A\overline{B} + \overline{C}\,\overline{D} + C\overline{D}$

Ans

$(a)\ X = A + B\overline{C} + CD$ $\qquad$ $(b)\ X = \overline{A}\,\overline{B}\,\overline{C} + ABC$

$(c)\ X = B\overline{C} + A\overline{C}D$ $\qquad$ $(d)\ X = \overline{B}C$

$(e)\ X = \overline{B} + \overline{D}$

14. استنتج المعادلة المنطقية (SOP) المختصرة، باستعمال جدول كارنو للتابع المنطقي المعرف بجدول الحقيقة المعطى في الشكل (14.3):

A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

الشكل (17.3): جدول الحقيقة للمسألة (14.3).

Ans. $X = \overline{B} + C$

15. استنتج المعادلة المنطقية (SOP) المختصرة، باستعمال جدول كارنو للتابع المنطقي المعرف بجدول الحقيقة المعطى في الشكل (15.3):

A	B	C	D	X
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

الشكل (18.3): جدول الحقيقة للمسألة (15.3).

Ans. $X = A\overline{C}\,\overline{D} + ABD + \overline{A}BC + \overline{B}C\overline{D} + \overline{A}\,\overline{B}\,\overline{C}D$

نموذج مذاكرة للفصل الثالث

الجامعة ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل الثالث: الجبر البولياني وتبسيط التوابع المنطقية

أستاذ المادة: ....

المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

- المادة مغلقة
- يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. يكتب القانون التجميعي كما يلي:

(a $A+B=B+A$

(b $\left(A+B\right)+C=A+\left(B+C\right)$

(c $AB=BA$

(d $A+AB=A$

2. توضح المعادلة المنطقية ($AB+AC=A\left(B+C\right)$):

(a القانون التوزيعي

(b القانون التبديلي

(c القانون التجميعي

(d نظرية دمورغان

3. المعادلة المنطقية ($A\cdot 1$) تساوي إلى:

(a A

(b B

(c 0

(d 1

4. المعادلة المنطقية $(A+1)$ تساوي إلى:

(a A
(b B
(c 0
(d 1

5. توضح المعادلة المنطقية $\overline{AB+AC}=\overline{AB}\cdot\overline{AC}$:

(a القانون التوزيعي
(b القانون التبديلي
(c القانون التجميعي
(d نظرية دمورغان

6. تختلف الخلايا المتجاورة في جدول كارنو فيما بينها:

(a بمتحول واحد
(b بمتحولين
(c بثلاثة متحولات
(d يرتبط الجواب بحجم الجدول

7. المعادلة المنطقية المختصرة التي يعطيها جدول كارنو التالي هي:

C / A B	0	1
0 0		
0 1		
1 1	1	1
1 0	1	1

(a $X=\underline{A}$
(b $X=\overline{A}$
(c $X=\underline{B}$
(d $X=\overline{B}$

8. يبلغ عدد خلايا جدول كارنو بثلاثة متحولات،

a) خليتان

b) أربع خلايا

c) ثماني خلايا

d) ست عشرة خلية.

9. يبلغ عدد خلايا جدول كارنو بأربع متحولات،

a) خليتان

b) أربع خلايا

c) ثماني خلايا

d) ست عشرة خلية.

10. المعادلة المنطقية المختصرة التي يعطيها جدول كارنو التالي هي:

a) $X = AB + AD + BD$

b) $X = A\overline{B} + AD + \overline{B}\,\overline{D}$

c) $X = \overline{A}B + AD + \overline{B}\,\overline{D}$

d) $X = A\overline{B} + AD + \overline{BD}$.

C D / A B	0 0	0 1	1 1	1 0
0 0	1			1
0 1				
1 1		1	1	
1 0	1	1	1	1

الإجابة الصحيحة لنموذج مذاكرة الفصل الثالث

1 (b) ،2 (a) ،3 (a) ،4 (d) ،5 (d) ،6 (a) ،7 (a) ،8 (c) ،9 (d) ،10 (b).

التغذية الراجعة

1 مراجعة العمليات البوليانية والتوابع المنطقية Boolean Operations and Expressions & قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra

2 مراجعة العمليات البوليانية والتوابع المنطقية Boolean Operations and Expressions & قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra

3 مراجعة العمليات البوليانية والتوابع المنطقية Boolean Operations and Expressions & قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra

4 مراجعة العمليات البوليانية والتوابع المنطقية Boolean Operations and Expressions & قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra

5 مراجعة العمليات البوليانية والتوابع المنطقية Boolean Operations and Expressions & قواعد وقوانين الجبر البولياني Laws and Rules of Boolean Algebra

6 مراجعة جداول كارنو The Karnaugh Maps

7 مراجعة العلاقات البوليانية وجداول الحقيقة Boolean Expressions and Truth Tables & جداول كارنو The Karnaugh Maps

8 مراجعة جداول كارنو The Karnaugh Maps

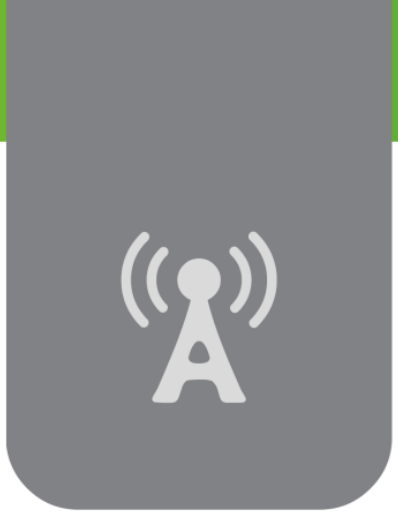
9 مراجعة جداول كارنو The Karnaugh Maps

10 مراجعة العلاقات البوليانية وجداول الحقيقة Boolean Expressions and Truth Tables & جداول كارنو The Karnaugh Maps

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل الثالث

نموذج مذاكرة الفصل الثالث	الإجابة الصحيحة
1	b
2	a
3	a
4	d
5	d
6	a
7	a
8	c
9	d
10	b



الفصل الرابع

البوابات والتوابع المنطقية

كلمات مفتاحية KEYWORDS

دارة الجامع Adder، السلسلة Cascading، انتشار المنقول Ripple Carry، دارة الترميز Encoder، دارة فك الترميز Decoder، دارة الناخب Multiplexer (MUX)، دارة الناخب العكسي Demultiplexer (DEMUX).

الملخص Abstract

سندرس في هذا الفصل بإيجاز عمل وتطبيقات البوابات المنطقية، والتوابع المنطقية الرئيسة المكاملة على دارات متكاملة من العائلة المنطقية المعروفة بعائلة (TTL). تستعمل رموز البوابات المعتمدة في التوثيق الداخلي للتطبيقات الصناعية والعسكرية، وفي الأدبيات المنشورة عنها، وذلك وفقاً للمعيار (ANSI/IEEE Standard 91-1984). كما سندرس عدة أنواع من الدارات المنطقية التراكبية مثل دارات الجوامع (Adders)، ودارات المقارنة (Comparators)، ودارات الترميز (Encoders) ودارات فك الترميز (Decoders)، ودارات النواخب (Multiplexers) والنواخب العكسية (Demultiplexers).

الأهداف التعليمية للفصل الرابع ILO4

يهدف هذا الفصل إلى فهم عمل البوابات المنطقية الرئيسة كالعاكس المنطقي وبوابة الجداء المنطقي، وبوابة الجمع المنطقي والتي تدخل في بناء أي تابع منطقي، والتوابع المنطقية الرئيسة كالجوامع، والمقارنات، ودارات الترميز وكواشف الترميز، والنواخب، والنواخب العكسية، والتي تدخل في بنيان النظم المنطقية.

مخرجات الفصل الرابع ILO4

فهم عمل البوابات والتوابع المنطقية الرئيسة كدارات الجوامع، والمقارنات، ودارات الترميز وكشفه، والنواخب، والنواخب العكسية.

1. البوابات المنطقية الرئيسة Logic gates

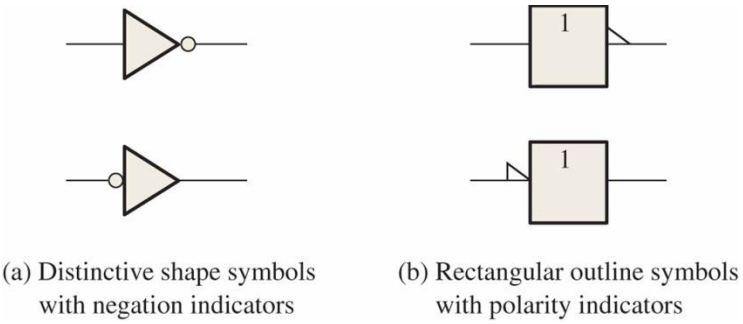
البوابات المنطقية الثلاث الرئيسة هي بوابة العاكس المنطقي $(Inverter\ or\ NOT)$، وبوابة الجداء المنطقي (AND)، وبوابة الجمع المنطقي (OR). يمكن بناء أي نظام منطقي باستعمال البوابات المنطقية الرئيسة هذه.

العاكس المنطقي (Inverter or Not)

ينفذ العاكس المنطقي عملية العكس المنطقي أو النفي (NOT)، أي إذا كان دخله (1) يكون خرجه (0) والعكس بالعكس.

رمز بوابة العاكس المنطقي (Inverter Gate Symbol)

يبين الشكل (1.4) رمزا بوابة العاكس المنطقي.



الشكل 1.4: رمزا بوابة العاكس المنطقي: (a) الرمز التقليدي مع إشارة النفي، (b) الرمز المستطيل مع محدد القطبية.

جدول الحقيقة للعاكس المنطقي (Inverter truth table)

يبين الشكل (2.4) جدول الحقيقة للعاكس المنطقي.

Input (مدخل)	Output (مخرج)
A	X
LOW (0)	HIGH (1)
HIGH (1)	LOW (0)

الشكل 2.4: جدول الحقيقة للعاكس المنطقي.

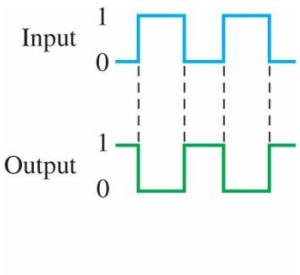
التابع المنطقي (Boolean expression)

يعطى التابع المنطقي للعاكس بالعلاقة المنطقية التالية:

$$X = \overline{A}$$

مثال عن الإشارات الرقمية (Example waveforms)

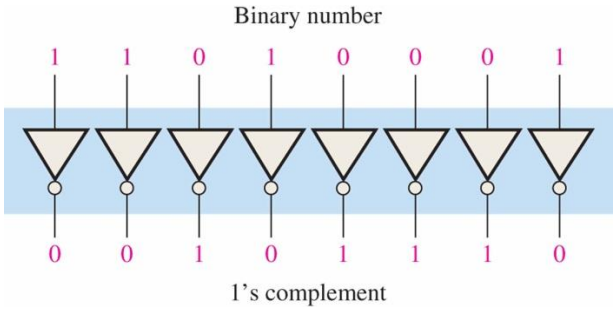
يبين الشكل (3.4) مخططاً زمنياً لإشارتي دخل وخرج العاكس المنطقي.



الشكل 3.4: المخطط الزمني لإشارتي الدخل والخرج للعاكس المنطقي.

مثال على تطبيقات العاكس المنطقي (Application Example)

يبين الشكل (4.4) دارة الحصول على المتمم الأحادي (1' s complement) لعدد إثناني (Binary number) بثمانية بتات.



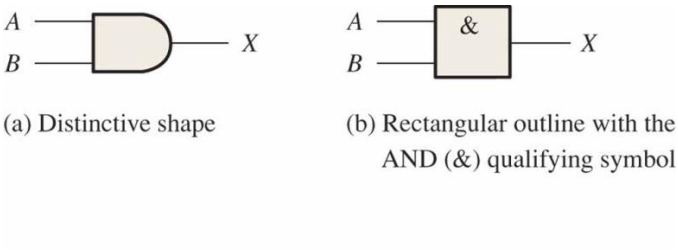
الشكل 4.4: دارة الحصول على المتمم الأحادي لعدد إثناني بثمانية بتات.

الجداء المنطقي (AND Gate)

تعطي بوابة الجداء المنطقي على خرجها القيمة المنطقية (1)، عندما تأخذ كل مداخلها القيم المنطقية (1) ويأخذ الخرج القيمة المنطقية (0) عندما يأخذ على الأقل أحد مداخلها القيمة المنطقية (0).

رمز بوابة الجداء المنطقي (AND Gate Symbol)

يبين الشكل (5.4) رمزي بوابة الجداء المنطقي.



(a) Distinctive shape

(b) Rectangular outline with the AND (&) qualifying symbol

الشكل 5.4: رمزا بوابة الجداء المنطقي: (a) رمز البوابة التقليدي، (b) رمز البوابة المستطيل مع إشارة الجداء المنطقي (&).

جدول الحقيقة للجداء المنطقي (AND truth table)

يبين الشكل (6.4) جدول الحقيقة لبوابة الجداء المنطقي بمدخلين.

Inputs (مداخل)		Output (مخرج)
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

الشكل 6.4: جدول الحقيقة لبوابة الجداء المنطقي بمدخلين.

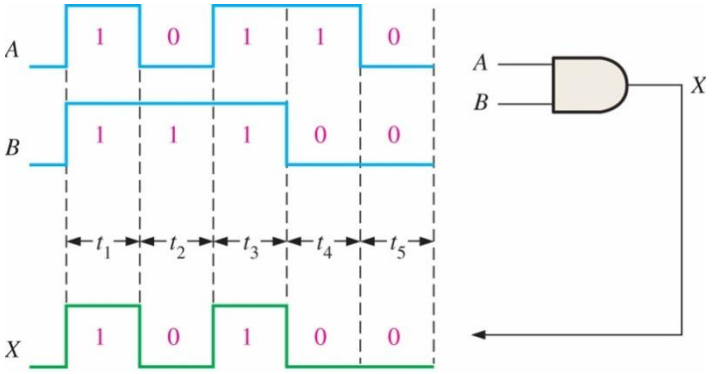
التابع المنطقي (Boolean expression)

يعطى التابع المنطقي لبوابة الجداء المنطقي بمدخلين بالعلاقة المنطقية التالية:

$$X = A \cdot B$$

مثال عن الإشارات الرقمية (Example waveforms)

يبين الشكل (7.4) مخططاً زمنياً لإشارات الدخل والخرج لبوابة الجداء المنطقي بمدخلين.



الشكل 7.4: المخطط الزمني لإشارات الدخل والخرج لبوابة الجداء المنطقي بمدخلين.

مثال على تطبيقات بوابة الجداء المنطقي (Application Example)

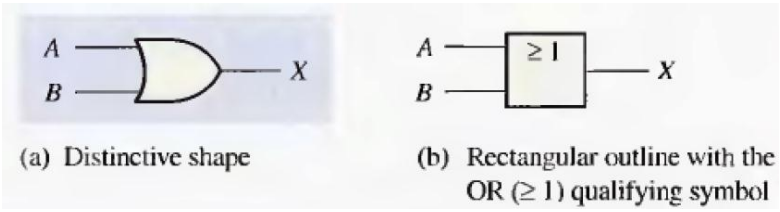
يمكن استعمال عملية الجداء المنطقي في برامج الكمبيوتر لتحقيق القناع الانتقائي. إذا أردنا الحفاظ على قيم بعض البتات ووضع البعض الآخر على القيمة المنطقية (0). نستعمل قناعاً بوضع القيم المنطقية (1) في الأماكن المراد الحفاظ على قيم بتاتها، ونضع القيم المنطقية (0) في الأماكن التي لا نهتم في الحفاظ على قيم بتاتها. إذا أجرينا جداء منطقياً بين العدد الإثناني (10100011) والقناع (00001111)، ستكون نتيجة الجداء المنطقي بينهما هي (00000011). نكون قد حافظنا على البتات الأربعة الدنيا، وأهملنا البتات الأربعة العليا.

الجمع المنطقي (OR Gate)

تعطي بوابة الجمع المنطقي على خرجها القيمة المنطقية (0)، عندما تأخذ كل مداخلها القيمة المنطقية (0). ويأخذ الخرج القيمة المنطقية (1) عندما يأخذ على الأقل أحد مداخلها القيمة المنطقية (1).

رمز بوابة الجمع المنطقي (OR Gate Symbol)

يبين الشكل (8.4) رمزي بوابة الجمع المنطقي.



الشكل 8.4: رمزا بوابة الجمع المنطقي: (a) رمز البوابة التقليدي، (b) رمز البوابة المستطيل مع إشارة الجمع المنطقي.

جدول الحقيقة للجمع المنطقي (OR truth table)

يبين الشكل (9.4) جدول الحقيقة لبوابة الجمع المنطقي بمدخلين.

Inputs (مداخل)		Output (مخرج)
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

الشكل 9.4: جدول الحقيقة لبوابة الجمع المنطقي بمدخلين.

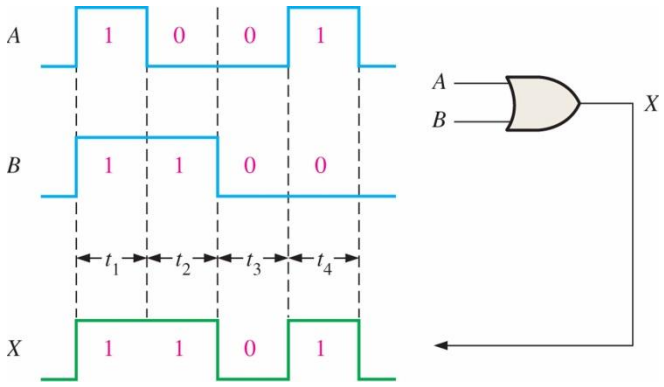
التابع المنطقي (Boolean expression)

يعطى التابع المنطقي لبوابة الجمع المنطقي بمدخلين بالعلاقة المنطقية التالية:

$$X = A + B$$

مثال عن الإشارات الرقمية (Example waveforms)

يبين الشكل (10.4) مخططاً زمنياً لإشارات الدخل والخرج لبوابة الجمع المنطقي بمدخلين.



الشكل 10.4: المخطط الزمني لإشارات الدخل والخرج لبوابة الجمع المنطقي بمدخلين.

مثال على تطبيقات بوابة الجمع المنطقي (Application Example)

يمكن استعمال عملية الجمع المنطقي في برامج الكمبيوتر لوضع بعض البتات على القيمة المنطقية (1). يحتوي الكود أسكي للأحرف الصغيرة في بته الخامس على القيمة المنطقية (1)، و(0) في حالة الأحرف الكبيرة (يبدأ ترقيم بتات الكود من اليمين إلى اليسار ويعطى للبت على أقصى اليمين الرقم 0). يمكن استعمال قناع بوضع القيم المنطقية (1)

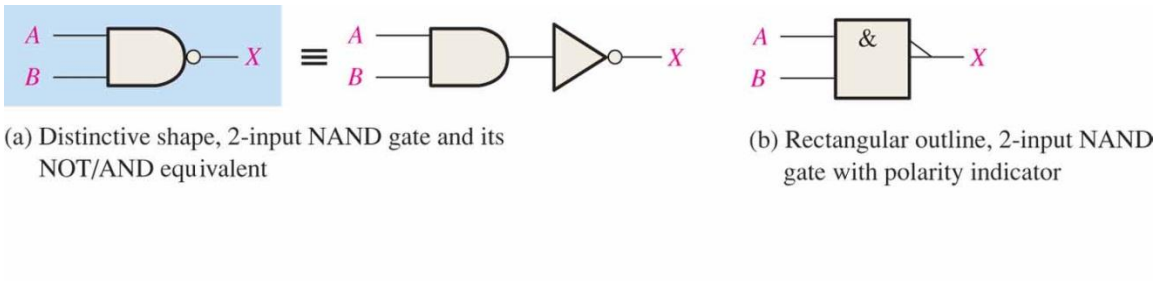
في الأماكن المراد تغيير قيمها إلى القيمة المنطقية (1)، ووضع القيم المنطقية (0) في الأماكن المراد المحافظة على قيمها الأصلية. إذا أجرينا جمعاً منطقياً بين كود الحرف الكبير والقناع (0 0 1 0 0 0 0 0)، نحصل على كود أسكي للحرف الصغير المقابل.

نفي الجداء المنطقي (NAND Gate)

تعطي بوابة نفي الجداء المنطقي على خرجها القيمة المنطقية (0) عندما تأخذ كل مداخلها القيمة المنطقية (1)، ويأخذ الخرج القيمة المنطقية (1) عندما يأخذ على الأقل أحد مداخلها القيمة المنطقية (0).

رمز بوابة نفي الجداء المنطقي (AND Gate Symbol)

يبين الشكل (11.4) رمزي بوابة نفي الجداء المنطقي.



(a) Distinctive shape, 2-input NAND gate and its NOT/AND equivalent

(b) Rectangular outline, 2-input NAND gate with polarity indicator

الشكل 11.4: رمزا بوابة نفي الجداء المنطقي: (a) رمز البوابة التقليدي لنفي الجداء المنطقي ومكافؤها بوابة الجداء المنطقي والعاكس، (b) رمز البوابة المستطيل مع إشارة النفي.

جدول الحقيقة لنفي الجداء المنطقي (NAND truth table)

يبين الشكل (12.4) جدول الحقيقة لبوابة نفي الجداء المنطقي بمدخلين.

Inputs (مداخل)	Output (مخرج)
A B	X
0 0	1
0 1	1
1 0	1
1 1	0

الشكل 12.4: جدول الحقيقة لبوابة نفي الجداء المنطقي بمدخلين.

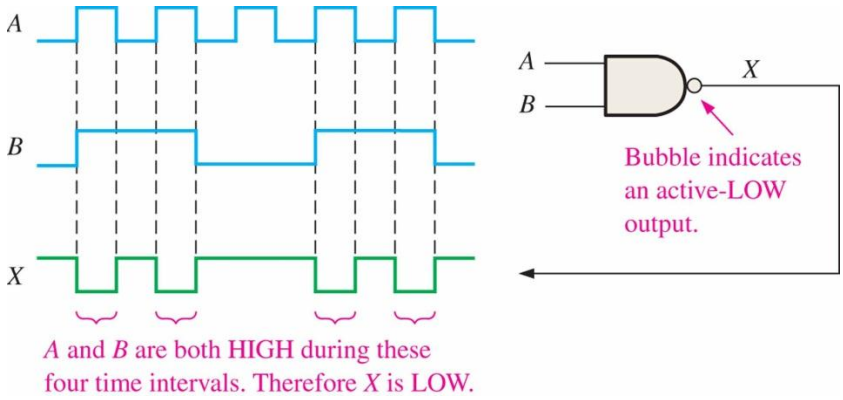
التابع المنطقي (Boolean expression)

يعطى التابع المنطقي لبوابة نفي الجداء المنطقي بمدخلين بالعلاقة المنطقية التالية:

$$X = \overline{A \cdot B}$$

مثال عن الإشارات الرقمية (Example waveforms)

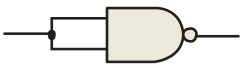
يبين الشكل (13.4) مخططاً زمنياً لإشارات الدخل والخرج لبوابة نفي الجداء المنطقي بمدخلين.



الشكل 13.4: المخطط الزمني لإشارات الدخل والخرج لبوابة نفي الجداء المنطقي بمدخلين.

مثال على تطبيقات بوابة الجداء المنطقي (Application Example)

بوابة نفي الجداء المنطقي بوابة مفيدة، خصوصاً لأنها بوابة عامة يمكن بناء البوابات المنطقية الرئيسة الثلاث منها، بالتالي يمكن بناء أي نظام منطقي من بوابات نفي الجداء المنطقي فقط. عندما نقصر مدخلي بوابة نفي الجداء المنطقي نحصل على بوابة العاكس (الشكل 14.4).



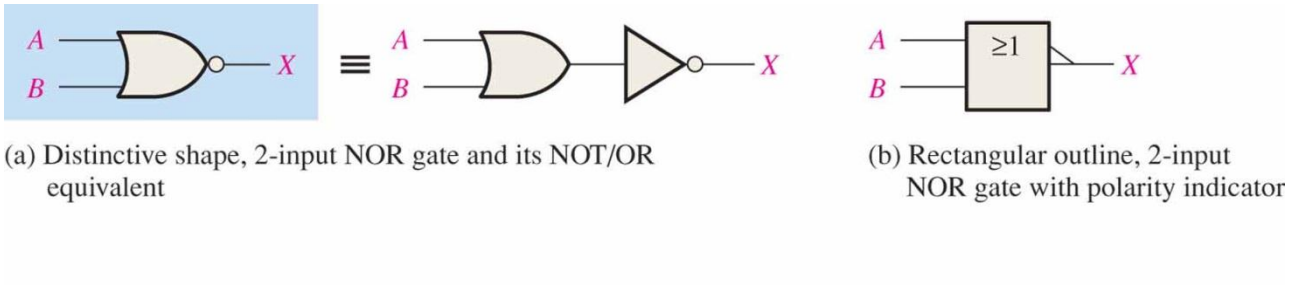
الشكل 14.4: بوابة نفي الجداء المنطقي بمدخلين المكافئة لبوابة العاكس.

نفي الجمع المنطقي (NOR Gate)

تعطي بوابة نفي الجمع المنطقي على خرجها القيمة المنطقية (1)، عندما تأخذ كل مداخلها القيمة المنطقية (0). ويأخذ الخرج القيمة المنطقية (1) عندما يأخذ على الأقل أحد مداخلها القيمة المنطقية (1).

رمز بوابة نفي الجمع المنطقي (NOR Gate Symbol)

يبين الشكل (15.4) رمزي بوابة نفي الجمع المنطقي.



(a) Distinctive shape, 2-input NOR gate and its NOT/OR equivalent

(b) Rectangular outline, 2-input NOR gate with polarity indicator

الشكل 15.4: رمزا بوابة نفي الجمع المنطقي: (a) رمز البوابة التقليدي، ومكافؤه المكون من بوابة الجمع والعاكس (b) رمز البوابة المستطيل مع إشارة النفي.

جدول الحقيقة لنفي الجمع المنطقي (NOR truth table)

يبين الشكل (16.4) جدول الحقيقة لبوابة نفي الجمع المنطقي بمدخلين.

Inputs (مداخل)	Output (مخرج)
A B	X
0 0	1
0 1	0
1 0	0
1 1	0

الشكل 16.4: جدول الحقيقة لبوابة نفي الجمع المنطقي بمدخلين.

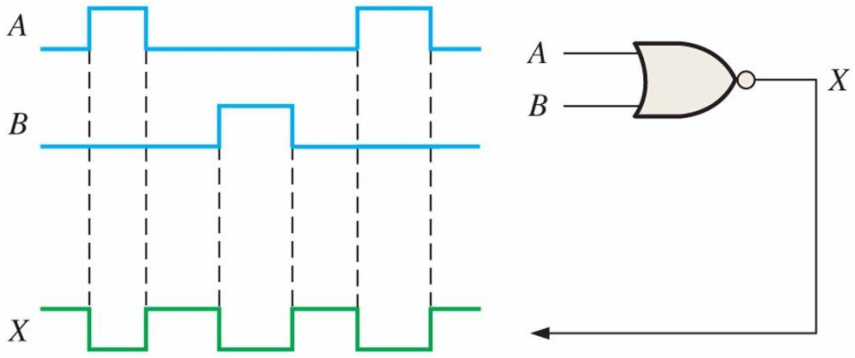
التابع المنطقي (Boolean expression)

يعطى التابع المنطقي لبوابة نفي الجمع المنطقي بمدخلين بالعلاقة المنطقية التالية:

$$X = \overline{A + B}$$

مثال عن الإشارات الرقمية (Example waveforms)

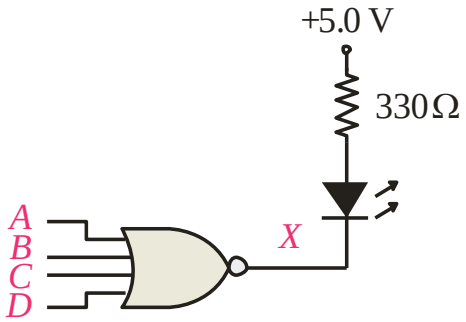
يبين الشكل (17.4) مخططاً زمنياً لإشارات الدخل والخرج لبوابة نفي الجمع المنطقي بمدخلين.



الشكل 17.4: المخطط الزمني لإشارات الدخل والخرج لبوابة نفي الجمع المنطقي بمدخلين.

مثال على تطبيقات بوابة الجمع المنطقي (Application Example)

يمكن استعمال عملية الجمع المنطقي وغيرها من البوابات المنطقية للتحكم في إضاءة وإطفاء الديودات الضوئية. يبين الشكل (18.4) دارة التحكم هذه باستعمال بوابة نفي الجمع بأربعة مداخل. يضاء الديود الضوئي عندما يأخذ أحد مداخل بوابة نفي الجمع المنطقي القيمة المنطقية (1).



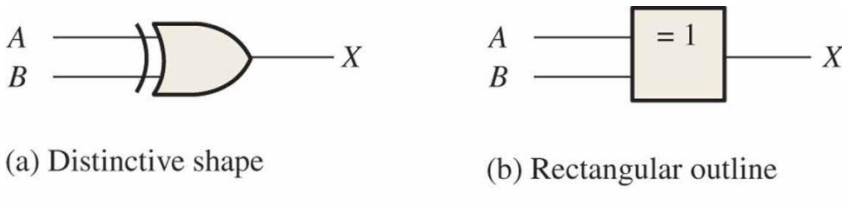
الشكل 18.4: بوابة نفي الجمع المنطقي بأربعة مداخل للتحكم بديود ضوئي.

التكافؤ المنطقي (XOR Gate)

تعطي بوابة التكافؤ المنطقي على خرجها القيمة المنطقية (0) عندما يتطابق مدخلاها، ويأخذ الخرج القيمة المنطقية (1) عندما يتعاكسان.

رمز بوابة التكافؤ المنطقي (XOR Gate Symbol)

يبين الشكل (19.4) رمزي بوابة التكافؤ المنطقي.



(a) Distinctive shape (b) Rectangular outline

الشكل 19.4: رمزا بوابة التكافؤ المنطقي: (a) رمز البوابة التقليدي، (b) رمز البوابة المستطيل.

جدول الحقيقة للتكافؤ المنطقي (XOR truth table)

يبين الشكل (20.4) جدول الحقيقة لبوابة التكافؤ المنطقي بمدخلين.

Inputs (مداخل)		Output (مخرج)
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

الشكل 20.4: جدول الحقيقة لبوابة التكافؤ المنطقي بمدخلين.

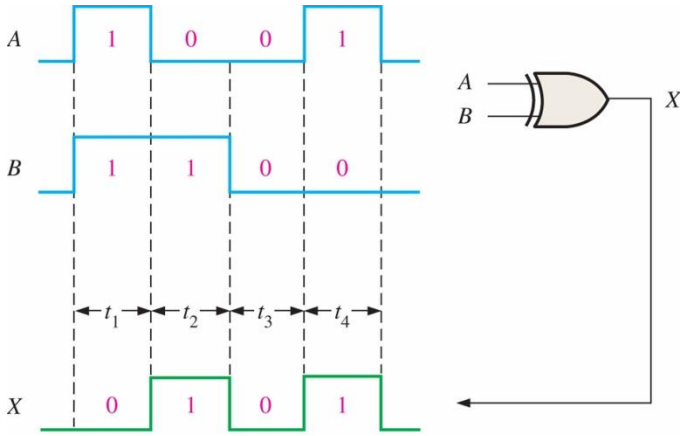
التابع المنطقي (Boolean expression)

يعطى التابع المنطقي لبوابة التكافؤ المنطقي بمدخلين بالعلاقة المنطقية التالية:

$$X = A \oplus B = A\overline{B} + \overline{A}B$$

مثال عن الإشارات الرقمية (Example waveforms)

يبين الشكل (21.4) مخططاً زمنياً لإشارات الدخل والخرج لبوابة التكافؤ المنطقي بمدخلين.



الشكل 21.4: المخطط الزمني لإشارات الدخل والخرج لبوابة التكافؤ المنطقي بمدخلين.

مثال على تطبيقات بوابة التكافؤ المنطقي (Application Example)

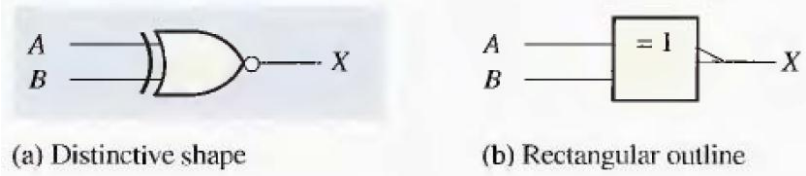
يمكن استعمال بوابة التكافؤ المنطقي بمدخلين كعاكس منطقي، عند إعطاء أحد المدخلين القيمة المنطقية (1)، يكون الخرج هو نفي المدخل الثاني.

نفي التكافؤ المنطقي (XNOR Gate)

تعطي بوابة نفي التكافؤ المنطقي على خرجها القيمة المنطقية (0)عندما يتعاكس مدخلاها، ويأخذ الخرج القيمة المنطقية (1) عندما يتطابقان.

رمز بوابة التكافؤ المنطقي (XOR Gate Symbol)

يبين الشكل (22.4) رمزي نفي بوابة التكافؤ المنطقي.



الشكل 22.4: رمزا نفي بوابة التكافؤ المنطقي: (a) رمز البوابة التقليدي (b) رمز البوابة المستطيل.

جدول الحقيقة لنفي التكافؤ المنطقي (XNOR truth table)

يبين الشكل (23.4) جدول الحقيقة لبوابة نفي التكافؤ المنطقي بمدخلين.

Inputs (مداخل)	Output (مخرج)
A B	X
0 0	1
0 1	0
1 0	0
1 1	1

الشكل 23.4: جدول الحقيقة لبوابة نفي التكافؤ المنطقي بمدخلين.

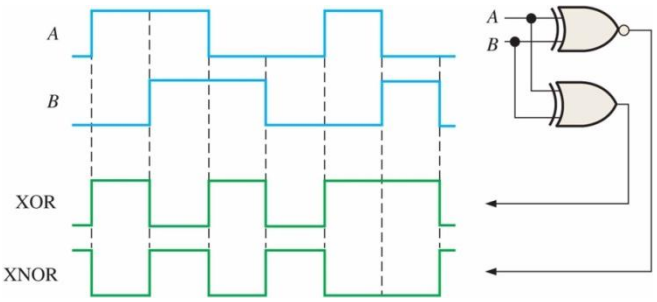
التابع المنطقي (Boolean expression)

يعطى التابع المنطقي لبوابة نفي التكافؤ المنطقي بمدخلين بالعلاقة المنطقية التالية:

$$X = A \odot B = \overline{A \oplus B} = \overline{A}\,\overline{B} + \overline{A}\,\overline{B} = AB + \overline{A}\,\overline{B}$$

مثال عن الإشارات الرقمية (Example waveforms)

يبين الشكل (24.4) مخططاً زمنياً لإشارات الدخل والخرج لبوابة نفي التكافؤ المنطقي بمدخلين.



الشكل 24.4: المخطط الزمني لإشارات الدخل والخرج لبوابة نفي التكافؤ المنطقي بمدخلين.

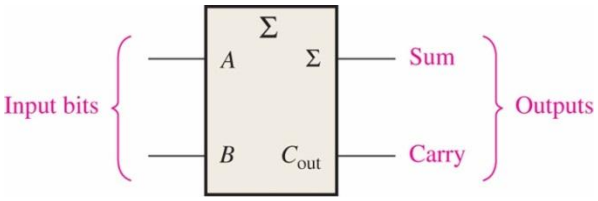
مثال على تطبيقات بوابة نفي التكافؤ المنطقي (Application Example)

يمكن استعمال بوابة نفي التكافؤ المنطقي بمدخلين كعاكس منطقي، عند إعطاء أحد المدخلين القيمة المنطقية (0)، يكون الخرج هو نفي المدخل الثاني.

2. دارة الجامع Adder circuit

دارة الجامع النصفي Half Adder

يمكن تنفيذ قواعد الجمع الرئيسة في النظام الإثناني باستعمال دارة الجامع النصفي. لهذا الجامع مدخلان (A) و(B) ومخرجان (C_{out}) و(Σ). يبين الشكل (25.4) المخطط الصندوقي لدارة الجامع النصفي، كما يبين الشكل (26.4) جدول الحقيقة لعمله.



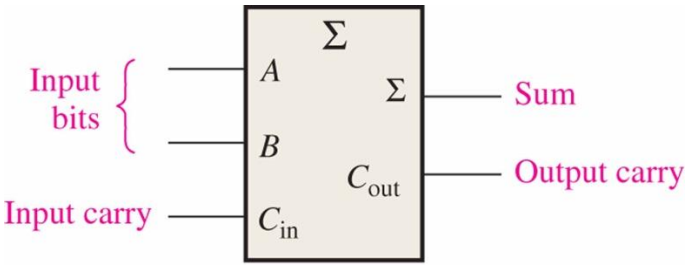
الشكل: 25.4المخطط الصندوقي لدارة الجامع النصفي.

Inputs (مداخل)		Outputs (مخارج)	
A	B	Cout	∑
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

الشكل 26.4: جدول الحقيقة لدارة الجامع النصفي.

دارة الجامع الكلي Full Adder

لدارة الجامع الكامل ثلاثة مداخل (A) و(B) و(C_{in})، ومخرجان (C_{out}) و (Σ). يبين الشكل (27.4) المخطط الصندوقي لدارة الجامع الكامل، كما يبين الشكل (28.4) جدول الحقيقة لعمله.



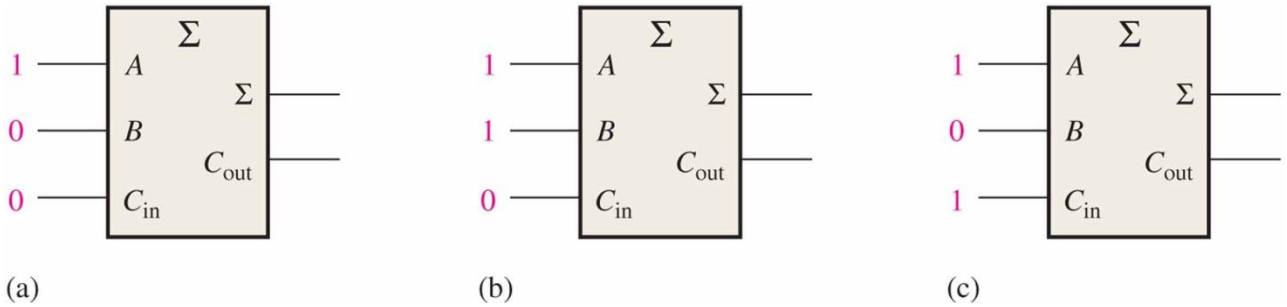
الشكل 27.4: المخطط الصندوقي لدارة الجامع الكامل.

Inputs (مداخل)			Outputs (مخارج)	
A	B	Cin	Cout	∑
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

الشكل 28.4 : جدول الحقيقة لدارة الجامع الكامل.

المثال 1.4

يطلب تحديد قيم مخارج دارات الجوامع المبينة في الشكل (29.4) وفقاً لمداخل كل منها والمحددة على نفس الشكل.



الشكل 29.4: ثلاث دارات للجامع الكامل.

الحل

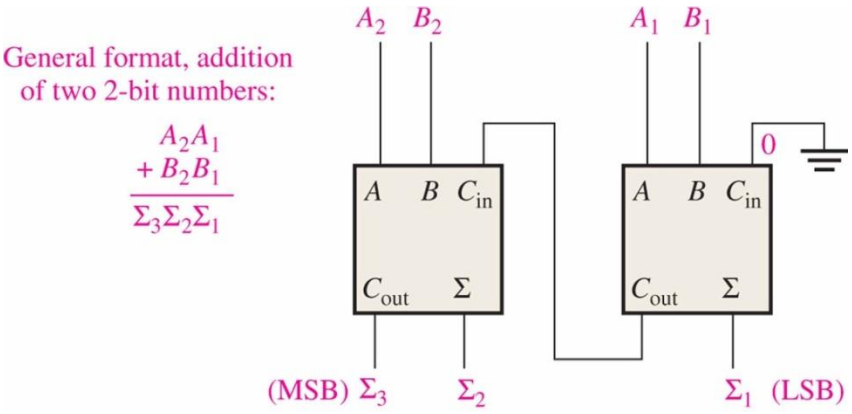
$$(a)\ The\ inputs\ are\ A=1,B=0,C_{in}=0 \Rightarrow \begin{matrix} A & & 1 \\ B & & 0 \\ C_{in} & + & 0 \\ - & - & - \\ & 0 & 1 \\ & C_{out} & \Sigma \end{matrix} \Rightarrow \Sigma=1,C_{out}=0$$

$$(b)\ The\ inputs\ are\ A=1,B=1,C_{in}=0 \Rightarrow \begin{matrix} A & & 1 \\ B & & 1 \\ C_{in} & + & 0 \\ - & - & - \\ & 1 & 0 \\ & C_{out} & \Sigma \end{matrix} \Rightarrow \Sigma=0,C_{out}=1$$

$$(c)\ The\ inputs\ are\ A=1,B=0,C_{in}=1 \Rightarrow \begin{matrix} A & & 1 \\ B & & 0 \\ C_{in} & + & 1 \\ - & - & - \\ & 1 & 0 \\ & C_{out} & \Sigma \end{matrix} \Rightarrow \Sigma=0,C_{out}=1$$

دارة الجامع التفرعي Parallel Adder

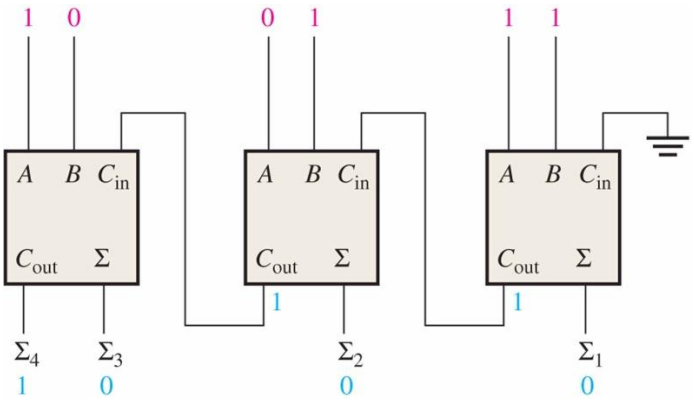
لجمع عددين كل منهما ببتين في النظام الإثناني نحتاج إلى جامعين كاملين، ولجمع عددين كل منهما بأربع بتات في النظام الإثناني نحتاج إلى أربعة جوامع كلية. سيجري ربط المنقول في الخرج (C_{out}) للمرحلة الأولى مع منقول الدخل (C_{in}) للمرحلة التالية كما هو موضح في الشكل (30.4) لدارة الجمع التفرعي الإثناني ببتين.



الشكل 30.4: المخطط الصندوقي لدارة الجامع التفرعي ببتين.

المثال 2.4

يطلب تحديد قيم مخارج دارة الجامع التفرعي لعددين كل منهما بثلاثة بتات والمبين في الشكل (31.4)، وتحديد قيم المنقول لكل مرحلة إذا كان العددان المطلوب جمعهما هما (1 0 1) و(0 1 1).



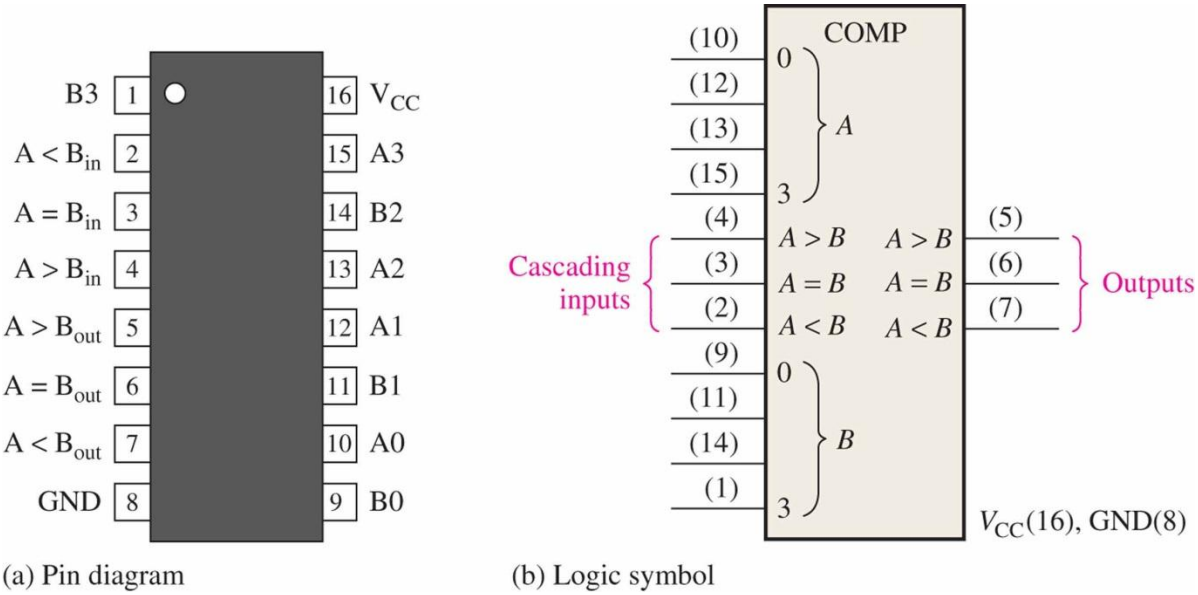
الشكل 31.4: ثلاث دارات للجامع الكامل.

الحل

$$\begin{array}{cccc} 1 & 1 & 1 & 0 \quad Carries \\ & 1 & 0 & 1 \quad A(3:1) \\ + & 0 & 1 & 1 \quad B(3:1) \\ - & - & - & - \\ 1 & 0 & 0 & 0 \quad \Sigma(4:1) \end{array}$$

3. دارة المقارن Comparator Circuit

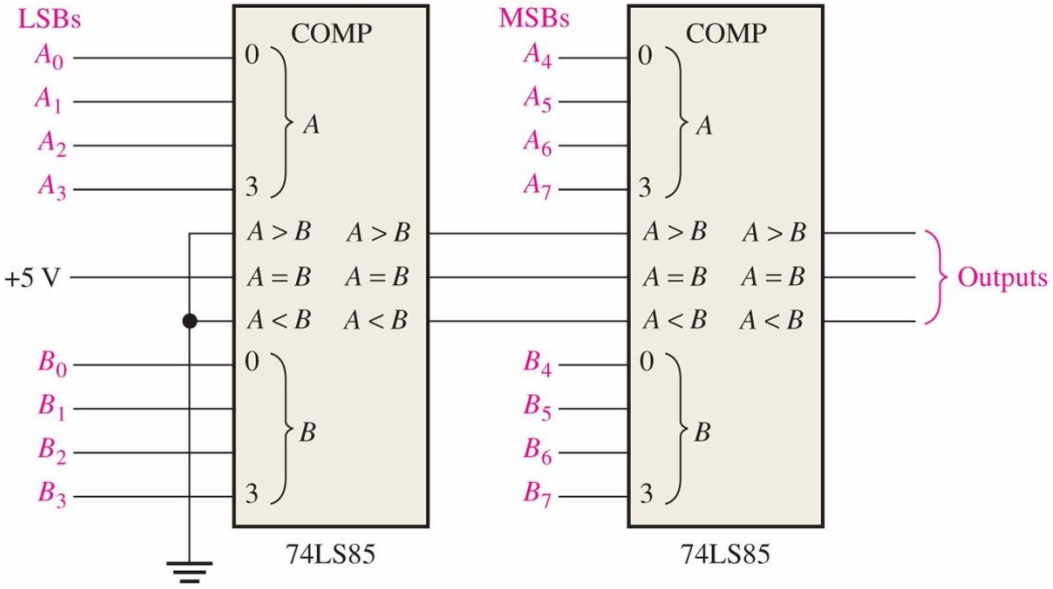
تتيح لنا دارة المقارن بمقارنة عددين في النظام الإثناني وتعطي على خرجها دلالات تشير إلى أن أحد العددين أكبر أو يساوي أو أصغر من العدد الثاني. يصمم عادة المقارن بتلك الصفات لبت واحد قابل للربط مع أمثاله لتشكيل مقارن على أي عدد من البتات. يبين الشكل (32.4) دارة مقارن لعددين (A) و(B) كل منهما بأربعة بتات.



الشكل 32.4: دارة مقارن عددين بأربعة بتات، (a) مخطط الأطراف، (b) المخطط الصندوقي.

للدارة ثلاثة مخارج: المخرج الأول ($A \succ B$) ويأخذ القيمة المنطقية (1) منفرداً عندما يكون العدد (A) أكبر من العدد (B)، والمخرج الثاني ($A = B$) ويأخذ القيمة المنطقية (1) منفرداً عندما يكون العدد (A) يساوي إلى العدد (B)، والمخرج الثالث ($A \prec B$) ويأخذ القيمة المنطقية (1) منفرداً عندما يكون العدد (A) أصغر من العدد (B). كما تتضمن الدارة ثلاثة مداخل ($A \succ B$) و($A = B$) و($A \prec B$) لربطها مع دارة مثيلة أو أكثر لمقارنة كلمات من المعطيات من مضاعفات ($4-bit$).

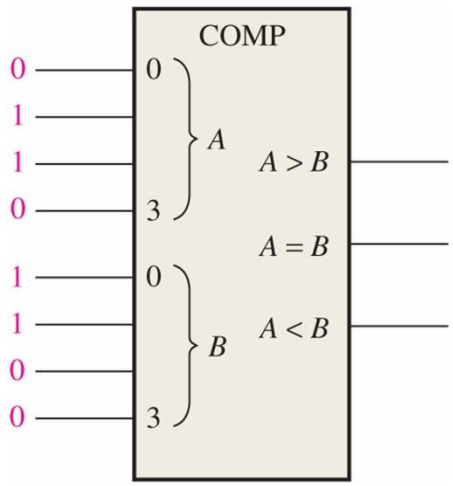
يبين الشكل (33.4) دارتي مقارن كل منهما بأربعة بتات موصولتين بعضهما مع بعض لتشكيل مقارن إجمالي بثمانية بتات.



الشكل 32.4: دارة مقارن عددين بثمانية بتات، مشكل من دارتي مقارن كل منهما بأربعة بتات.

المثال 3.4

يطلب تحديد قيم مخارج دارة المقارن بأربعة بتات $(A \succ B, A = B, A \prec B)$ والمبين في الشكل (33.4)، من أجل قيم الدخل المبينة على الشكل نفسه.



الشكل 33.4: ثلاث دارات للجامع الكامل.

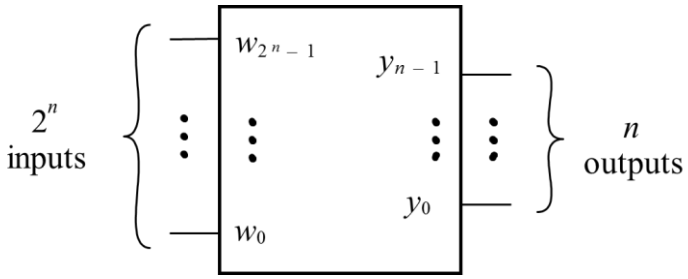
الحل

$$Inputs: A = 0\,1\,1\,0,\ B = 0\,0\,1\,1 \Rightarrow$$
$$Outputs: (A \succ B) = 1, (A = B) = 0, (A \prec B) = 0$$

4. دارة المرمز ودارة كشف الترميز Encoder and Decoder Circuits

دارة المرمز (Encoder)

يبين الشكل (34.4) مخططاً صندوقياً لدارة مرمز لها (2^n) مدخلاً إثنانياً و (n) مخرجاً إثنانياً. يكون أحد المداخل فعالاً في لحظة معينة، وهذا ما يبينه جدول الحقيقة لمرمز بأربعة مداخل $(2^n = 4 : w_3\ w_2\ w_1\ w_0)$ ومخرجان $(n = 2 : y_1\ y_0)$، والمبين في الشكل 35.4.



الشكل 34.4: المخطط الصندوقي لدارة مرمز.

w3	w2	w1	w0	y1	y0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

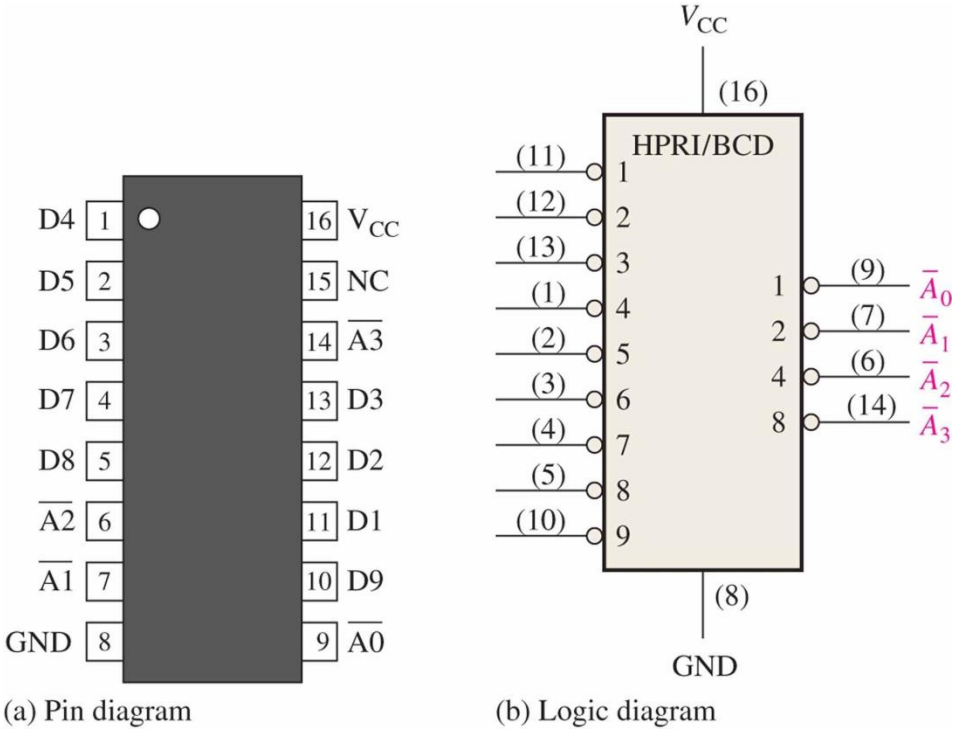
الشكل 35.4: جدول الحقيقة لمرمز بأربعة مداخل.

نلاحظ أن الخرج $(y = y_1\ y_0)$ هو لوغاريتم الدخل $(w = w_3\ w_2\ w_1\ w_0)$ للأساس (2).
يمكن أن يكون المرمز مرمزاً بأفضلية (priority encoder)، وهذا ما يبينه جدول الحقيقة لمرمز بأفضلية وبأربعة مداخل $(w_3\ w_2\ w_1\ w_0)$ ومخرجان $(y_1\ y_0)$، والمبين في الشكل 36.4.

w3	w2	w1	w0	y1	y0	z
0	0	0	0	–	–	0
0	0	0	1	0	0	1
0	0	1	–	0	1	1
0	1	–	–	1	0	1
1	–	–	–	1	1	1

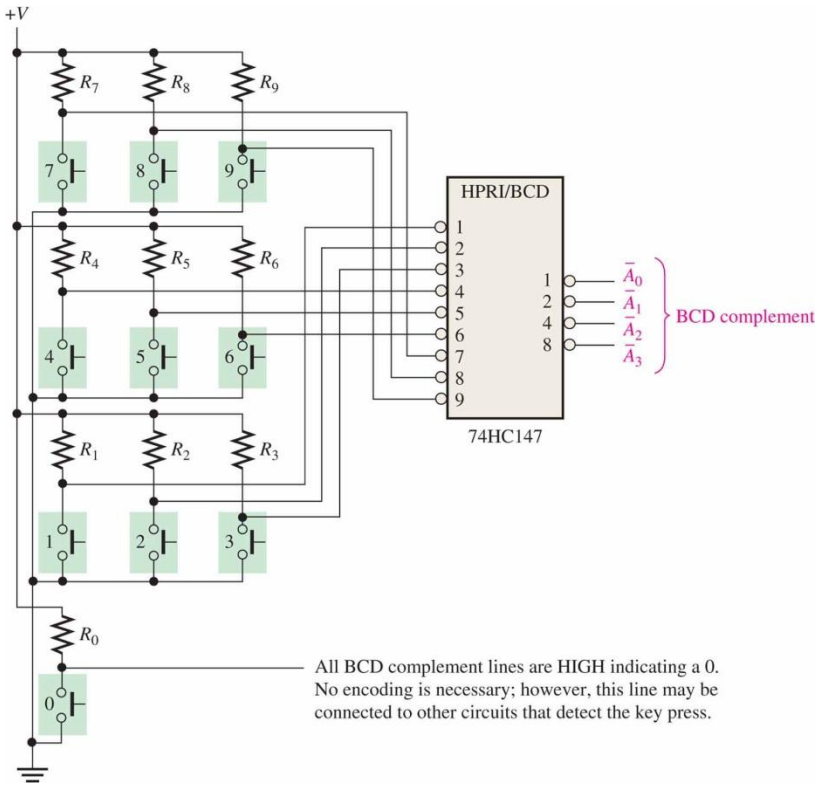
الشكل 36.4: جدول الحقيقة لمرمز بأفضلية وبأربعة مداخل.

يبين الشكل 37.4 مرمز عملي له تسعة مداخل $(1, 2, \ldots, 9)$ كل منها فعال على المستوى المنطقي المنخفض، وخرج (BCD) فعال على المستوى المنطقي المنخفض أيضاً.



الشكل 37.4: جدول الحقيقة لمرمز بأفضلية عملي.

يبين الشكل 38.4 تطبيقاً للمرمز العملي، وقد وصلت مداخله التسعة $(1, 2, ..., 9)$ إلى لوحة مفاتيح تمثل الأرقام العشرية $(1, 2, ..., 9)$ ويحول كل رقم إلى كود (BCD) معكوس.

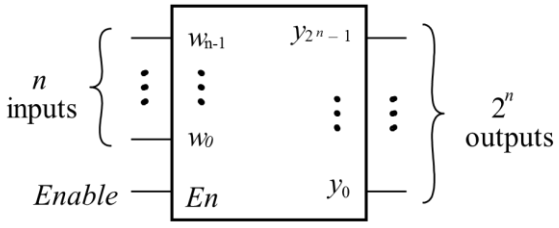


الشكل 38.4: ربط المرمز بلوحة مفاتيح.

- All BCD complement lines are HIGH indicating a 0. No encoding is necessary;) (this line may be connected to other circuits that detect the key press.،however عندما تأخذ كل خطوط الخرج المعكوسة، والتي تمثل صيغة (BCD)، المستوى المنطقي العالي تكون قيمة الخرج الفعلية (0). لا توجد حاجة للترميز، ومع ذلك، الخط الذي يمثل (0) يمكن وصله إلى دارات أخرى تكشف وضعه فيما إذا كان مفعلاً أم لا.

دارة كاشف الترميز (Decoder)

يبين الشكل (39.4) مخططاً صندوقياً لدارة كاشف ترميز لها (n) مدخلاً و(2^n) مخرجاً. يكون مخرج واحد فعالاً في لحظة معينة، وهذا ما يبينه جدول الحقيقة لدارة كاشف الترميز بمدخلين ($w_1\ w_0$) ومدخل تأهيل (En)، وأربعة مخارج ($y_3\ y_2\ y_1\ y_0$)، والمبين في الشكل 40.4.



الشكل 39.4: المخطط الصندوقي لدارة كاشف الترميز.

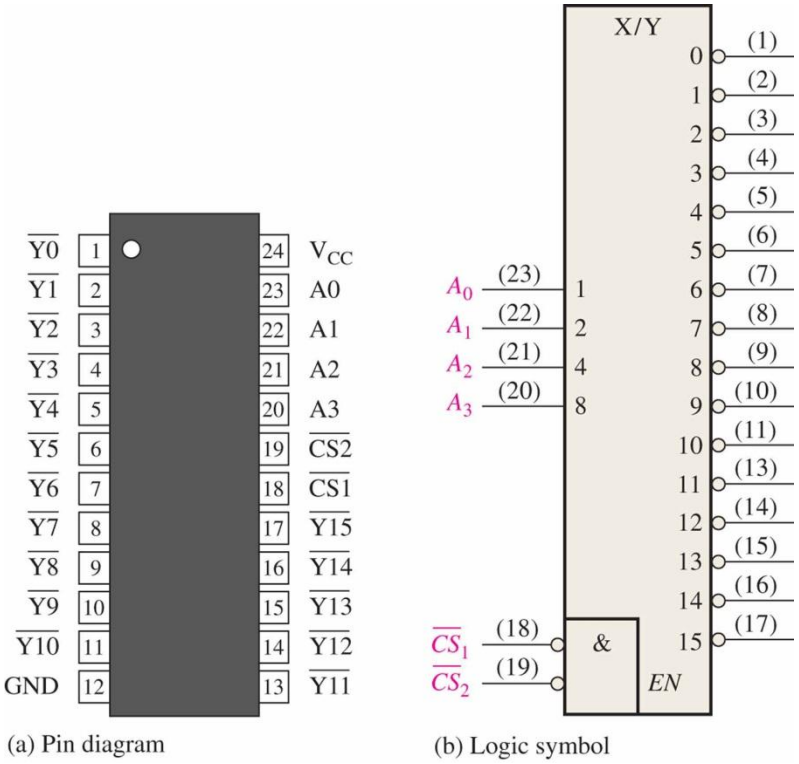
En	w1	w0	y3	y2	y1	y0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0
0	–	–	0	0	0	0

الشكل 40.4: جدول الحقيقة لدارة كاشف الترميز بمدخلين.

في حالة $(En = 1)$ وهو مدخل تأهيل الدارة، نلاحظ أن الخرج في السطر الأول $(y = 0\,0\,0\,1)$ يقابل الدخل $(w = 0\,0)$، أي أن الخانة رقم (0) أخذت القيمة المنطقية (1). وفي السطر الثاني يقابل الخرج $(y = 0\,0\,1\,0)$ الدخل $(w = 0\,1)$، أي أن الخانة رقم (1) أخذت القيمة المنطقية (1). يعطي الدخل $(w = 1\,0)$ في السطر الثالث خرجاً $(y = 0\,1\,0\,0)$، أي أن الخانة رقم (2) أخذت القيمة المنطقية (1). يقابل الخرج في السطر الرابع $(y = 1\,0\,0\,0)$ الدخل $(w = 1\,1)$، أي أن الخانة رقم (3) أخذت القيمة المنطقية (1).

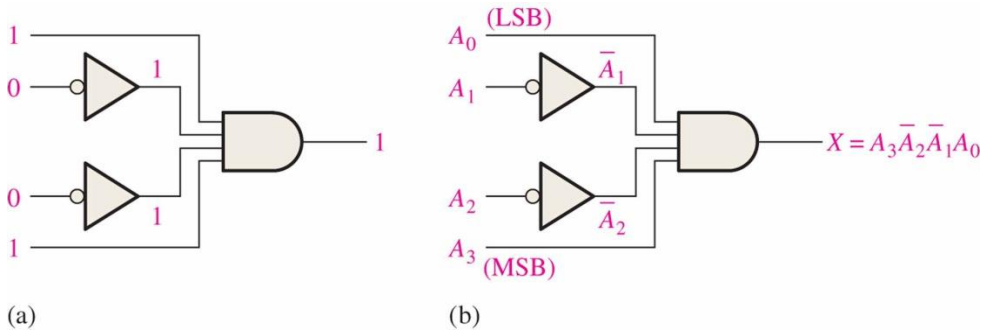
وفي حالة $(En = 0)$ يقابل الخرج في السطر الخامس $(y = 0\,0\,0\,0)$ الدخل $(w = - -)$.

يبين الشكل 41.4 المخطط الصندوقي وتوزع الأطراف لدارة كشف ترميز من النظام الإثنائي إلى النظام العشري (4-to-16 decoder). للدارة أربعة مداخل اثنانية $(A_3\ A_2\ A_1\ A_0)$ تأخذ القيم من $(0\,0\,0\,0)$ إلى $(1\,1\,1\,1)$، ومخارج فعالة على المستوى المنطقي المنخفض $(0, 1, \ldots, 15)$، كما يوجد مدخلان لتأهيل الدارة $(\overline{CS_1}, \overline{CS_0})$، فعالين على المستوى المنخفض.



الشكل 41.4: مخطط صندوقي ونوزع الأطراف لدارة كاشف ترميز اثناني/عشري.

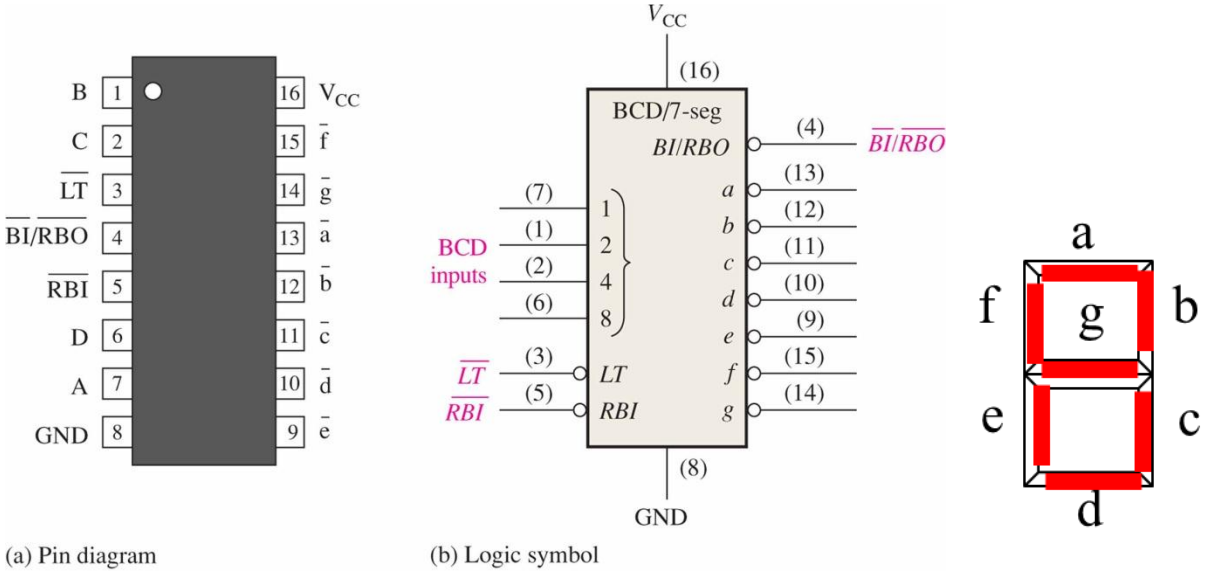
يبين الشكل 42.4 تطبيقاً لكاشف ترميز يكشف وجود قيمة محددة على دخله وهي هنا العدد الإثناني (1001)، ويعطي على خرجه القيمة المنطقية (1).



الشكل 42.4: كاشف ترميز لقيمة عددية في النظام الإثناني.

يبين الشكل 43.4 تطبيقاً آخر لكاشف ترميز يحول العدد في صيغة (BCD) إلى وحدة إظهار سباعية لإظهار الرقم العشري عليها، ومخارجها فعالة على المستوى المنطقي المنخفض. للدارة مدخل (BCD) هو $(DCBA)$، ومدخل $(\overline{LT})$ فعال على المستوي المنخفض، ويستعمل لاختبار المقاطع السبعة المضيئة لوحدة الإظهار، ومدخل $(\overline{RBI})$

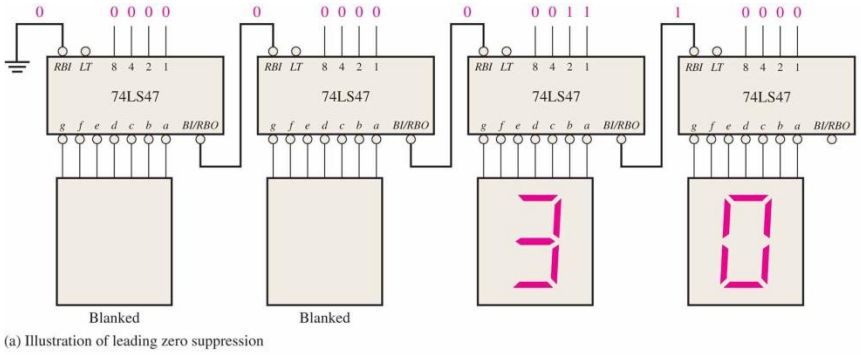
فعال على المستوي المنخفض، ويستعمل مع المدخل/المخرج ($\overline{BI}$ / $\overline{RBO}$) الفعال على المستوى المنخفض أيضاً لإطفاء الأصفار على يسار الجزء الصحيح من العدد، أو الأصفار على يمين الجزء العشري (الكسري) منه.



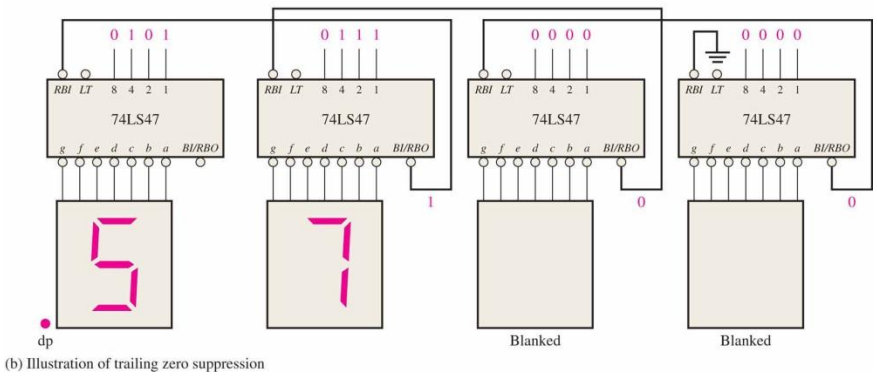
(a) Pin diagram (b) Logic symbol

الشكل 43.4: كاشف ترميز من رقم (BCD) إلى وحدة إظهار سباعية.

يبين الشكل 44.4 ربط عدد من كواشف الترميز إلى عدد من وحدات الإظهار السباعية لإظهار عدد حقيقي عشري جزؤه الصحيح ممثل على أربع مراتب عشرية، وجزؤه الكسري ممثل أيضاً على أربع مراتب عشرية.



(a) Illustration of leading zero suppression



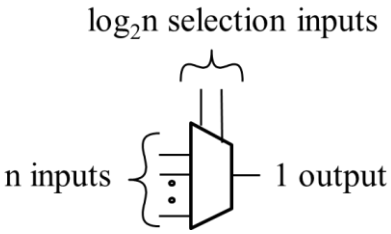
(b) Illustration of trailing zero suppression

الشكل 44.4: ربط كواشف الترميز مع وحدات إظهار سباعية.

5. دارة الناخب، ودارة الناخب العكسي Multiplexer and Demultiplexer Circuits

دارة الناخب (Multiplexer)

يبين الشكل (45.4) مخططاً صندوقياً لدارة الناخب، ولها (n) مدخلاً ومخرجاً واحداً، بالإضافة إلى مداخل انتخاب عددها ($\log_2(n)$). يأخذ الخرج قيمة أحد المداخل الممكنة والتي يحددها مدخل الانتخاب، وهذا ما يبينه جدول الحقيقة لدارة الناخب بأربعة مداخل ($w_3\ w_2\ w_1\ w_0$) ومدخلي انتخاب ($S_1\ S_0$)، ومخرجاً واحداً (f)، والمبين في الشكل 46.4.



الشكل 45.4: المخطط الصندوقي لدارة الناخب.

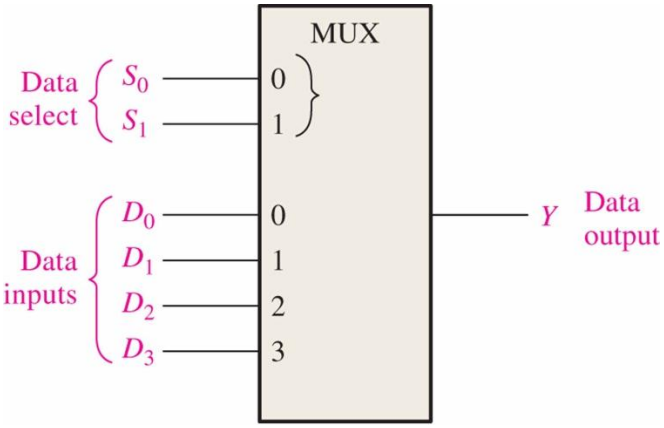
S1	S0	f
0	0	w0
0	1	w1
1	0	w2
1	1	w3

الشكل 46.4: جدول الحقيقة لدارة الناخب.

نلاحظ أن الخرج في السطر الأول ($f = w_0$) يقابل الدخل ($S_1\ S_0 = 0\ 0$). وفي السطر الثاني، يقابل الخرج ($f = w_1$) الدخل ($S_1\ S_0 = 0\ 1$). وفي السطر الثالث، يعطي الدخل ($S_1\ S_0 = 1\ 0$) خرجاً ($f = w_2$). ويقابل الخرج في السطر الرابع ($f = w_3$) الدخل ($S_1\ S_0 = 1\ 1$).

المثال 4.4

يختار الناخب خط معطيات واحد من عدة خطوط متاحة في دخله، يحدده مدخل التحكم. نفترض في الشكل (47.4) ناخباً بأربع خطوط معطيات في الدخل ($D_3\ D_2\ D_1\ D_0$)، وخطي انتخاب ($S_1\ S_0$)، ومخرج واحد ($Data\ output$). إذا كان مدخل الانتخاب ($S_1\ S_0 = 1\ 0$)، فما هو المدخل الذي يظهر على مخرجه؟



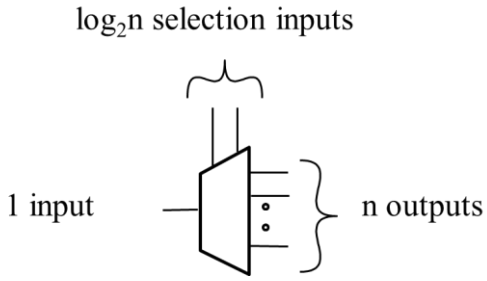
الشكل 47.4: دارة ناخب بأربع خطوط معطيات.

الحل

$$Data\ select: S_1\ S_0 = 1\ 0 \Rightarrow Data\ output = D_2$$

دارة الناخب العكسي (DeMultiplexer)

يبين الشكل (48.4) مخططاً صندوقياً لدارة الناخب العكسي، لها مدخلاً واحداً، و (n) مخرجاً ومداخل انتخاب عددها $(\log_2(n))$. يأخذ الخرج المحدد بمداخل الانتخاب قيمة المدخل الوحيد، وهذا ما يبينه جدول الحقيقة لدارة الناخب العكسي بأربعة مخارج $(w_3\ w_2\ w_1\ w_0)$ ومدخلي انتخاب $(S_1\ S_0)$، ومخرجاً واحداً (f)، والمبين في الشكل 49.4.



الشكل 48.4: المخطط الصندوقي لدارة الناخب العكسي.

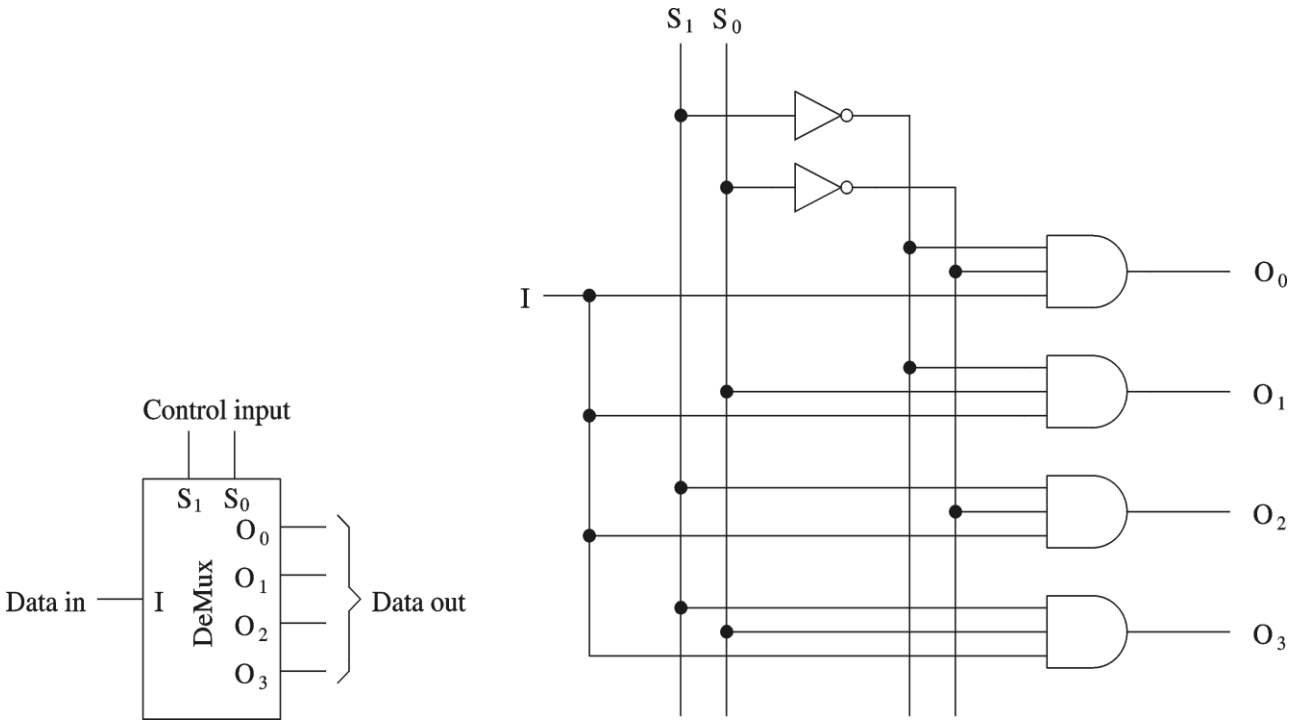
S1	S0	O3	O2	O1	O0
0	0	0	0	0	Data in
0	1	0	0	Data in	0
1	0	0	Data in		
1	1	Data in	0	0	0

الشكل 49.4: جدول الحقيقة لدارة الناخب العكسي.

لنلاحظ أن الخرج في السطر الأول ($O_0 = Data\ in$) يحدده مدخل الانتخاب ($S_1\ S_0 = 0\ 0$). وفي السطر الثاني، يحدد الخرج ($O_1 = Data\ in$) مدخل الانتخاب ($S_1\ S_0 = 0\ 1$). وفي السطر الثالث، يحدد مدخل الانتخاب ($S_1\ S_0 = 1\ 0$) الخرج ($O_2 = Data\ in$). وأخيراً يحدد الخرج في السطر الرابع ($O_3 = Data\ in$) مدخل الانتخاب ($S_1\ S_0 = 1\ 1$).

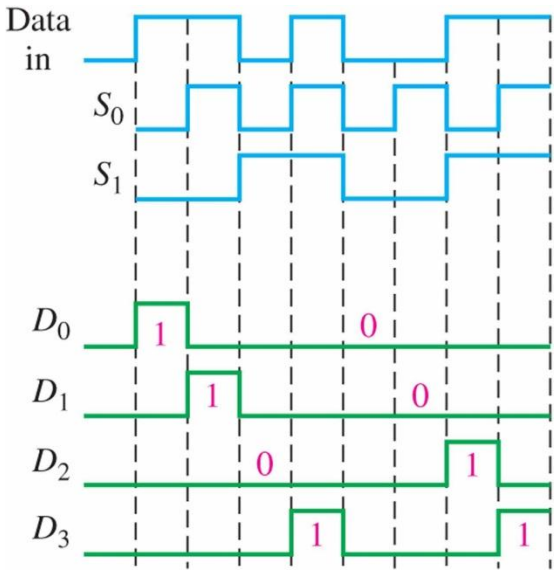
المثال 4.4

يحدد الناخب العكسي بواسطة خطوط الانتخاب الخرج المناسب الذي ينقل قيم الدخل الوحيد. نفترض في الشكل (50.4) ناخباً عكسياً بأربعة مخارج ($D_3\ D_2\ D_1\ D_0$)، ومدخلي انتخاب ($S_1\ S_0$)، ومدخل وحيد للمعطيات (*Data input*). يطلب تحديد إشارات الخرج الأربع وفقاً لإشارة مدخل المعطيات، وإشارتي مدخلي الانتخاب.



الشكل 50.4: دارة ناخب عكسي بأربع خطوط معطيات للخرج.

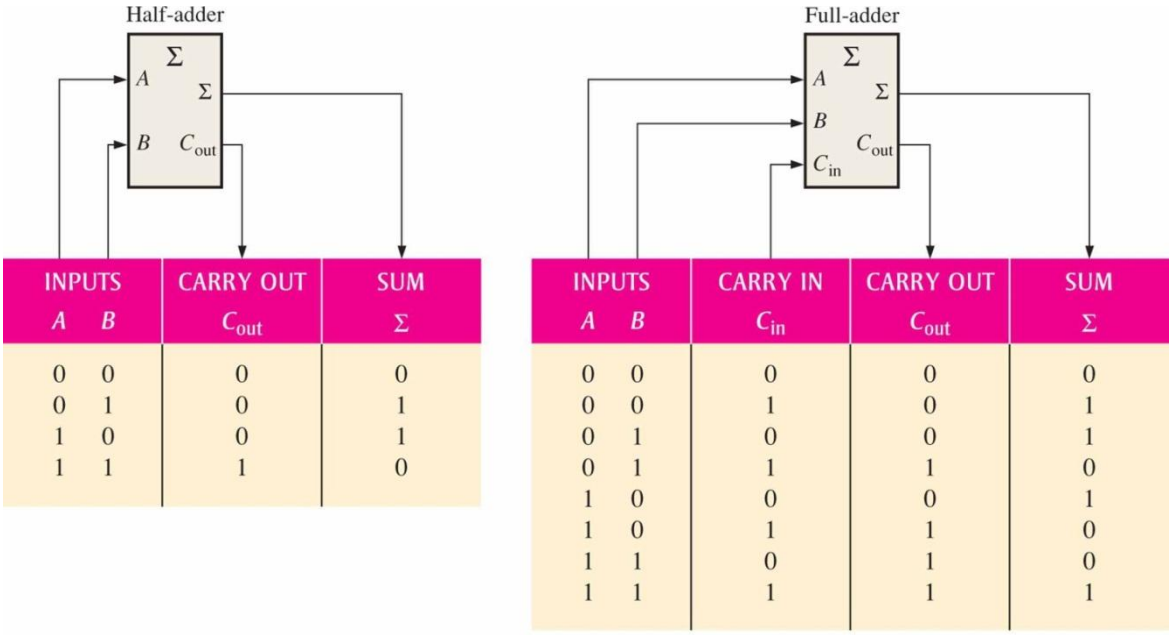
الحل



6. خلاصة Summary

1. الجامع النصفي (Half–adder) هو دارة منطقية تجمع بتين وتعطي مخرجاً هو ناتج الجمع، ومخرجاً يمثل المنقول.
2. الجامع الكامل (Full–adder) هو دارة منطقية تجمع بتين مع المنقول في الدخل وتعطي مخرجاً هو ناتج الجمع، ومخرجاً يمثل المنقول.

يلخص الشكل (51.4) عمل الجامع النصفي والجامع الكامل.



INPUTS A	INPUTS B	CARRY OUT C_{out}	SUM Σ
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

INPUTS A	INPUTS B	CARRY IN C_{in}	CARRY OUT C_{out}	SUM Σ
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

الشكل (51.4): عمل الجامع النصفي والجامع الكامل.

3. المقارن (Comparator) هو دارة منطقية تقارن بين عددين اثنانيين في الدخل، وتعطي ثلاثة مخارج يكون أحدها فعالاً وفقاً لقيمتي العددين على المدخل. تحدد دارة المقارن فيما إذا كان العددان متساويين أو أحدهما أكبر أو أصغر من الآخر.
4. المرمز (Encoder) هو دارة منطقية لها (2^n)دخلاً، وتعطي (n) مخرجاً. يكون أحد المداخل فعالاً ويكون الخرج هو لوغاريتم الدخل للأساس (2). كمثال على دارة المرمز، الدارة التي ترمز أرقام لوحة الإدخال الرقمية العشرية وتعطي الترميز (BCD) على الخرج المقابل لكل مفتاح.
5. كاشف الترميز (Decoder) هو دارة منطقية لها (n) دخلاً، وتعطي (2^n) مخرجاً. يكون أحد المداخل فعالاً ويكون الخرج هو لوغاريتم الدخل للأساس (2). كمثال على دارة كاشف الترميز، الدارة التي تحول الترميز (BCD) إلى وحدة إظهار سباعية لإظهار الأرقام العشرية المقابلة.
6. الناخب (Multiplexer) هو دارة منطقية لها (n) دخلاً، ومخرجاً واحداً ينقل معطيات أحد المداخل إلى الخرج وفقاً لقيمة مداخل الانتخاب التي عددها هو لوغاريتم عدد المداخل للأساس (2).
7. الناخب العكسي (Demultiplexer) هو دارة منطقية لها دخلاً واحداً، يجري نقله إلى أحد المخارج التي عددها (n) مخرجاً، وفقاً لقيمة مداخل الانتخاب التي عددها هو لوغاريتم عدد المخارج للأساس (2).

أسئلة ومسائل الفصل الرابع Questions and Problems

أسئلة الفصل الرابع

اختر الإجابة الصحيحة

1. يتسم الجامع النصفي:

a) بمدخلين ومخرجين

b) بثلاثة مداخل ومخرجين

c) بمدخلين وثلاثة مخارج

d) بمدخلين ومخرج واحد

2. يتسم الجامع الكامل:

a) بمدخلين ومخرجين

b) بثلاثة مداخل ومخرجين

c) بمدخلين وثلاثة مخارج

d) بمدخلين ومخرج واحد

3. يعطي الجامع الكامل، الذي تأخذ مداخله القيم $(A=1,\ B=1,\ C_{in}=0)$، قيمتي الخرجين التاليتين:

a) $(\Sigma=1,\ C_{out}=1)$

b) $(\Sigma=1,\ C_{out}=0)$

c) $(\Sigma=0,\ C_{out}=1)$

d) $(\Sigma=0,\ C_{out}=0)$.

4. يعطي مقارن مدخلاه $(A=1\,0\,1\,1,\ B=1\,0\,0\,1)$، المخارج التالية:

a) $((A\succ B)=0,(A\prec B)=1\ (A=B)=0)$

b) $((A\succ B)=1,(A\prec B)=0\ (A=B)=0)$

c) $((A\succ B)=1,(A\prec B)=1\ (A=B)=0)$

d) $((A\succ B)=0,(A\prec B)=0\ (A=B)=1)$.

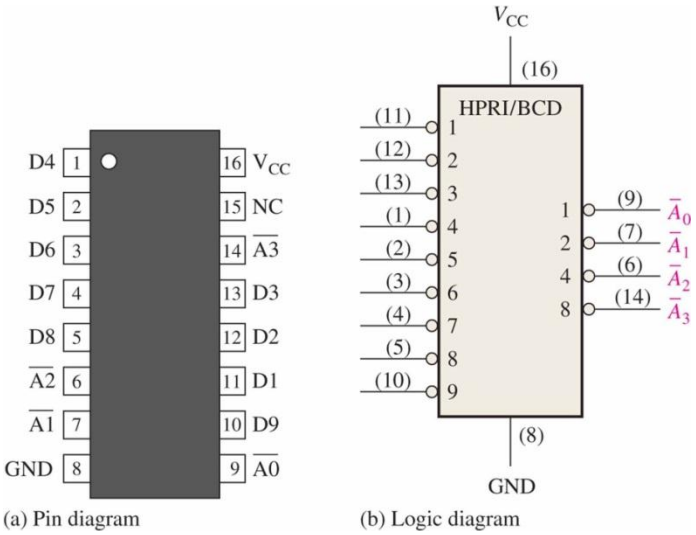
5. يبين الشكل (52.4) دارة مرمز بأفضلية عشري–BCD، بفرض أن كلاً من المدخلين رقم (3)، ورقم (1) يأخذان القيمة المنطقية العالية، يكون خرجه:

(a $\left(\overline{A_3}\ \overline{A_2}\ \overline{A_1}\ \overline{A_0}\right) = 0\,1\,1\,0$)

(b $\left(\overline{A_3}\ \overline{A_2}\ \overline{A_1}\ \overline{A_0}\right) = 0\,1\,1\,1$)

(c $\left(\overline{A_3}\ \overline{A_2}\ \overline{A_1}\ \overline{A_0}\right) = 1\,1\,1\,0$)

(d $\left(\overline{A_3}\ \overline{A_2}\ \overline{A_1}\ \overline{A_0}\right) = 1\,0\,0\,1$)



الشكل (52.4).

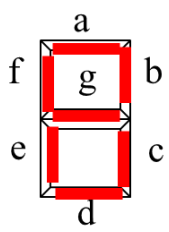
6. يبين الشكل (53.4) كاشف ترميز BCD إلى وحدة إظهار سباعية. وبفرض أن مدخله $(0\,1\,0\,0)$، يكون خرجه:

(a (a, c, f, g))

(b (b, c, f, g))

(c (b, c, e, f))

(d (b, d, e, g)).



الشكل (53.4)

7. للناخب بشكل عام:

a) مدخل وحيد وعدة مخارج ومداخل انتخاب

b) مدخل وحيد ومخرج وحيد ومدخل انتخاب وحيد

c) عدة مداخل وعدة مخارج ومداخل انتخاب

d) عدة مداخل ومخرج وحيد ومداخل انتخاب

8. ناخب المعطيات هو أساساً نفس دارة:

a) كاشف الترميز

b) الناخب العكسي

c) الناخب

d) المرمز

9. الجامع النصفي الذي خرجه $(\Sigma = 1, C_{out} = 0)$ يكون مدخلاه:

a) $(A = 1, B = 0)$

b) $(A = 1, B = 0)$

c) $(a, and\ b)$

d) $(A = 1, B = 1)$

10. الجامع الكامل الذي خرجه $(\Sigma = 1, C_{out} = 1)$ يكون مدخلاه:

a) $(A = 1, B = 0, C_{in} = 0)$

b) $(A = 0, B = 0, C_{in} = 0)$

c) $(A = 1, B = 0, C_{in} = 1)$

d) $(A = 1, B = 1, C_{in} = 1)$

Ans 1 (a)، 2 (b)، 3 (c)، 4 (b)، 5 (d)، 6 (b)، 7 (d)، 8 (c)، 9 (c)، 10 (d).

أسئلة الفصل الرابع	الإجابة الصحيحة
1	a
2	b
3	c
4	b
5	d
6	b
7	d
8	c
9	c
10	d

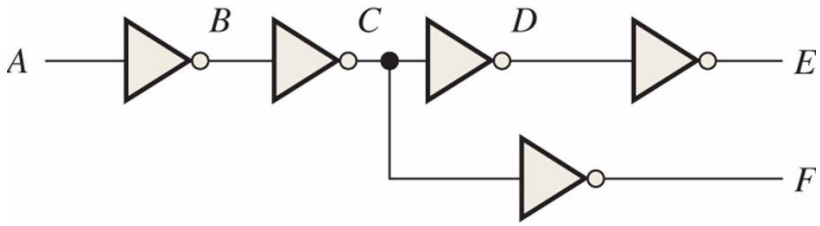
مسائل الفصل الرابع

1. تطبق الإشارة المبينة في الشكل (54.4) على مدخل عاكس، ارسم إشارة خرجه الموافقة لإشارة مدخله.

الشكل (54.4): إشارة مدخل عاكس.

Ans.

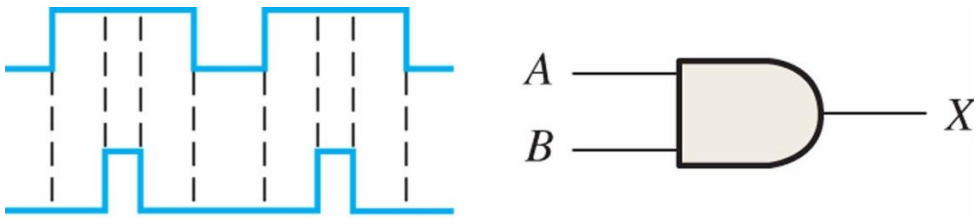
2. يبين الشكل (55.4) شبكة عواكس موصولة فيما بينها. إذا طبق على الطرف (A) المستوى المنطقي العالي، حدد المستويات المنطقية عند النقاط (B) إلى (F).



الشكل (55.4): شبكة عواكس.

Ans.

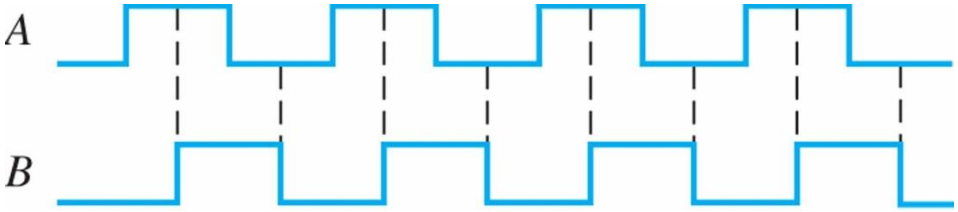
3. ارسم إشارة الخرج (X) لبوابة الجداء المنطقي الموافقة لإشارتي المدخلين المبينتين في الشكل (56.4).



الشكل (56.4): إشارتا مدخلي بوابة الجداء المنطقي.

Ans.

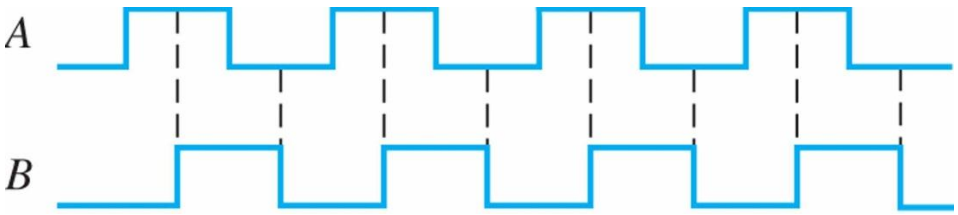
4. ارسم إشارة الخرج (X) لبوابة الجداء المنطقي الموافقة لإشارتي المدخلين المبينتين في الشكل (57.4).



الشكل (57.4): إشارتا مدخلي بوابة الجداء المنطقي.

Ans.

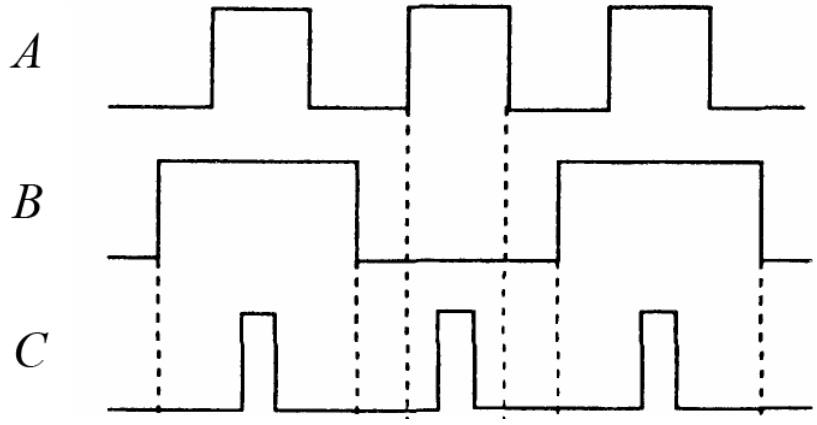
5. ارسم إشارة الخرج (X) لبوابة الجداء المنطقي الموافقة لإشارتي المدخلين المبينتين في الشكل (58.4).



الشكل (58.4): إشارتا مدخلي بوابة الجمع المنطقي.

Ans.

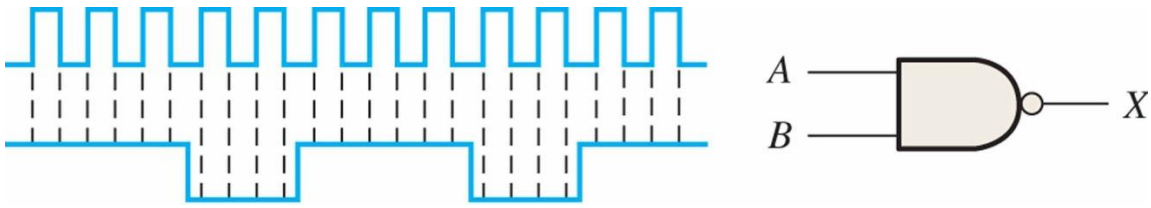
6. ارسم إشارة الخرج (X) لبوابة الجمع المنطقي بثلاثة مداخل الموافقة لإشارات مداخلها والمبينة في الشكل (59.4).



الشكل (59.4): إشارات مداخل بوابة الجمع المنطقي.

Ans

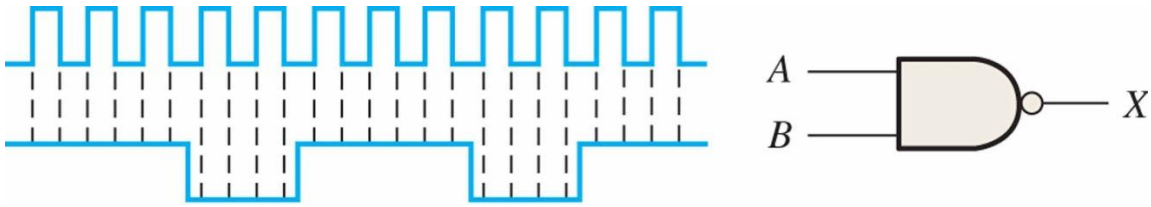
7. ارسم إشارة الخرج (X) لبوابة نفي الجداء المنطقي الموافقة لإشارتي المدخلين المبينتين في الشكل (60.4).



الشكل (60.4): إشارتا مدخلي بوابة نفي الجداء المنطقي.

Ans

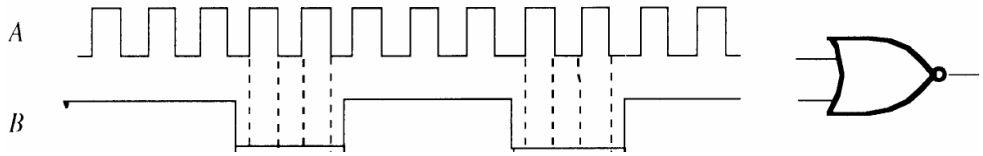
8. ارسم إشارة الخرج (X) لبوابة نفي الجداء المنطقي بثلاثة مداخل الموافقة لإشارات مداخلها والمبينة في الشكل (61.4).



الشكل (61.4): إشارات مداخل بوابة نفي الجداء المنطقي.

Ans

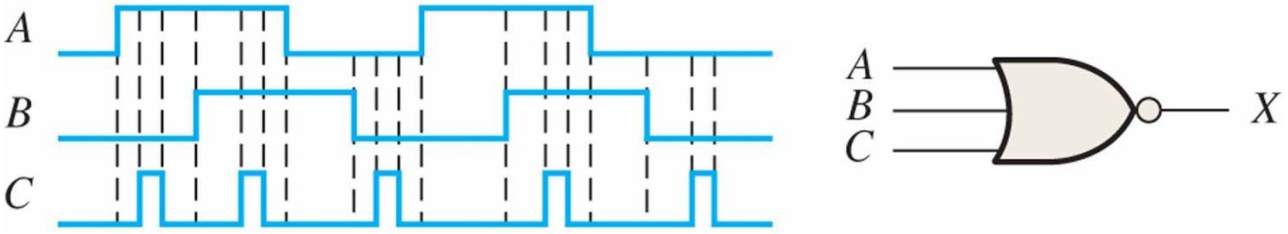
9. ارسم إشارة الخرج (X) لبوابة نفي الجمع المنطقي الموافقة لإشارتي المدخلين المبينتين في الشكل (62.4).



الشكل (62.4): إشارتا مدخلي بوابة نفي الجمع المنطقي.

Ans

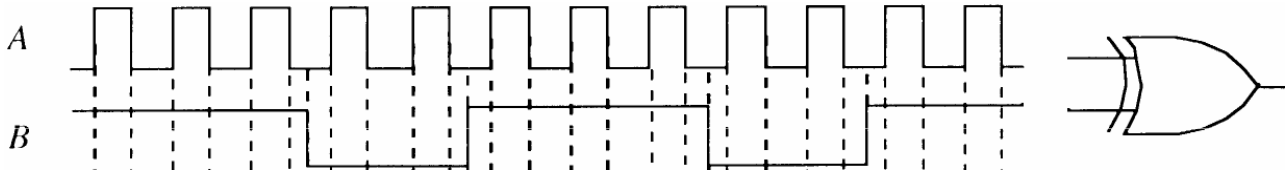
10. ارسم إشارة الخرج (X) لبوابة نفي الجمع المنطقي بثلاثة مداخل الموافقة لإشارات مداخلها والمبينة في الشكل (63.4).



الشكل (63.4): إشارات مداخل بوابة نفي الجمع المنطقي.

Ans

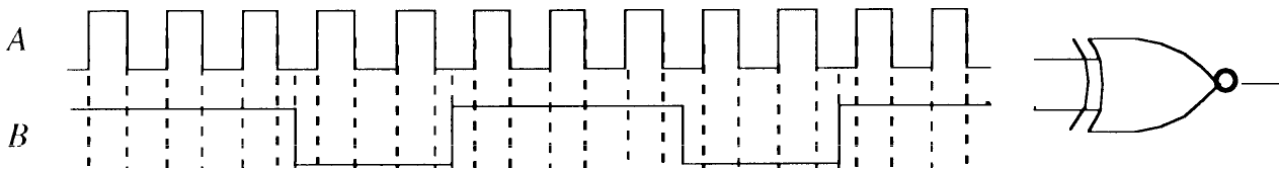
11. ارسم إشارة الخرج (X) لبوابة التكافؤ المنطقي الموافقة لإشارتي المدخلين المبينتين في الشكل (64.4).



الشكل (64.4): إشارتا مدخلي بوابة التكافؤ المنطقي.

Ans

12. ارسم إشارة الخرج (X) لبوابة نفي التكافؤ المنطقي الموافقة لإشارتي المدخلين المبينتين في الشكل (65.4).



الشكل (65.4): إشارتا مدخلي بوابة نفي التكافؤ المنطقي.

Ans.

13. حدد كل قيم مداخل دارة الجامع الكامل الممكنة (A, B, C_{in}) إذا كانت مخارجه:

$(a)\ \Sigma = 0, C_{out} = 0$ $(b)\ \Sigma = 1, C_{out} = 0$

$(c)\ \Sigma = 1, C_{out} = 1$ $(d)\ \Sigma = 0, C_{out} = 1$

Ans

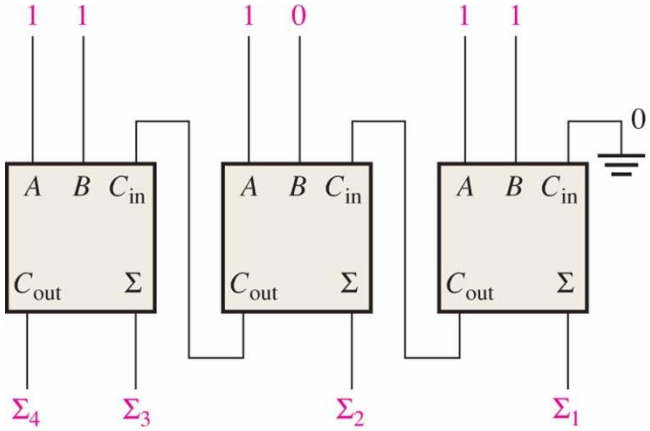
14. حدد قيم مخرجي دارة الجامع الكامل في حالة قيم مداخله التالية:

$(a)\ A = 1, B = 0, C_{in} = 0$ $(b)\ A = 0, B = 0, C_{in} = 1$

$(c)\ A = 0, B = 1, C_{in} = 1$ $(d)\ A = 1, B = 1, C_{in} = 1$

Ans

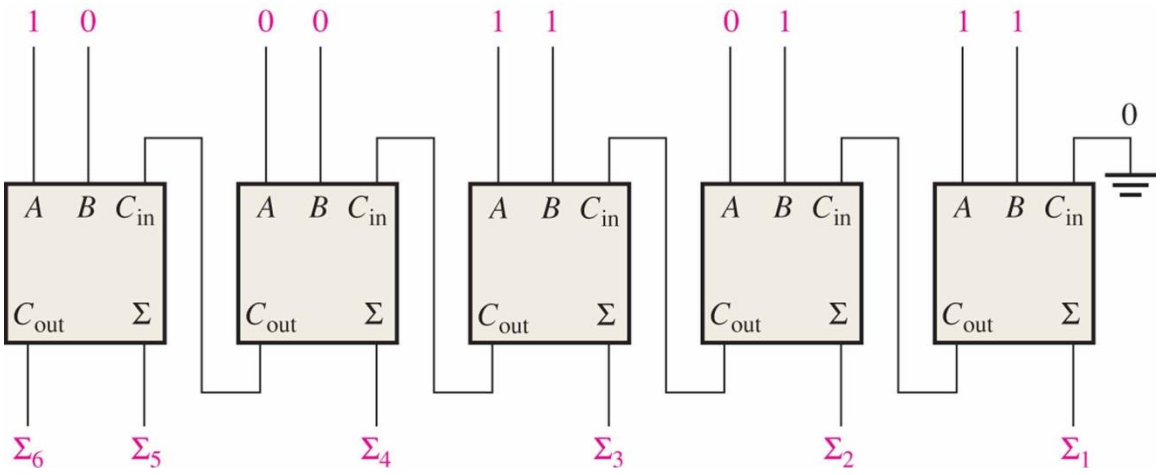
15. في حالة الجامع التفرعي المبين في الشكل (66.4)، حدد قيم مخارجه بمعرفة جدول الحقيقة لدارة الجامع الكامل، وتحقق من النتيجة بالجمع اليدوي للعددين.



الشكل (66.4): دارة جامع تفرعي لعددين كل منهما بثلاثة بتات.

Ans

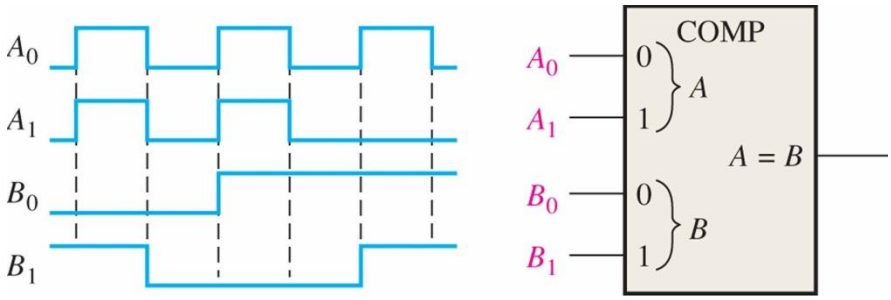
16. في حالة الجامع التفرعي المبين في الشكل (67.4)، حدد قيم مخارجه بمعرفة جدول الحقيقة لدارة الجامع الكامل، وتحقق من النتيجة بالجمع اليدوي للعددين.



الشكل (67.4): دارة جامع تفرعي لعددين كل منهما بخمسة بتات.

Ans

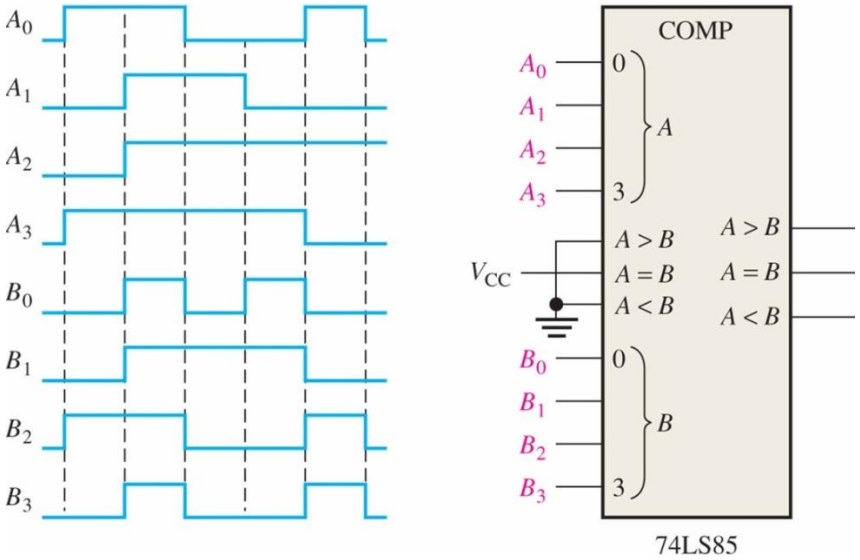
17. طبقت الإشارات المبينة في الشكل (68.4) على دارة مقارن بمدخلين كل منهما ببتين.حدد إشارة الخرج الموافقة لمداخله.



الشكل (68.4): دارة مقارن بمدخلين كل منهما ببتين وإشارات دخله.

Ans

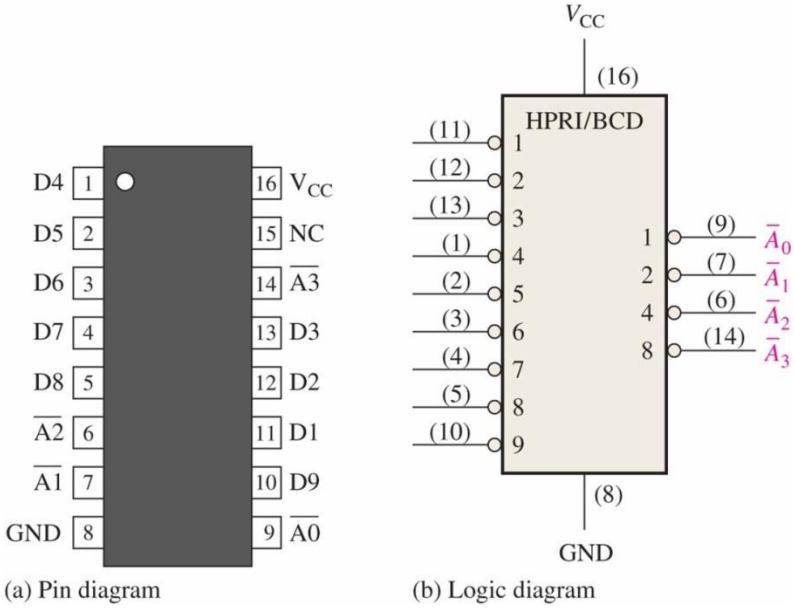
18. طبقت الإشارات المبينة في الشكل (69.4) على دارة مقارن بمدخلين كل منهما بأربعة بتات.حدد إشارة الخرج الموافقة لمداخله.



الشكل (69.4): دارة مقارن لمدخلين كل منهما بأربعة بتات وإشارات دخله.

Ans

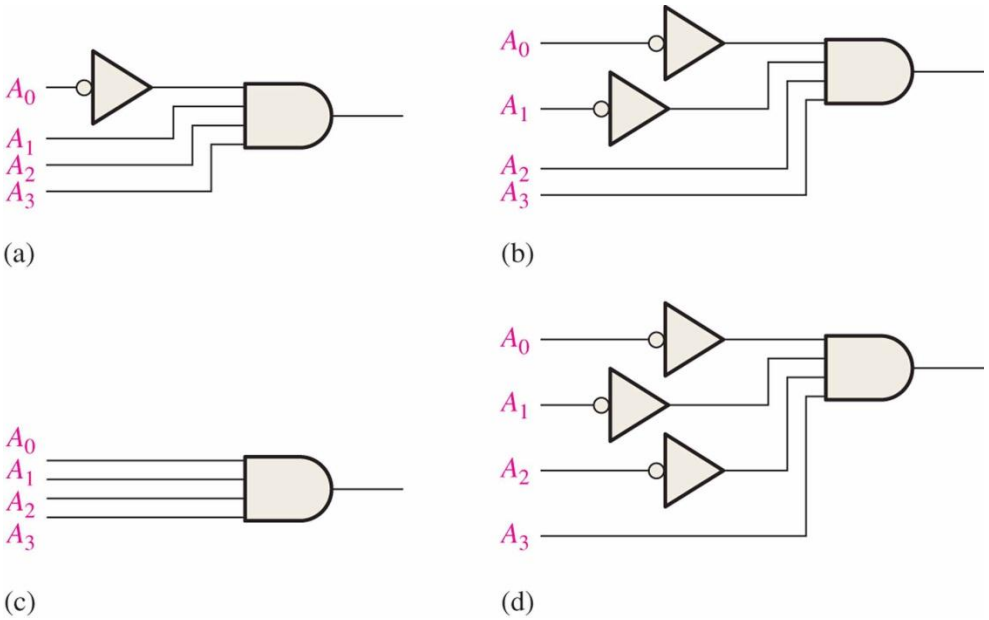
19. طبق على طرفي الدخل رقم (2) ورقم (5) ورقم (12) المستوى المنطقي المنخفض لدارة المرمز بأفضلية المبين في الشكل (70.4). ماهي قيمة كود (BCD) على مخرجه؟



الشكل (70.4): دارة مرمز بأفضلية.

Ans

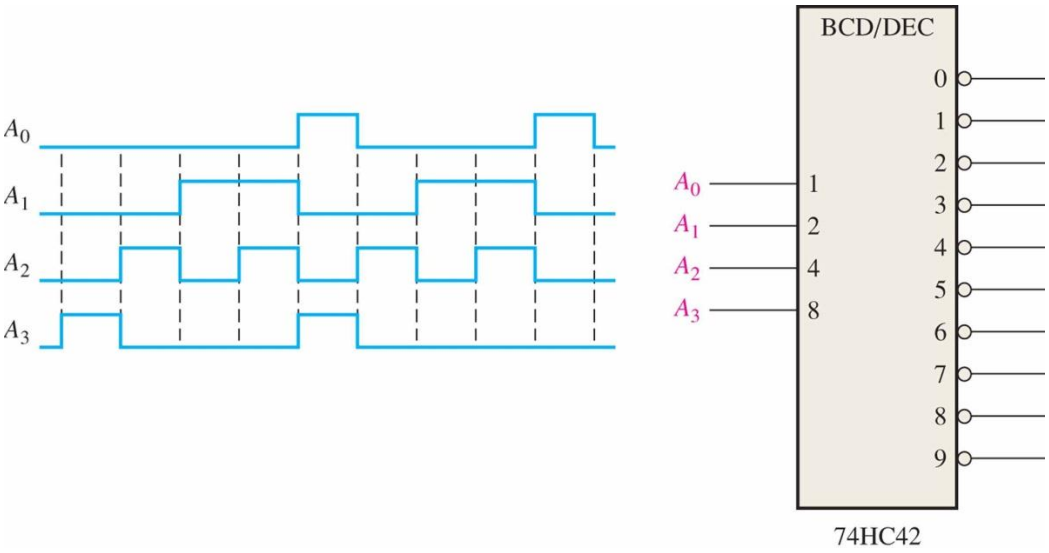
20. إذا كان خرج كل واحدة من بوابات كشف الترميز على المستوى المنطقي العالي والمبينة في الشكل (72.4). ماهي قيمة مداخل كل منها؟ البت ذو الوزن الأعلى هو A3.



الشكل (72.4): بوابات كشف الترميز.

Ans

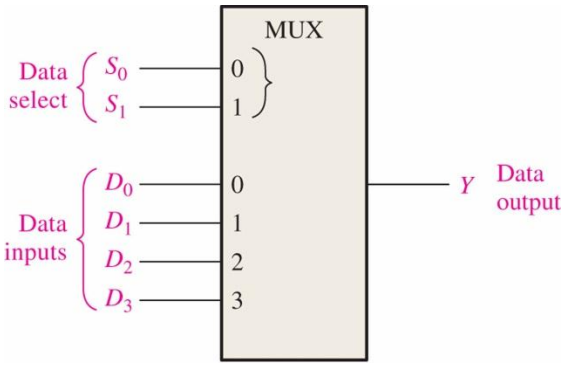
21. طبقت أعداد مرمزة بصيغة (BCD) تسلسلياً على مدخل كاشف ترميز من (BCD) إلى عشري والمبين في الشكل (73.4). ارسم المخطط الزمني للمخارج المتوافقة مع المداخل المبينة على نفس الشكل.



الشكل (73.4): دارة كشف ترميز من (BCD) إلى عشري مع إشارات الدخل.

Ans

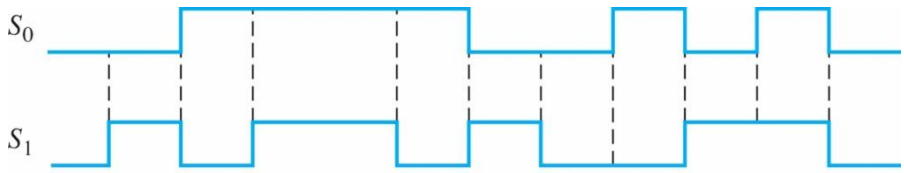
22. في حالة دارة الناخب المبينة في الشكل (74.4). ارسم المخطط الزمني للمخرج المتوافق مع المداخل ($S_1 = 0, S_0 = 1,$ $D_0 = 0, D_1 = 1, D_2 = 1, D_3 = 0,$).



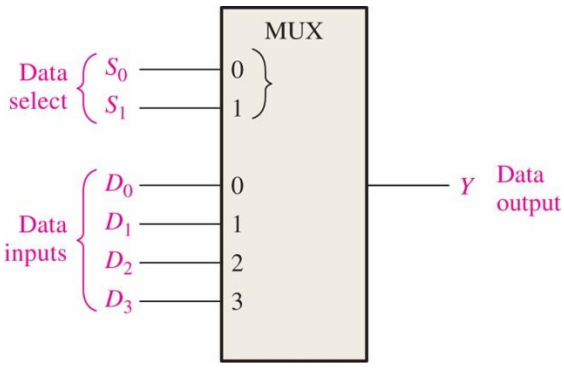
الشكل (74.4): دارة ناخب بأربعة مداخل.

Ans

23. في حالة مداخل الانتخاب المبينة في الشكل (75.4) لدارة الناخب المبين في الشكل (467.). ارسم المخطط الزمني للمخرج المتوافق مع المداخل المعرفة في المسألة (22.4).



الشكل (75.4): إشارات الانتخاب لدارة الناخب.



الشكل (76.4): دارة الناخب.

Ans

نموذج مذاكرة للفصل الرابع

الجامعة ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل الرابع: البوابات والتوابع المنطقية

أستاذ المادة: ....

المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

- المادة مغلقة
- يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. جدول الحقيقة لبوابة (AND) بمدخلين هو:

(a

Inputs (مداخل)	Output (مخرج)
A B	X
0 0	0
10	1
01	1
1 1	0

(b

Inputs (مداخل)	Output (مخرج)
A B	X
0 0	1
10	0
01	0
1 1	0

(c

Inputs (مداخل)		Output (مخرج)
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

(d

Inputs (مداخل)		Output (مخرج)
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

2. البوابة المنطقية بمدخلين التي تعطي على خرجها المستوى المنطقي العالي عندما يتطابق المدخلان هي:

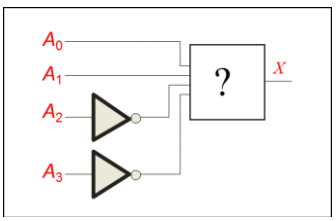
a) بوابة (OR)

b) بوابة (AND)

c) بوابة (NOR)

d) بوابة (XNOR).

3. بوابة كشف الترميز للعدد (0011) بخرج فعال على المستوى المنخفض هي:



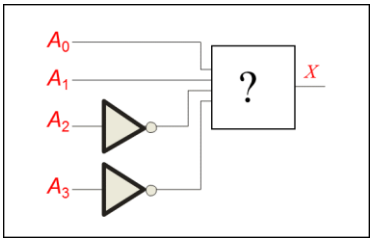
a) بوابة (AND)

b) بوابة (OR)

c) بوابة (NAND)

d) بوابة (NOR).

4. بوابة كشف الترميز للعدد (0011) بخرج فعال على المستوى العالي هي:



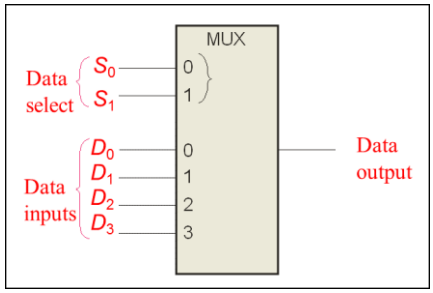
a) بوابة (AND)

b) بوابة (OR)

c) بوابة (NAND)

d) بوابة (NOR).

5. إذا افترضنا أن مدخلي الانتخاب $(S_1=1, S_0=1)$ سيكون الخرج:



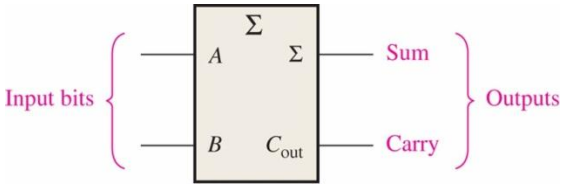
a) على المستوى المنخفض

b) على المستوى العالي

c) مساوياً إلى (D0)

d) مساوياً إلى (D3).

6. إذا كان مخرجا دارة الجامع النصفي المبين في الشكل التالي $(\Sigma=1, C_{out}=0)$، تكون مداخله:



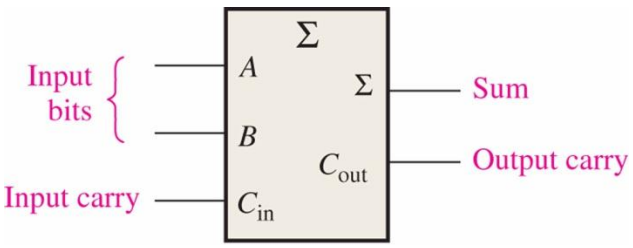
a) فقط، $(A=1, B=0)$

b) فقط $(A=0, B=1)$

c) $(A=1, B=0 \text{ or } A=0, B=1)$

d) $(A=1, B=1)$.

7. إذا كان مخرجا دارة الجامع الكامل المبين في الشكل التالي $(\Sigma=1, C_{out}=1)$،تكون مداخله:



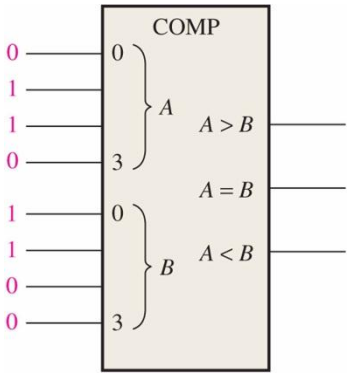
(a $(A=1, B=0, C_{in}=0)$

(b $(A=1, B=0, C_{in}=1)$

(c $(A=0, B=0, C_{in}=0)$

(d $(A=1, B=1, C_{in}=1)$.

8. في مخارج دارة المقارن المبين في الشكل التالي هي:



(a $((A\succ B)=0,(A=B)=0,(A\prec B)=0)$

(b $((A\succ B)=1,(A=B)=0,(A\prec B)=0)$

(c $((A\succ B)=1,(A=B)=0,(A\prec B)=1)$

(d $((A\succ B)=0,(A=B)=1,(A\prec B)=0)$.

9. عندما يجري تفعيل المفتاح رقم (4) في لوحة المفاتيح المبينة في الشكل أدناه، تكون قيمة خرج المرمز:

(a $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0}=1011)$

(b $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0}=0100)$

(c $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0}=1001)$

(d $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0}=1111)$.

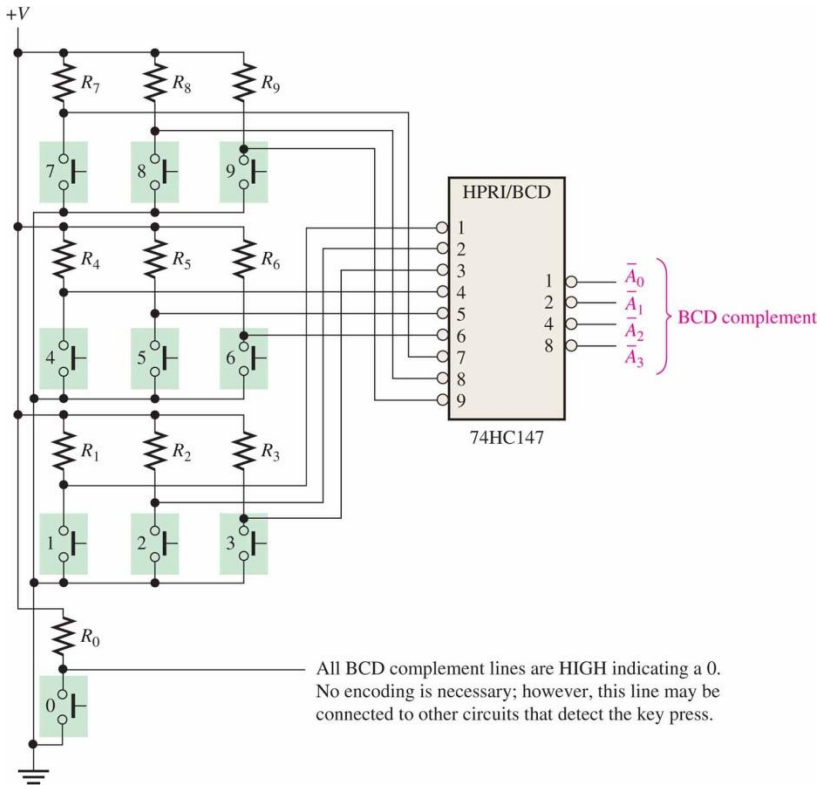
10. عندما يجري تفعيل المفتاح رقم (0) في لوحة المفاتيح المبينة في الشكل أدناه، تكون قيمة خرج المرمز:

(a $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0} = 1011)$

(b $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0} = 0100)$

(c $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0} = 1001)$

(d $(\overline{A_3}\,\overline{A_2}\,\overline{A_1}\,\overline{A_0} = 1111)$.



الإجابة الصحيحة لنموذج مذاكرة الفصل الرابع

1 (c) ،2 (d) ،3 (c) ،4 (a) ،5 (d) ،6 (c) ،7 (d) ،8 (b) ،9 (a) ،10 (d).

التغذية الراجعة

1 مراجعة البوابات المنطقية الرئيسة Logic gates

2 مراجعة البوابات المنطقية الرئيسة Logic gates

3 مراجعة دارة المرمز ودارة كشف الترميز Encoder and Decoder Circuits

4 مراجعة دارة المرمز ودارة كشف الترميز Encoder and Decoder Circuits

5 مراجعة دارة الناخب، ودارة الناخب العكسي Multiplexer and Demultiplexer Circuits

6 مراجعة دارة الجامع Adder circuit

7 مراجعة دارة الجامع Adder circuit

8 مراجعة دارة المقارن Comparator Circuit

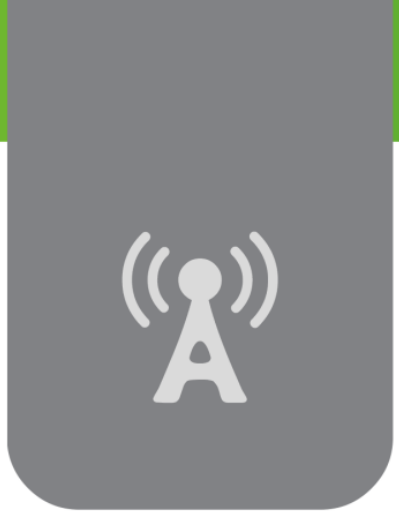
9 مراجعة دارة المرمز ودارة كشف الترميز Encoder and Decoder Circuits

10 مراجعة دارة المرمز ودارة كشف الترميز Encoder and Decoder Circuits

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل الرابع

نموذج مذاكرة الفصل الرابع	الإجابة الصحيحة
1	c
2	d
3	c
4	a
5	d
6	c
7	d
8	b
9	a
10	d



الفصل الخامس

السجلات والقلابات والمؤقتات

كلمات مفتاحية Keywords

السجل Latch، المهتز ثنائي الاستقرار Bistable، المدخل المتزامن للوضع على الحالة المنطقية (1) SET، المدخل المتزامن لإعادة الوضع على الحالة المنطقية (0) RESET، إشارة الساعة Clock، القلاب الذي يعمل على جبهة إشارة الساعة Edge–triggered flip–flop، القلاب نوع (D) D flip–flop، القلاب نوع (T) T flip–flop، القلاب نوع (J–K) J–K flip–flop، تغيير الحالة المنطقية Toggle، المدخل غير المتزامن للوضع على الحالة المنطقية (1) Preset، المدخل غير المتزامن لإعادة الوضع على الحالة المنطقية (0) Clear، مولد النبضة الوحيدة One–shot، المهتز وحيد الاستقرار Monostable، المؤقت Timer، المهتز عديم الاستقرار Astable.

الملخص Abstract

ندرس في هذا الفصل اللبنات الرئيسة التي تدخل في بناء الدارات الرقمية التتابعية، وخاصة السجل (Latch)، والقلاب (Flip–flop). تسمى هذه العناصر المهتزات ثنائية الاستقرار (Bistable) لأن مخارجها تستقر على إحدى الحالتين المنطقيتين المعروفتين وهما: الحالة المنطقية (1) وتعرف بحالة الوضع (Set)، والحالة المنطقية (0)، وتعرف بإعادة الوضع (Reset). وبالتالي من الممكن استعمال هذا النوع من العناصر كعناصر ذاكرة. يكمن الفرق الرئيسي بين السجل والقلاب في طريقة تغير حالة كل منهما من حالة مستقرة إلى حالة مستقرة أخرى. تدخل القلابات في بنية سجلات الإزاحة، والعدادات، وفي دارات التحكم التتابعية، وبعض أنواع الذواكر. للمهتز الوحيد الاستقرار (Monostable) أو (One–shot) حالة مستقرة وحيدة، وينتقل لفترة محددة إلى حالة أخرى عند تحريضه ثم يعود إلى حالته المستقرة. بمعنى أنه يقوم المهتز الوحيد الاستقرار عند تفعيله بتوليد نبضة وحيدة متحكم بعرضها. وأخيراً يتناول هذا الفصل بالدراسة دارة المهتز عديم الاستقرار الذي يستعمل لتوليد الإشارات الدورية التي تستعمل كمصادر توقيت للدارات الرقمية.

الأهداف التعليمية للفصل الخامس ILO5

يهدف هذا الفصل إلى دراسة اللبنات الرئيسة المستعملة في بناء الدارات التتابعية مثل السجلات، وفهم عملها. وتصنيف عناصر الذاكرة وأنواعها وشرح عمل كل منها من خلال جداول الحقيقة لها، وشرح الفرق بين السجل والقلاب، والقلابات بين بعضها البعض. كما يهدف هذا الفصل إلى دراسة المؤقتات ومبدأ عملها وتطبيقاتها.

مخرجات الفصل الخامس ILO5

فهم عمل عناصر الذواكر كالسجلات، والقلابات المنطقية التي تشكل حجر الأساس في بناء الدارات المنطقية التتابعية، والمؤقتات.

1. تصنيف عناصر الذاكرة Memory Elements classifications

يمكن تصنيف عناصر الذاكرة بأربعة أصناف هي: عنصر الذاكرة ($S-R$)، وعنصر الذاكرة (D)، وعنصر الذاكرة (T)، وعنصر الذاكرة ($J-K$). يمكن أن يكون لكل صنف من الأصناف المذكورة أعلاه واحد أو أكثر من الأنواع التالية: سجل (Latch)، سجل محكوم بأمر (Gated Latch)، سجل محكوم بحافة (Edge Triggered Latch). يبين الشكل (1.5) تصنيف وأنواع عناصر الذاكرة.

/Types (أنواع) Classifications (تصنيف)	Latch (سجل)	Gated Latch (سجل محكوم بأمر)	Edge Triggered Latch (سجل محكوم بحافة نبضة)
$S-R$	√	Enable	Clock (↑)،(↓)
D	X	Enable	Clock (↑)،(↓)
T	X	X	Clock (↑)،(↓)
$J-K$	X	Enable	Clock (↑)،(↓)

الشكل 1.5: تصنيف وأنواع عناصر الذاكرة.

يمكن أن يكون عنصر الذاكرة الأساس ($S-R$) سجلاً (Latch)، أو سجلاً محكوماً بأمر (Gated Latch)، أو سجلاً محكوماً بحافة صاعدة لنبضة أو بحافة هابطة لنبضة (Edge Triggered Latch) أو يقال عنه عادة قلاب ($S-R$) (S–R Flip–Flop).

ويمكن أن يكون عنصر الذاكرة (D) سجلاً محكوماً بأمر (Gated Latch)، أو سجلاً محكوماً بحافة صاعدة لنبضة أو بحافة هابطة لنبضة (Edge Triggered Latch) أو يقال عنه عادة قلاب (D) (D Flip–Flop).

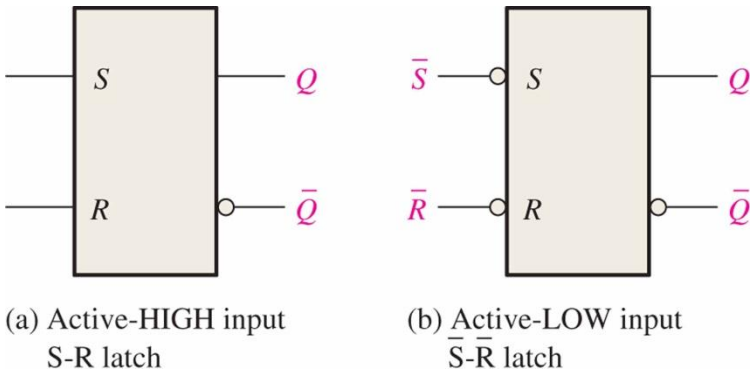
ويكون عنصر الذاكرة (T) سجلاً محكوماً بحافة صاعدة لنبضة أو بحافة هابطة لنبضة (Edge Triggered Latch) أو يقال عنه عادة قلاب (T) (T Flip–Flop).

ويمكن أن يكون عنصر الذاكرة ($J-K$) سجلاً محكوماً بأمر (Gated Latch)، أو سجلاً محكوماً بحافة صاعدة لنبضة أو بحافة هابطة لنبضة (Edge Triggered Latch) أو يقال عنه عادة قلاب ($J-K$) (J–K Flip–Flop).

2. السجلات Latches

السجل $(S-R)$

السجل $(S-R)$ هو عنصر ذاكرة يخزن بتاً واحداً، له مدخلان: المدخل (S) هو مدخل وضع القلاب على القيمة المنطقية (1)، والمدخل (R) وهو مدخل وضع القلاب على القيمة المنطقية (0)، وله خرج (Q) يظهر القيمة المخزنة فيه، وخرج $(\overline{Q})$ يظهر عكس القيمة المخزنة. يبين الشكل (2.5) المخطط الصندوقي للسجل $(S-R)$، والمخطط الصندوقي للسجل $(\overline{S}-\overline{R})$ ويبين الشكل (3.5) جدول الحقيقة الذي يلخص عمله.



الشكل 2.5: المخطط الصندوقي للسجل (S–R).

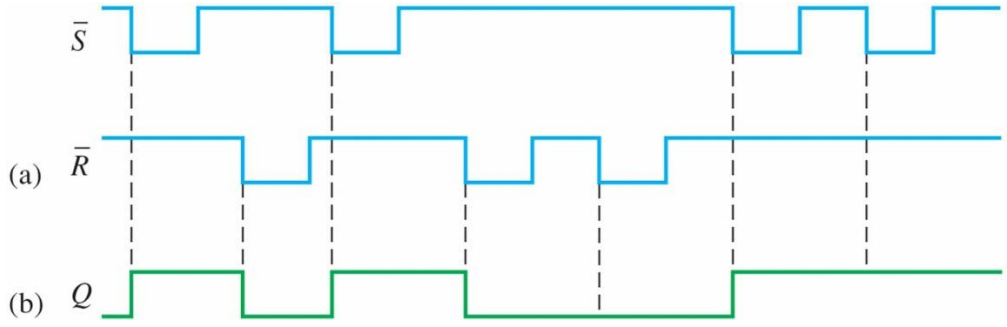
Inputs(مداخل)		Output (مخرج)	Function (عمل القلاب)
S	R	Q^+	
0	0	Q	الحالة السابقة (لا يوجد تغيير)
0	1	0	وضع الخرج على القيمة (0)
1	0	1	وضع الخرج على القيمة (1)
1	1	–	غير مسموح به

الشكل 3.5: جدول الحقيقة للسجل (S–R).

نلاحظ من جدول الحقيقة أنه عندما يكون $(S=0, R=0)$ فإن الخرج (Q) يحافظ على قيمته السابقة. ويأخذ الخرج (Q) القيمة (0) عندما يكون $(S=0, R=1)$، بينما يأخذ القيمة (1) من أجل $(S=1, R=0)$.

وأخيراً يكون الخرج (Q) غير معرف في الحالة $(S=1, R=1)$ وهي حالة محظورة لا ينبغي استعمالها.

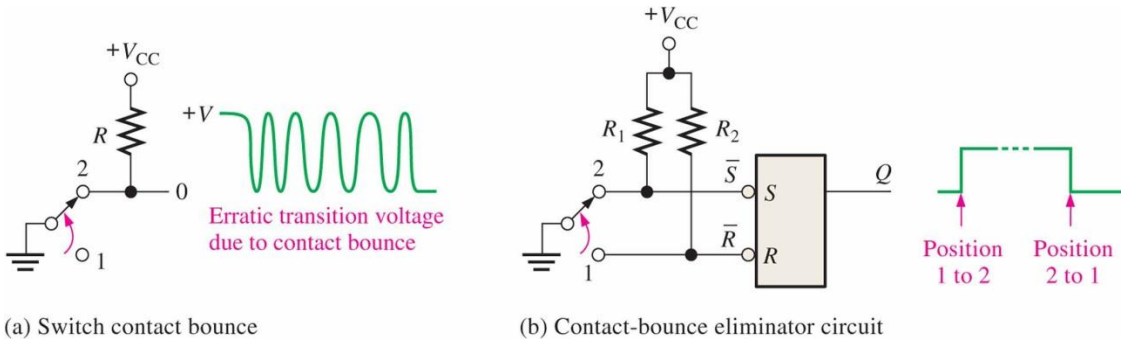
يبين الشكل (4.5) مخططاً زمنياً يوضح عمل السجل $(\overline{S}-\overline{R})$.



الشكل 4.5: المخطط الزمني الذي يوضح عمل السجل $(\overline{S}-\overline{R})$.

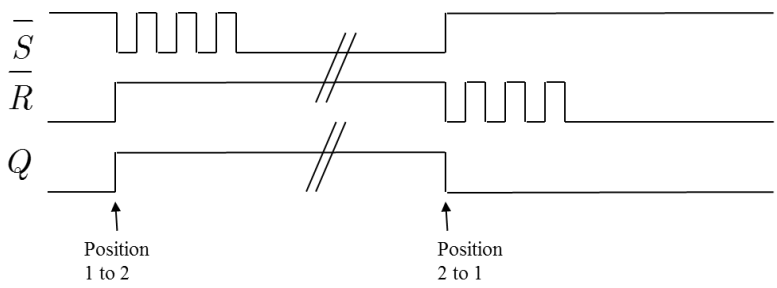
دارة حذف الاهتزازات (Contact–bounce eliminator circuit)

يبين الشكل (5.5) دارة حذف الاهتزازات الكهربائية الناتجة عن الاهتزازات الميكانيكية عند انتقال المفتاح الميكانيكي من وضعية أولى إلى وضعية أخرى لإعطاء مستو منطقي.



الشكل 5.5: دارة السجل $(\overline{S}-\overline{R})$ الحاذف للاهتزازات.

يبين الشكل (6.5) المخطط الزمني الذي يوضح مبدأ عمل دارة حذف الاهتزازات الكهربائية الناتجة عن الاهتزازات الميكانيكية عند انتقال المفتاح الميكانيكي من وضعية أولى إلى وضعية أخرى لإعطاء مستو منطقي.



الشكل 6.5: المخطط الزمني الموضح لمبدأ عمل دارة السجل $(\overline{S}-\overline{R})$ الحاذف للاهتزازات.

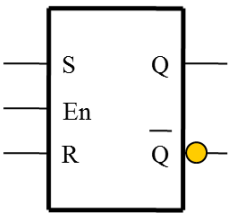
عندما يكون المفتاح الميكانيكي في الوضعية (1) يكون $(\overline{S}=1,\overline{R}=0\Leftrightarrow S=0,R=1\Rightarrow Q=0)$، الآن عندما ينتقل المفتاح من الوضعية (1) إلى الوضعية (2)، يأخذ المدخل $(\overline{R}=1\Leftrightarrow R=0)$ بشكل مستمر، ويتأرجح تماس المفتاح حول النقطة (2) ملامساً لها ومنفصلاً عنها عدداً من المرات حتى يستقر التماس في النهاية موصلاً بها ومستقراً عليها. عندما يحصل التماس للمرة الأولى مع النقطة (2) يكون $(\overline{S}=0,\overline{R}=1\Leftrightarrow S=1,R=0\Rightarrow Q=1)$، وعندما ينفصل التماس للمرة الأولى عن النقطة (2) يكون $(\overline{S}=1,\overline{R}=1\Leftrightarrow S=0,R=0\Rightarrow Q=1(No\ change))$. وهكذا يتأرجح التماس بين متصل ومنفصل عدداً من المرات بينما يبقى الخرج ثابتاً على القيمة المنطقية (1)، وبهذا تكون الدارة قد منعت الاهتزاز الذي يظهر على المدخل $(\overline{S})$ الموصول بالنقطة (2)، من الظهور على المخرج (Q).

طالما يبقى المفتاح الميكانيكي مستقراً على الوضعية (2) يكون $(\overline{S}=0,\overline{R}=1\Leftrightarrow S=1,R=0\Rightarrow Q=0)$، الآن عندما ينتقل المفتاح من الوضعية (2) إلى الوضعية (1)، يأخذ المدخل $(\overline{S}=1\Leftrightarrow S=0)$ بشكل مستمر، ويتأرجح تماس المفتاح حول النقطة (1) ملامساً لها ومنفصلاً عنها عدداً من المرات حتى يستقر التماس في النهاية متصلاً بها ومستقراً عليها . عندما يحصل التماس للمرة الأولى مع النقطة (1) يكون $(\overline{S}=1,\overline{R}=0\Leftrightarrow S=0,R=1\Rightarrow Q=0)$، وعندما ينفصل التماس للمرة الأولى عن النقطة (1) يكون $\left(\overline{S}=1,\overline{R}=1\Leftrightarrow S=0,R=0\Rightarrow Q=0(No\ change)\right)$. وهكذا يتأرجح التماس بين متصل ومنفصل عدداً من المرات بينما يبقى الخرج ثابتاً على القيمة المنطقية (0)، وبهذا تكون الدارة قد منعت الاهتزاز الذي يظهر على المدخل $(\overline{R})$ الموصول بالنقطة (1)، من الظهور على المخرج (Q). وهكذا نحصل على انتقال من المستوى المنطقي المنخفض إلى المستوى المنطقي العالي عندما ينتقل المفتاح الميكانيكي من الوضعية (1) إلى الوضعية (2)، بغض النظر عن الاهتزازات التي تحصل على تماسات المفتاح الميكانيكي، وبالمثل ينتقل الخرج من المستوى المنطقي العالي إلى المستوى المنطقي المنخفض عندما ينتقل المفتاح من الوضعية (2) إلى الوضعية (1).

السجل $(S-R)$ المحكوم بأمر (Gated S–R Latch)

السجل $(S-R)$ المحكوم بأمر هو عنصر ذاكرة يخزن بتاً واحداً، له ثلاثة مداخل ومخرج واحد : المدخل (S) هو مدخل وضع القلاب على القيمة المنطقية (1)، والمدخل (R) هو مدخل وضع القلاب على القيمة المنطقية (0)، ومدخل أمر التحكم (En)، وله خرج (Q) يظهر القيمة المخزنة فيه، وخرج $(\overline{Q})$ يظهر عكس القيمة المخزنة. يبين الشكل (7.5) المخطط الصندوقي للسجل $(S-R)$، والمخطط الصندوقي للسجل $(\overline{S}-\overline{R})$ ويبين الشكل (8.5) جدول الحقيقة الذي يلخص عمله.

Gated S-R Latch



الشكل 7.5: المخطط الصندوقي للسجل (S–R) المحكوم بأمر.

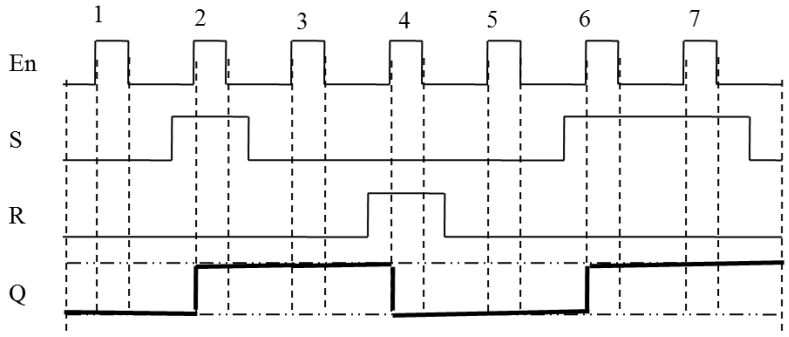
Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
En	S R	Q^+	
1	0 0	Q	الحالة السابقة (لا يوجد تغيير)
1	0 1	0	وضع الخرج على القيمة (0)
1	1 0	1	وضع الخرج على القيمة (1)
1	1 1	–	غير مسموح به
0	– –	Q	الحالة السابقة (لا يوجد تغيير)

الشكل 8.5: جدول الحقيقة للسجل (S–R) المحكوم بأمر.

نلاحظ من جدول الحقيقة أنه عندما يكون $(S=0, R=0, and\ En=1)$ فإن الخرج (Q) يحافظ على قيمته السابقة. ويأخذ الخرج (Q) القيمة (0) عندما يكون $(S=0, R=1, and\ En=1)$. وعندما يكون $(S=1, R=0, and\ En=1)$ فإن الخرج (Q) يأخذ القيمة (1).

وأخيراً يحظر استعمال القيم $(S=1, R=1, and\ En=1)$ لأن الخرج (Q) يكون في هذه الحالة غير معرف. وهذه الحالة هي حالة ممنوعة.

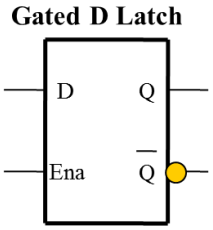
يبين الشكل (9.5) مخططاً زمنياً يوضح عمل السجل $(S-R)$ المحكوم بأمر.



الشكل 9.5: المخطط الزمني الذي يوضح عمل السجل $(S-R)$ المحكوم بأمر.

السجل (D) المحكوم بأمر (Gated D Latch)

السجل (D) المحكوم بأمر هو عنصر ذاكرة يخزن بتاً واحداً، وله مدخلان وخرج واحد: مدخل المعطيات (D) ومدخل أمر التحكم (En). وله خرج (Q) يظهر القيمة المخزنة فيه، وخرج $(\overline{Q})$ يظهر عكسها. يبين الشكل (10.5) المخطط الصندوقي للسجل (D)، ويبين الشكل (11.5) جدول الحقيقة الذي يلخص عمله.



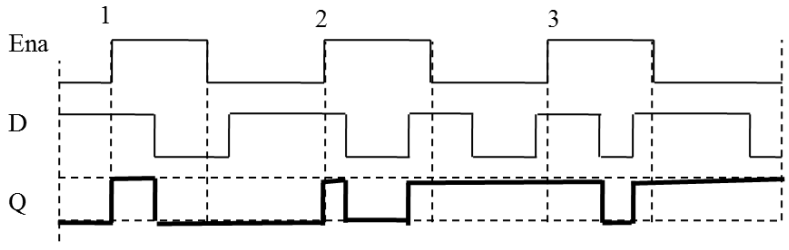
الشكل 10.5: المخطط الصندوقي للسجل (D) المحكوم بأمر.

Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
En	D	Q^+	
1	D	D	$Q = D$
0	–	Q	الحالة السابقة (لا يوجد تغيير)

الشكل 11.5: جدول الحقيقة للسجل (D) المحكوم بأمر.

نلاحظ من جدول الحقيقة أنه عندما يكون $(D = 0, and\ En = 1)$ فإن الخرج (Q) يأخذ قيمة مدخل المعطيات (0). وعندما يكون $(D = 1, and\ En = 1)$ فإن الخرج (Q) يأخذ قيمة مدخل المعطيات (1). وعندما يكون $(D = –, and\ En = 0)$ فإن الخرج (Q) يأخذ قيمته السابقة.

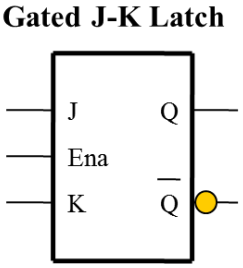
يبين الشكل (12.5) مخططاً زمنياً يوضح عمل السجل (D) المحكوم بأمر.



الشكل 12.5: المخطط الزمني الذي يوضح عمل السجل (D) المحكوم بأمر.

السجل $(J-K)$ المحكوم بأمر (Gated J–K Latch)

السجل $(J-K)$ المحكوم بأمر هو عنصر ذاكرة يخزن بتاً واحداً، له ثلاثة مداخل ومخرج واحد: المدخل (J) هو مدخل وضع القلاب على القيمة المنطقية (1)، والمدخل (K) هو مدخل إعادة وضع القلاب على القيمة المنطقية (0) ومدخل أمر التحكم (En)، وله خرج (Q) يظهر القيمة المخزنة فيه، وخرج $(\overline{Q})$ يظهر عكسها. يبين الشكل (13.5) المخطط الصندوقي للسجل $(J-K)$، ويبين الشكل (14.5) جدول الحقيقة الذي يلخص عمله.



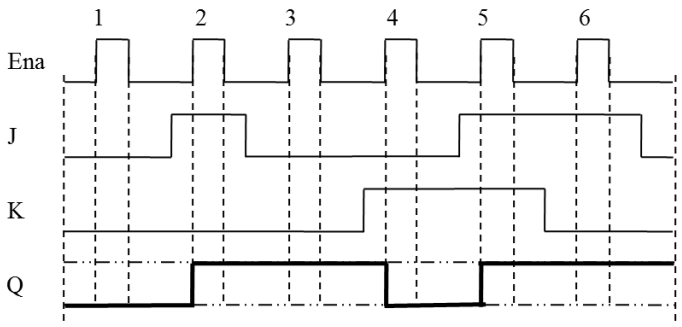
الشكل 13.5: المخطط الصندوقي للسجل (J–K) المحكوم بأمر.

Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
En	J K	Q^+	
1	0 0	Q	الحالة السابقة (لا يوجد تغيير)
1	0 1	0	وضع الخرج على القيمة (0)
1	1 0	1	وضع الخرج على القيمة (1)
1	1 1	$\overline{Q}$	وضع الخرج على عكس الحالة السابقة
0	– –	Q	الحالة السابقة (لا يوجد تغيير)

الشكل 14.5: جدول الحقيقة للسجل (J–K) المحكوم بأمر.

نلاحظ من جدول الحقيقة أنه عندما يكون $(J=0, K=0, and\ En=1)$ فإن الخرج (Q) يحافظ على قيمته السابقة ويأخذ الخرج (Q) القيمة (0) عندما يكون $(J=0, K=1, and\ En=1)$ بينما يأخذ الخرج (Q) القيمة (1) عندما يكون $(J=1, K=0, and\ En=1)$ وأخيراً يأخذ الخرج (Q) القيمة $(\overline{Q})$ عندما يكون $(J=1, K=1, and\ En=1)$.

يبين الشكل (9.5) مخططاً زمنياً يوضح عمل السجل $(J-K)$ المحكوم بأمر.

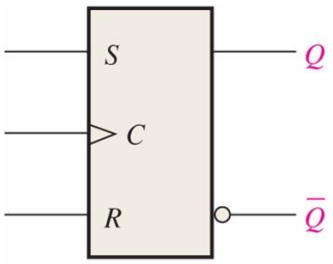


الشكل 15.5: المخطط الزمني الذي يوضح عمل السجل ($J-K$) المحكوم بأمر.

3. القلابات Edge-Triggered Flip-Flops

القلاب $S-R$ ($S-R\ Flip-Flop$)

القلاب نوع ($S-R$) هو عنصر ذاكرة لتخزين بت واحد، له مدخلان: المدخل (S) هو مدخل وضع القلاب على القيمة المنطقية (1)، والمدخل (R) وهو مدخل إعادة وضع القلاب على القيمة المنطقية (0)، بالإضافة إلى مدخل إشارة الساعة ($Clock\ (C)$)، وله خرج (Q) يظهر القيمة المخزنة فيه وخرج ($\overline{Q}$) يظهر عكسها. يبين الشكل (4.8) المخطط الصندوقي للقلاب نوع ($S-R$)، ويبين الشكل (16.5) جدول الحقيقة الذي يلخص عمله.



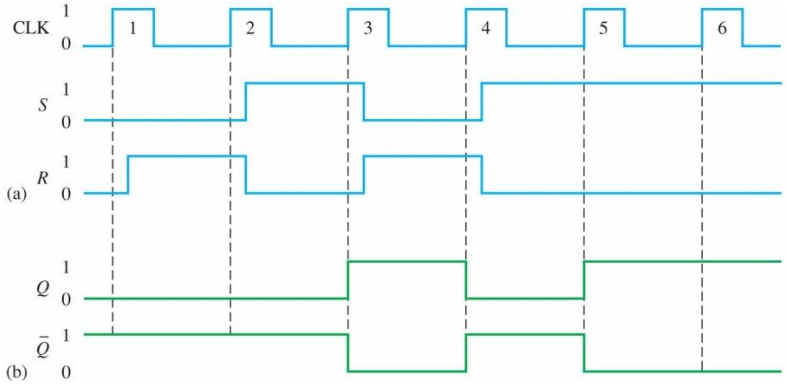
الشكل 16.5: المخطط الصندوقي للقلاب نوع ($S-R$).

Inputs (مداخل)			Output (مخرج)	Function (عمل القلاب)
Clock	S	R	Q^+	
↑	0	0	Q	الحالة السابقة (لا يوجد تغيير)
↑	0	1	0	وضع الخرج على القيمة (0)
↑	1	0	1	وضع الخرج على القيمة (1)
↑	1	1	–	غير مسموح به
–	–		Q	الحالة السابقة (لا يوجد تغيير)

الشكل 17.5: جدول الحقيقة للقلاب نوع (S-R).

نلاحظ من جدول الحقيقة أنه عندما يكون $(S=0, R=0)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يحافظ على قيمته السابقة دوراً كاملاً. ويأخذ الخرج (Q) القيمة (0) دوراً كاملاً عند صعود إشارة الساعة وعندما يكون $(S=0, R=1)$. بينما يأخذ الخرج (Q) القيمة (1) دوراً كاملاً عند صعود إشارة الساعة وعندما يكون $(S=1, R=0)$. ونشير إلى أن الحالة $(S=1, R=1)$ هي حالة محظورة لأن الخرج (Q) غير معرف عندها.

يبين الشكل (18.5) المخطط الزمني الذي يوضح عمل القلاب $(S-R)$.



الشكل 18.5: المخطط الزمني الذي يوضح عمل القلاب $(S-R)$.

القلاب D $(D\ Flip-Flop)$

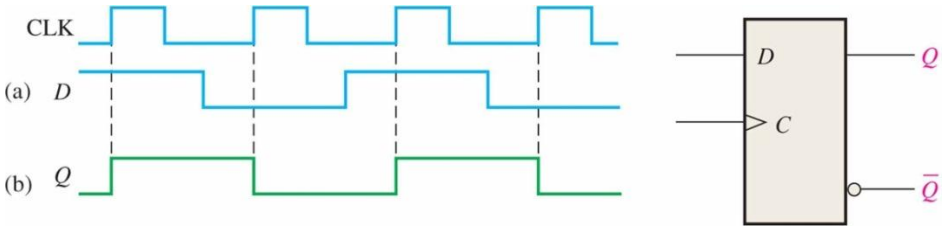
القلاب D هو عنصر ذاكرة لتخزين بت واحد، له مدخل معطيات (D) بالإضافة إلى مدخل إشارة الساعة $(Clock\ (C))$، وله خرج (Q) يظهر القيمة المخزنة فيه وخرج $(\bar{Q})$ يظهر عكسها. يبين الشكل (19.5) جدول الحقيقة الذي يلخص عمله.

Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
Clock	D	Q^+	
↑	0	0	الحالة السابقة (لا يوجد تغيير)
↑	1	1	وضع الخرج على القيمة (0)
–		Q	الحالة السابقة (لا يوجد تغيير)

الشكل 19.5: جدول الحقيقة للقلاب نوع (D).

نلاحظ من جدول الحقيقة أن القلاب D يأخذ قيمة مدخل المعطيات (D) عند صعود إشارة الساعة ويعطيها إلى الخرج خلال دور كامل من أدوار إشارة الساعة.

يبين الشكل (20.5) المخطط الصندوقي للقلاب D، والمخطط الزمني الذي يوضح مبدأ عمله.



الشكل 20.5: المخطط الصندوقي للقلاب D ، والمخطط الزمني الذي يوضح مبدأ عمله.

القلاب T $(T\ Flip-Flop)$

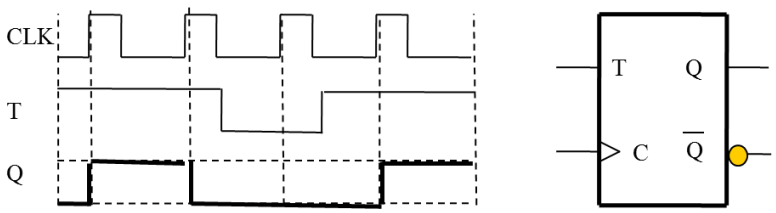
القلاب T له مدخل تحكم (T)، بالإضافة إلى مدخل إشارة الساعة $(Clock\,(C))$، وله خرج (Q) يظهر القيمة المخزنة فيه وخرج $(\overline{Q})$ يظهر عكس القيمة المخزنة. يبين الشكل (21.5) جدول الحقيقة الذي يلخص عمله.

Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
Clock	T	Q^+	
↑	0	Q	الحالة السابقة (لا يوجد تغيير)
↑	1	$\overline{Q}$	معكوس الخرج
–		Q	الحالة السابقة (لا يوجد تغيير)

الشكل 21.5: جدول الحقيقة للقلاب T.

نلاحظ من جدول الحقيقة أن مخرج القلاب T لايتغير خلال دور كامل عندما يكون مدخل التحكم $(T=0)$ وعند صعود إشارة الساعة. وعندما يكون مدخل التحكم $(T=1)$ تنعكس قيمة خرجه (Q) عند صعود إشارة الساعة دوراً كاملاً.

يبين الشكل (22.5) المخطط الصندوقي للقلاب T ، والمخطط الزمني الذي يوضح مبدأ عمله.



الشكل 22.5: المخطط الصندوقي للقلاب T ، والمخطط الزمني الذي يوضح مبدأ عمله.

القلاب $J-K$ $(J-K\ Flip-Flop)$

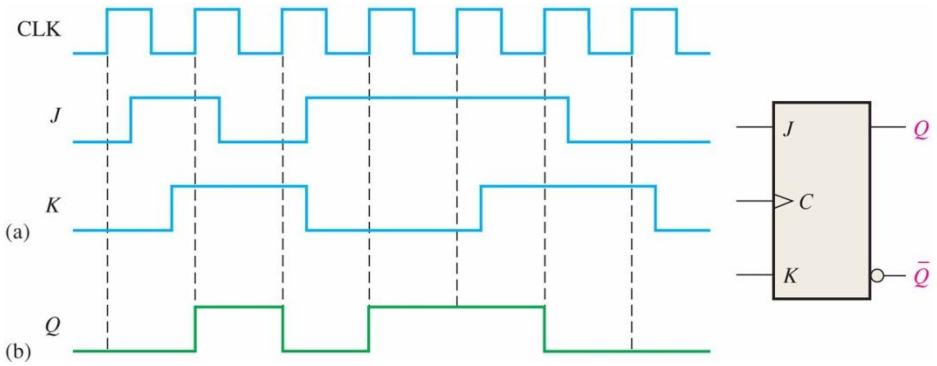
القلاب $J-K$ هو عنصر ذاكرة يخزن بتاً واحداً، له مدخلان: المدخل (J) ويسمى مدخل وضع القلاب على القيمة المنطقية (1)، والمدخل (K) ويسمى مدخل وضع القلاب على القيمة المنطقية (0)، بالإضافة إلى مدخل إشارة الساعة $(Clock(C))$،وله خرج (Q) يظهر القيمة المخزنة فيه وخرج $(\overline{Q})$ يظهر عكسها. يبين الشكل (23.5) جدول الحقيقة الذي يلخص عمله.

Inputs (مداخل)			Output (مخرج)	Function (عمل القلاب)
Clock	J	K	Q^+	
↑	0	0	Q	الحالة السابقة (لا يوجد تغيير)
↑	0	1	0	وضع الخرج على القيمة (0)
↑	1	0	1	وضع الخرج على القيمة (1)
↑	1	1	$\overline{Q}$	معكوس الخرج
–	–	–	Q	الحالة السابقة (لا يوجد تغيير)

الشكل 23.5: جدول الحقيقة للقلاب $J-K$.

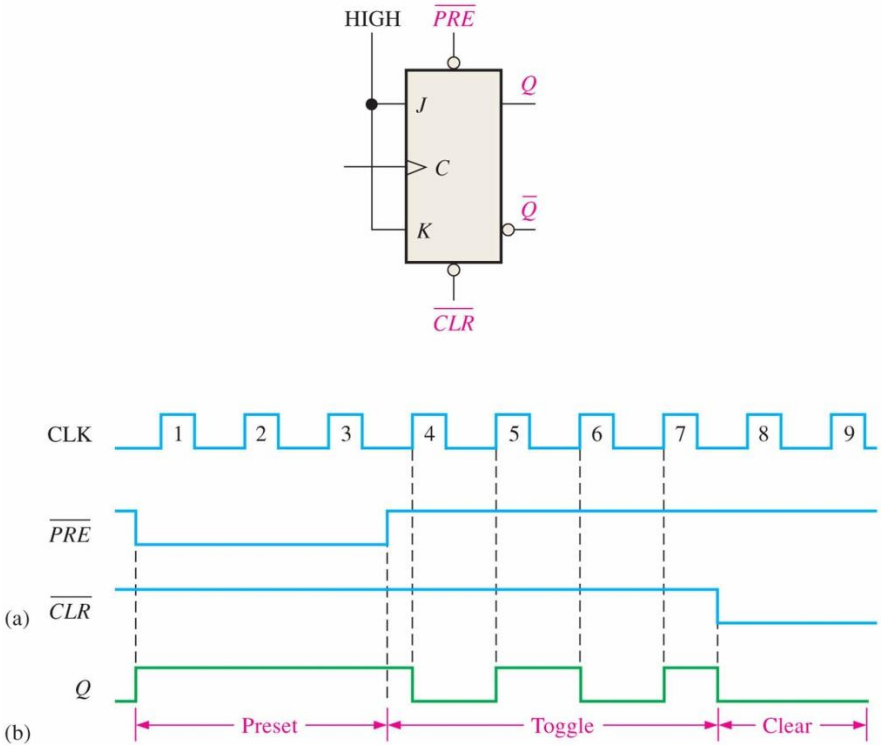
نلاحظ من جدول الحقيقة أنه عندما يكون $(J=0, K=0)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يحافظ على قيمته السابقة دوراً كاملاً. ويأخذ الخرج (Q) القيمة (0) عند صعود إشارة الساعة وعندما يكون $(J=0, K=1)$. كما يأخذ الخرج (Q) القيمة (1) دوراً كاملاً عند صعود إشارة الساعة وعندما $(J=1, K=0)$. وأخيراً عندما يكون $(J=1, K=1)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يأخذ عكس قيمته السابقة دوراً كاملاً. وفي الزمن المتبقي لدور إشارة الساعة باستثناء لحظة الصعود لايتغير خرج القلاب.

يبين الشكل (24.5) المخطط الصندوقي للقلاب $J-K$ ، والمخطط الزمني الذي يوضح مبدأ عمله.



الشكل 24.5: المخطط الصندوقي للقلاب $(J-K)$، والمخطط الزمني الذي يوضح مبدأ عمله.

يمكن أن يكون لأي من القلابات المذكورة أعلاه مدخلان غير متزامنان، أحدهما للتحكم بوضع القلاب على القيمة المنطقية (1) وهو المدخل ($Preset$)، ويكون فعالاً عادة عند المستوى المنطقي المنخفض. والآخر للتحكم بوضع القلاب على القيمة المنطقية (0) وهو المدخل ($Reset$) أو المدخل ($Clear$)، ويكون فعالاً أيضاً عادة عند المستوى المنطقي المنخفض. يبين الشكل (25.5) المخطط الصندوقي للقلاب $J-K$ بمدخلي التحكم غير المتزامنين، والمخطط الزمني الذي يوضح عمله.

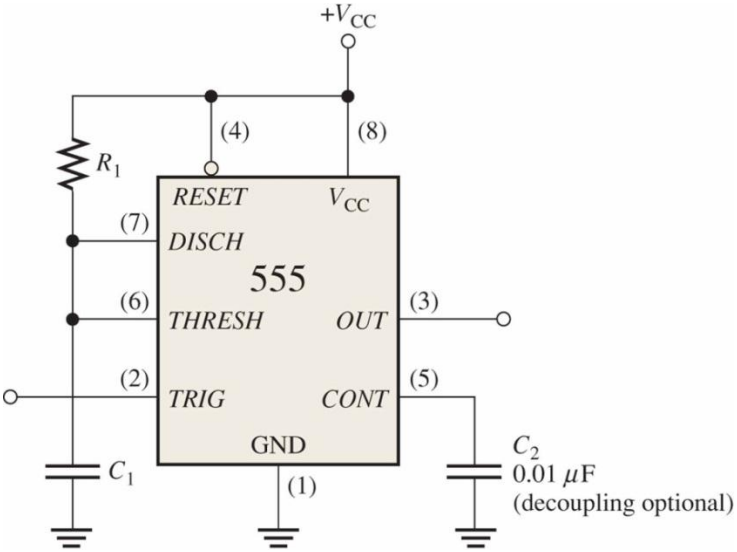


الشكل 25.5: المخطط الصندوقي للقلاب ($J-K$) بمداخل تحكم غير متزامنة، والمخطط الزمني الذي يوضح عمله.

4. دارة المؤقت (555) The 555 Timer

دارة المؤقت 555 كمولد نبضة (The 555 Timer as a One-Shot)

يبين الشكل (26.5) كيفية توصيل دارة المؤقت 555 كمولد نبضة (One-Shot) أو كمهتز وحيد الاستقرار (Monostable).

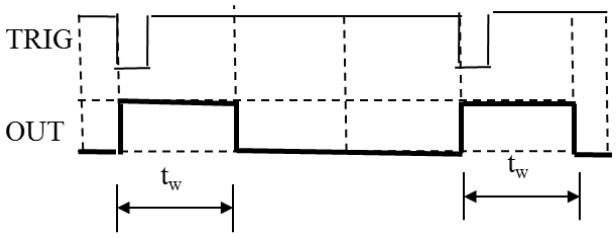


الشكل 26.5: المخطط الصندوقي لدارة المؤقت 555 كمولد نبضة.

لدارة المؤقت المداخل والمخارج الرئيسة التالية:

- (R*ESET*): مدخل إعادة وضع الخرج (*OUT*) على القيمة المنطقية (0)، وهو فعال على المستوى المنطقي المنخفض، وهذا المدخل غير مستعمل في هذا التطبيق لأنه موصل بجهد التغذية ($+V_{CC}$).
- (*DISCH*): مدخل تفريغ الشحنة
- (*THRESH*): مدخل جهد العتبة، يوصل في هذا التطبيق المدخلان (*DISCH*) و(*THRESH*) مع طرف مقاومة (R_1) يوصل طرفها الآخر إلى جهد التغذية ($+V_{CC}$)، ويوصل أيضاً إلى طرف مكثف (C_1) ويوصل طرفه الآخر إلى الأرضي.
- (*TRIG*): مدخل التحكم بتغيير حالة الخرج، وهو فعال على المستوى المنطقي المنخفض، يطبق على هذا المدخل نبضة سالبة، تتحكم بإشارة الخرج.
- (*CONT*): مدخل تحكم يوصل إلى طرف مكثف ($C_2 = 0.01\,\mu F$) ويوصل طرفه الآخر إلى الأرضي.
- (*OUT*): خرج الدارة المستقر على المستوى المنطقي المنخفض ويولد نبضة لفترة زمنية محددة يتعلق عرضها بقيمة كل من المقاومة (R_1) والمكثف (C_1) ثم يعود إلى حالته المستقرة.

يبين الشكل (27.5) المخطط الزمني الذي يوضح عمل دارة مولد النبضة.



الشكل 27.5: المخطط الزمني الذي يوضح عمل مولد النبضة.

يتبين لنا من الشكل (27.5) أن الخرج (OUT) يولد نبضة متزامنة مع هبوط نبضة الدخل المطبقة على المدخل ($TRIG$) عرضها (t_w) يعطى بالعلاقة التالية:

$$t_w = 1.1\, R_1\, C_1$$

مثال 1.5

حدد عرض النبضة (t_w) التي تولدها دارة توليد النبضة المبينة في الشكل (26.5)، إذا علمت أن قيمة المقاومة ($R_1 = 10\, k\Omega$) وأن قيمة المكثف ($C_1 = 2.2\, \mu F$).

الحل

$$t_w = 1.1\, R_1\, C_1 = 1.1\left(10\, k\Omega\right)\left(2.2\, \mu F\right) = 24.2\, ms$$

مثال 2.5

يحتاج أحد التطبيقات توليد نبضة عرضها ($t_w = 15\, ms$) استجابة لتطبيق نبضة ضيقة على مدخل دارة توليد النبضة المبينة في الشكل (26.5). إذا علمت أن قيمة المكثف المتوفر في مستودع العناصر الإلكترونية ($C_1 = 2.2\, \mu F$)، احسب قيمة المقاومة المناسبة.

الحل

$$t_w = 1.1\, R_1\, C_1 \Rightarrow R_1 = \frac{t_w}{1.1\, C_1} = \frac{15\, ms}{1.1\left(2.2\, \mu F\right)} = 6.2\, k\Omega$$

مثال 3.5

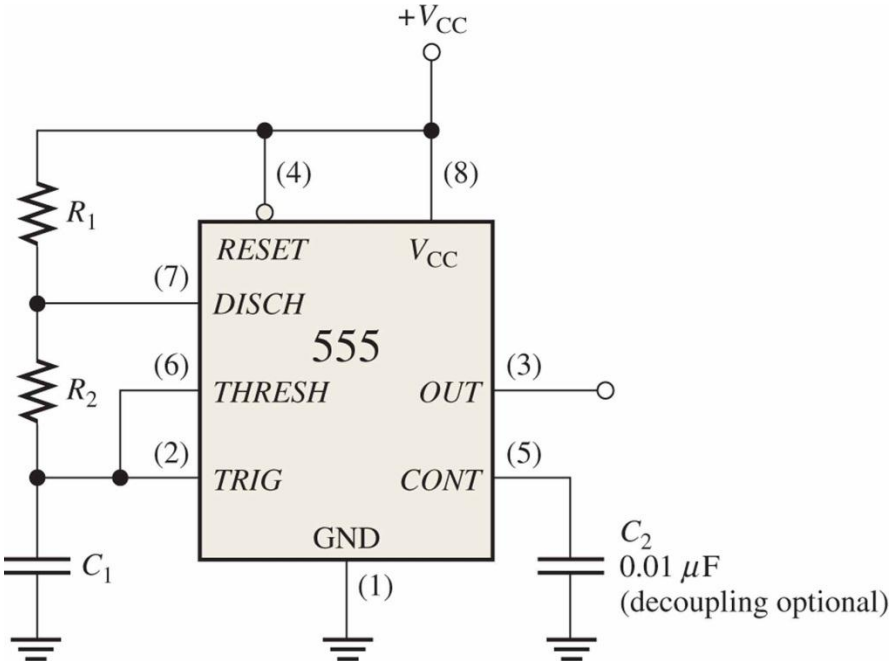
يحتاج أحد التطبيقات توليد نبضة عرضها ($t_w = 20\, ms$) استجابة لتطبيق نبضة ضيقة على مدخل دارة توليد النبضة المبينة في الشكل (26.5). إذا علمت أن قيمة المقاومة المتوفرة في مستودع العناصر الإلكترونية ($R_1 = 7.5\, k\Omega$)، احسب قيمة المكثف المناسبة.

الحل

$$t_w = 1.1\, R_1\, C_1 \Rightarrow C_1 = \frac{t_w}{1.1\, R_1} = \frac{20\, ms}{1.1\left(6.2\, k\Omega\right)} = 2.9\, \mu F$$

دارة المؤقت 555 كمولد إشارة ساعة (The 555 Timer as an Astable)

يبين الشكل (28.5) كيفية توصيل دارة المؤقت 555 كمولد إشارة ساعة (Clock Generator) أو كمهتز عديم الاستقرار (Astable).

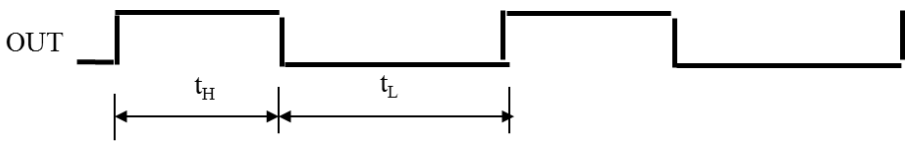


الشكل 28.5: المخطط الصندوقي لدارة المؤقت 555 كمولد إشارة ساعة.

لدارة المؤقت المداخل والمخارج الرئيسة التالية:

- (*RESET*): مدخل إعادة وضع الخرج (*OUT*) على القيمة المنطقية (0)، وهو فعال على المستوى المنطقي المنخفض، وهذا المدخل غير مستعمل في هذا التطبيق لأنه موصل بجهد التغذية ($+V_{CC}$)
- (*DISCH*): مدخل تفريغ الشحنة، يوصل هذا المدخل في هذا التطبيق إلى طرفي المقاومتين (R_1) و (R_2)، ويوصل الطرف الآخر للمقاومة (R_1) إلى جهد التغذية ($+V_{CC}$)
- (*THRESH*): مدخل جهد العتبة
- (*TRIG*): مدخل التحكم بتغيير حالة الخرج، يوصل هذا المدخل مع المدخل (*THRESH*) وطرفي المقاومة (R_2) والمكثف (C_1) حيث يوصل طرفه الآخر إلى الأرضي
- (*CONT*): مدخل تحكم يوصل إلى طرف المكثف ($C_2 = 0.01\,\mu F$) ويوصل طرفه الآخر إلى الأرضي
- (*OUT*): خرج الدارة الذي يعطي إشارة الساعة عند تطبيق التغذية عليها

يبين الشكل (29.5) المخطط الزمني الذي يوضح عمل دارة مولد إشارة الساعة.



الشكل 29.5: المخطط الزمني الذي يوضح عمل مولد النبضة.

يتبين لنا من الشكل (29.5) أن الخرج (OUT) يولد قطار نبضات يسمى إشارة الساعة، يكون فيها عرض النبضة التي تأخذ المستوى المنطقي العالي ($t_H = 0.7\,(R_1 + R_2)\,C_1$) وزمن استمرار المستوي المنخفض ($t_H = 0.7\,R_2\,C_1$)، يكون بالتالي دور إشارة الساعة:

$$T = t_H + t_L = 0.7\,(R_1 + R_2)\,C_1 + 0.7\,R_2\,C_1 = 0.7(R_1 + 2R_2)\,C_1$$

أي يكون ترددها:

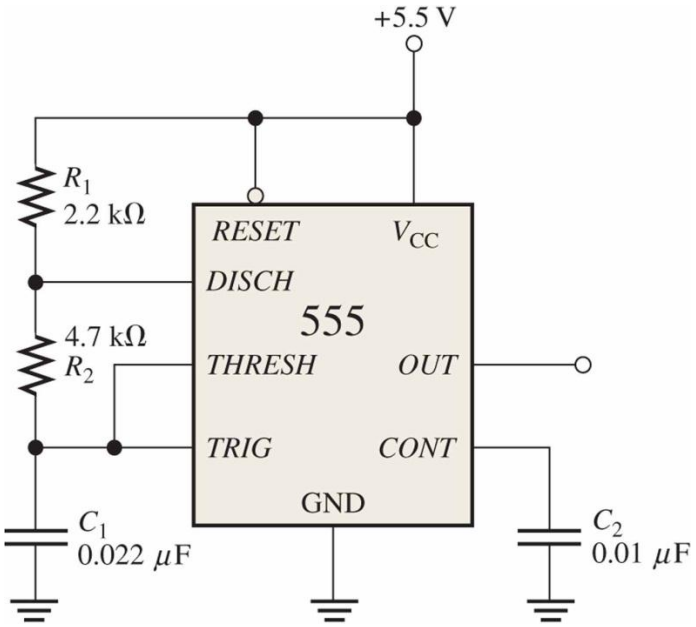
$$f = \frac{1}{T} = \frac{1}{0.7(R_1 + 2R_2)\,C_1} = \frac{1.43}{(R_1 + 2R_2)\,C_1}$$

وتكون النسبة المئوية لاستمرار المستوى المنطقي العالي إلى دور الساعة، والذي يعرف (Duty Cycle):

$$Duty\ Cycle = \frac{t_H}{T} \times 100\% = \frac{0.7(R_1 + R_2)\,C_1}{0.7(R_1 + 2R_2)\,C_1} \times 100\% = \frac{(R_1 + R_2)}{(R_1 + 2R_2)} \times 100\%$$

مثال 4.5

جرى توصيل دارة المؤقت 555 لتعمل كدارة مهتز عديم الاستقرار كما هو مبين في الشكل (30.5)، حدد قيمة تردد إشارة الساعة التي يعطيها خرج دارة المؤقت، واحسب النسبة المئوية لاستمرار المستوى المنطقي العالي إلى دور الساعة، والذي يسمى (Duty Cycle).



الشكل 30.5: المخطط الصندوقي لدارة المؤقت 555 كمولد إشارة ساعة.

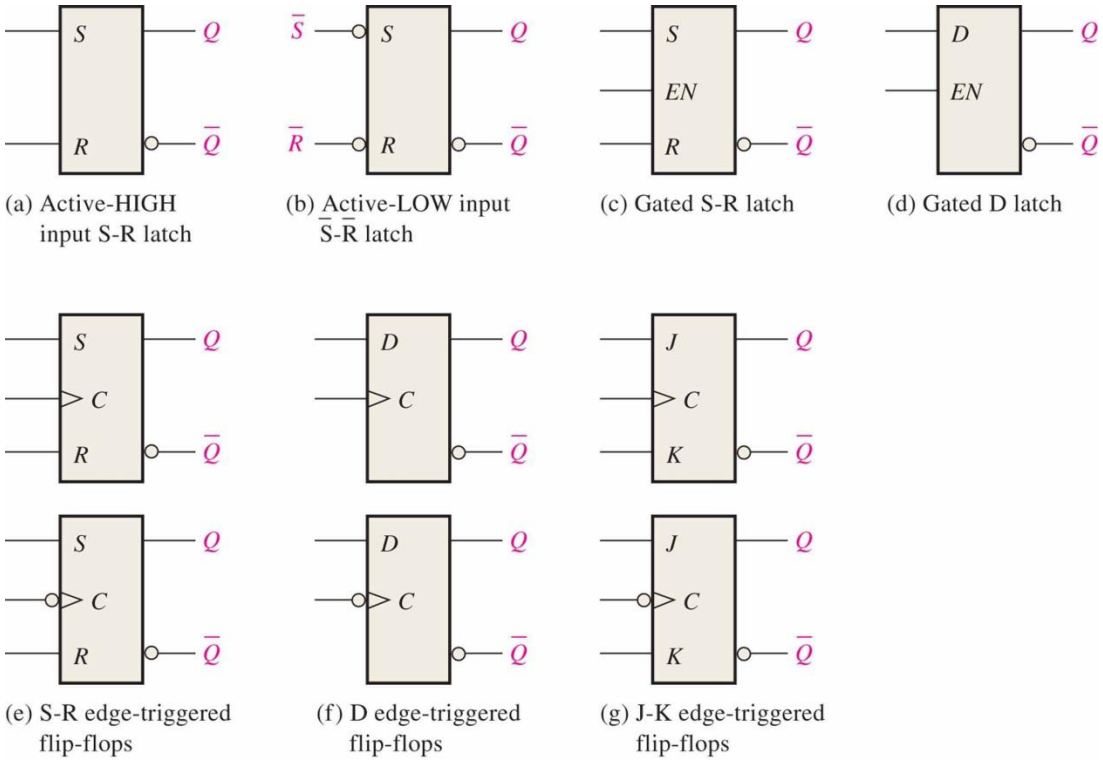
الحل

$$f = \frac{1.43}{(2.2\,k\Omega + 2\times 4.7\,k\Omega)0.022\,\mu F} = 5.6\,kHz$$

$$Duty\ Cycle = \frac{(R_1 + R_2)}{(R_1 + 2R_2)} \times 100\% = \frac{(2.2\,k\Omega + 4.7\,k\Omega)}{(2.2\,k\Omega + 2\times 4.7\,k\Omega)} \times 100\% = 59.5\%$$

5. خلاصة Summary

1. يعطي الشكل (31.5) المخططات الصندوقية للسجلات والقلابات.



الشكل 31.5: المخطط الصندوقي للسجلات والقلابات.

2. السجلات (Latches) هي مهتزات ثنائية الاستقرار (Bistable)، تتعلق حالتيها بمداخلها غير المتزامنة.

3. القلابات هي مهتزات ثنائية الاستقرار، بمداخل متزامنة تتعلق حالاتها بمداخلها عند حافة إشارة الساعة. ويحصل تغير الخرج عند تلك الحافة أيضاً.

4. المهتزات وحيدة الاستقرار (Monostable Multivibrators) لها حالة مستقرة واحدة، تستعمل لتوليد نبضة بعرض يحدده ثابت زمني يتناسب طرداً مع قيمتي مكثفة ومقاومة توصلان بدارة المهتز.

5. المهتزات عديمة الاستقرار (Astable Multivibrators)، ليس لها حالات مستقرة، تولد إشارات دورية، تعرف بإشارات الساعة، وتستعمل في الأنظمة المنطقية.

أسئلة ومسائل الفصل الخامس Questions and Problems

أسئلة الفصل الخامس

اختر الإجابة الصحيحة

1. في حالة سجل $S-R$، عنما يأخذ مدخل الوضع القيمة المنطقية $(S=1)$، ومدخل إعادة الوضع القيمة المنطقية $(R=0)$، ثم يتغير بعدها مدخل الوضع إلى القيمة المنطقية $(S=0)$، يكون السجل في حالة:

a) وضع الخرج (Q) على القيمة المنطقية (1)

b) إعادة وضع الخرج (Q) على القيمة المنطقية (0)

c) غير مسموح بها

d) هي غير ما ذكر

2. تكون الحالة المحظورة لسجل $S-R$ من أجل:

a) $(S=1, R=0)$

b) $(S=0, R=1)$

c) $(S=1, R=1)$

d) $(S=0, R=0)$

3. يكون خرج سجل D محكوم بأمر (Gated D Latch) دوماً مساوياً إلى الدخل:

a) قبل نبضة أمر التأهيل

b) خلال نبضة أمر التأهيل

c) مباشرة بعد نبضة أمر التأهيل

d) الجوابان (a) و(c)

4. تنتمي القلابات (Flip–Flops) كما السجلات (Latches) إلى دارات تعرف:

a) بالمهتزات وحيدة الاستقرار (Monostable)

b) بالمهتزات ثنائية الاستقرار (Bistable)

c) بالمهتزات عديمة الاستقرار (Astable)

d) بمولدات النبضات (One–Shots).

5. يعمل مدخل إشارة الساعة في القلابات على:

a) وضع القلاب على القيمة المنطفية (0)

b) وضع القلاب على القيمة المنطفية (1)

c) تغيير حالة الخرج باستمرار

d) إعطاء الخرج قيمة تتعلق بقيم المداخل $(S-R, J-K, or\ D)$

6. في حالة قلاب D:

a) يتغير الخرج عند حافة نبضة الساعة

b) تتعلق حالة القلاب بمدخل المعطيات (D)

c) يتبع الخرج دخل المعطيات عند كل حافة إشارة ساعة

d) كل الأجوبة السابقة $(a, b, and\ c)$

7. الميزة التي تفرق بين القلاب $J-K$ والقلاب $S-R$ هي:

a) شرط تغيير الخرج

b) مدخل الوضع على القيمة المنطقية (1) غير المتزامن ($Preset$)

c) نوع إشارة الساعة

d) مدخل إعادة الوضع على القيمة المنطقية (0) غير المتزامن ($Clear$)

8. يكون القلاب في شرط تغيير الخرج عندما يكون مدخلاه:

a) $(J=1, K=0)$

b) $(J=1, K=1)$

c) $(J=0, K=0)$

d) $(J=0, K=1)$.

9. مولد النبضات هو نوع من:

a) المهتزات وحيدة الاستقرار

b) المهتزات عديمة الاستقرار

c) المؤقتات

d) الجوابان (a) و (c)

e) الجوابان (b) و (c)

10. المهتز عديم الاستقرار:

a) يتطلب مدخل أمر تغيير دوري

b) ليس لديه حالة مستقرة

c) هو دارة اهتزاز

d) يعطي على خرجه نبضات دورية

e) الأجوبة (a) و(b) و(c) و(d)

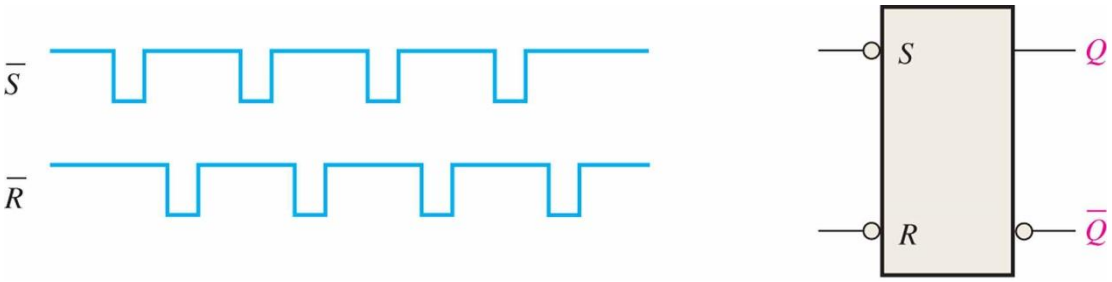
f) الأجوبة (b) و(c) و(d) فقط.

Ans. 1 (a) ،2 (c) ،3 (d) ،4 (b) ،5 (d) ،6 (d) ،7 (a) ،8 (b) ،9 (d) ،10 (f).

أسئلة الفصل الخامس	الإجابة الصحيحة
1	a
2	c
3	d
4	b
5	d
6	d
7	a
8	b
9	d
10	f

مسائل الفصل الخامس

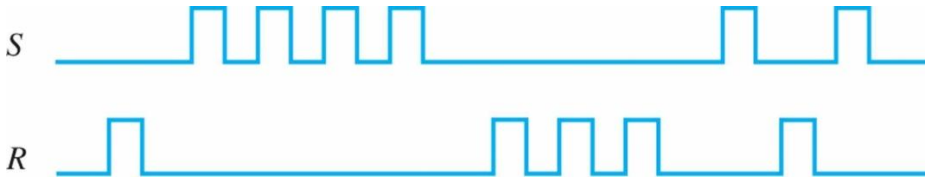
1. ارسم إشارة الخرج (Q) للسجل ($S-R$) الموافقة لإشارات دخله ($\overline{S}-\overline{R}$) المبينة في الشكل (32.5)، بافتراض أن مداخله فعالة على المستوى المنطقي المنخفض، وأن خرجه (Q) يأخذ بداية المستوى المنخفض.



الشكل 32.5: سجل ($S-R$) بمداخل فعالة على المستوى المنخفض، وإشارات الدخل ($\overline{S}, \overline{R}$).

Ans

2. ارسم إشارة الخرج (Q) للسجل ($S-R$) الموافقة لإشارات دخله ($S-R$) المبينة في الشكل (33.5) بافتراض أن مداخله فعالة على المستوى المنطقي العالي، وأن خرجه (Q) يأخذ بداية المستوى المنخفض.



الشكل 33.5: إشارات الدخل (S, R) لسجل ($S-R$).

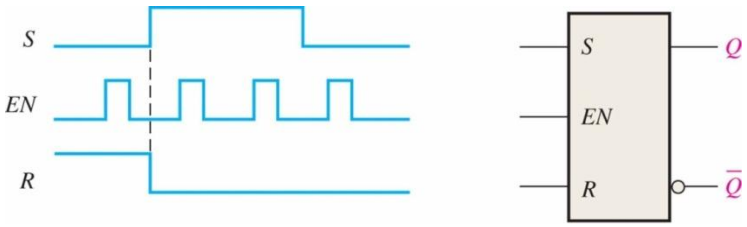
Ans

3. ارسم إشارة الخرج (Q) للسجل ($S-R$) الموافقة لإشارات دخله ($\overline{S}, \overline{R}$) المبينة في الشكل (34.5)، بافتراض أن مداخله فعالة على المستوى المنطقي المنخفض، وأن خرجه (Q) يأخذ بداية المستوى المنخفض.

الشكل 34.5: إشارات الدخل ($\overline{S}, \overline{R}$) لسجل ($S-R$).

Ans

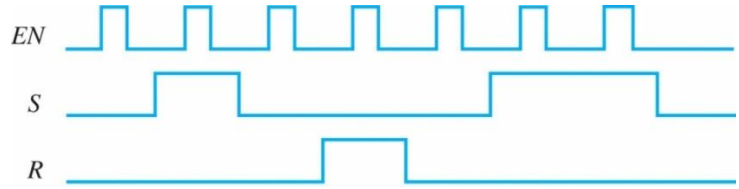
4. ارسم إشارتي الخرج $(Q, \overline{Q})$ للسجل $(S-R)$ المحكوم بأمر، والموافقتين لإشارات دخله (S, EN, R) المبينة في الشكل (35.5). بافتراض أن مداخله فعالة على المستوى المنطقي العالي، وأن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 35.5: سجل $(S-R)$ محكوم بأمر ومداخله فعالة على المستوى العالي، وإشارات دخله (S, R, EN)

Ans

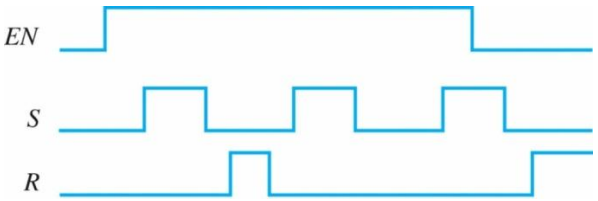
5. ارسم إشارتي الخرج $(Q, \overline{Q})$ للسجل $(S-R)$ المحكوم بأمر، والموافقتين لإشارات دخله (EN, S, R) المبينة في الشكل (36.5). بافتراض أن مداخله فعالة على المستوى المنطقي العالي، وأن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 36.5: إشارات الدخل (EN, S, R) لسجل $(S-R)$ محكوم بأمر.

Ans

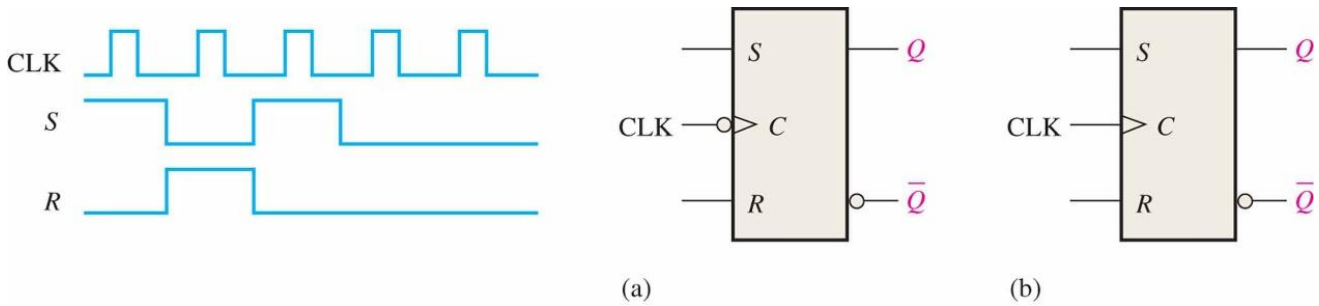
6. ارسم إشارتي الخرج $(Q, \overline{Q})$ للسجل $(S-R)$ المحكوم بأمر، والموافقتين لإشارات دخله (EN, S, R) المبينة في الشكل (37.5). بافتراض أن مداخله فعالة على المستوى المنطقي العالي، وأن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 37.5: إشارات الدخل (EN, S, R) لسجل $(S-R)$ محكوم بأمر.

Ans

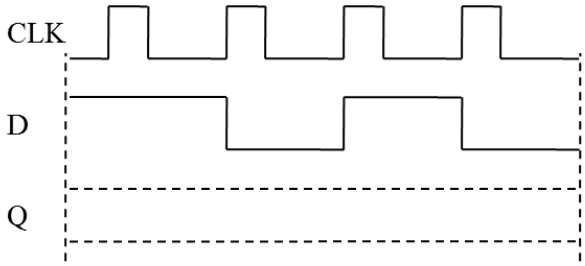
7. ارسم إشارة الخرج (Q) لكل من القلابين المبينين مع إشارات دخل كل منهما (CLK, S, R) في الشكل (38.5)، واشرح الفرق بينهما. وافترض أن حالة الخرج (Q) الابتدائية لكل منهما هي المستوى المنخفض.



الشكل 38.5: إشارات الدخل (CLK, S, R) لقلاب ($S-R$).

Ans

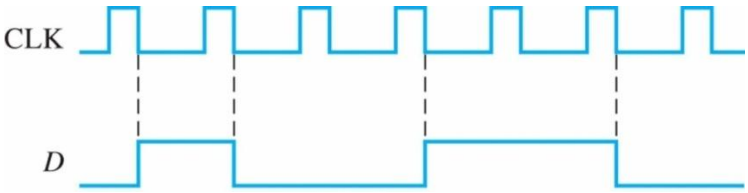
8. ارسم إشارة خرج القلاب (D) الموافق لإشاراتي الدخل (CLK, D) في الشكل (39.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 39.5: إشاراتا الدخل (CLK, D) لقلاب (D).

Ans

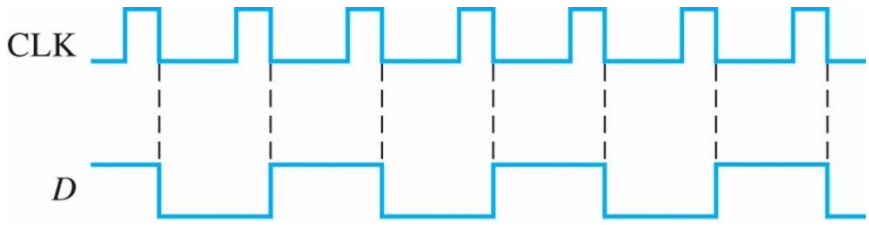
9. ارسم إشارة خرج القلاب (D) الموافق لإشاراتي الدخل (CLK, D) في الشكل (40.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 40.5: إشاراتا الدخل (CLK, D) لقلاب (D).

Ans

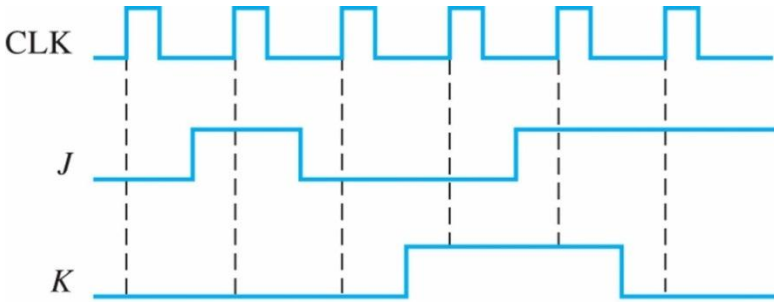
10. ارسم إشارة خرج القلاب (D) الموافق لإشاراتي الدخل (CLK, D) في الشكل (41.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 41.5: إشاراتا الدخل (CLK, D) لقلاب (D).

Ans

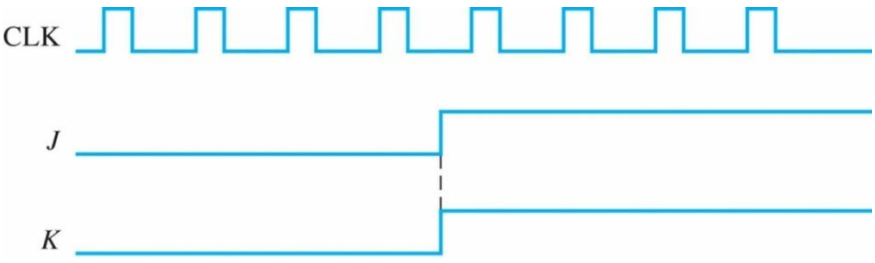
11. ارسم إشارة الخرج (Q) للقلاب ($J-K$) الموافقة لإشارات الدخل (CLK, J, K) في الشكل (42.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 42.5: إشارات الدخل (CLK, J, K) لقلاب ($J-K$).

Ans

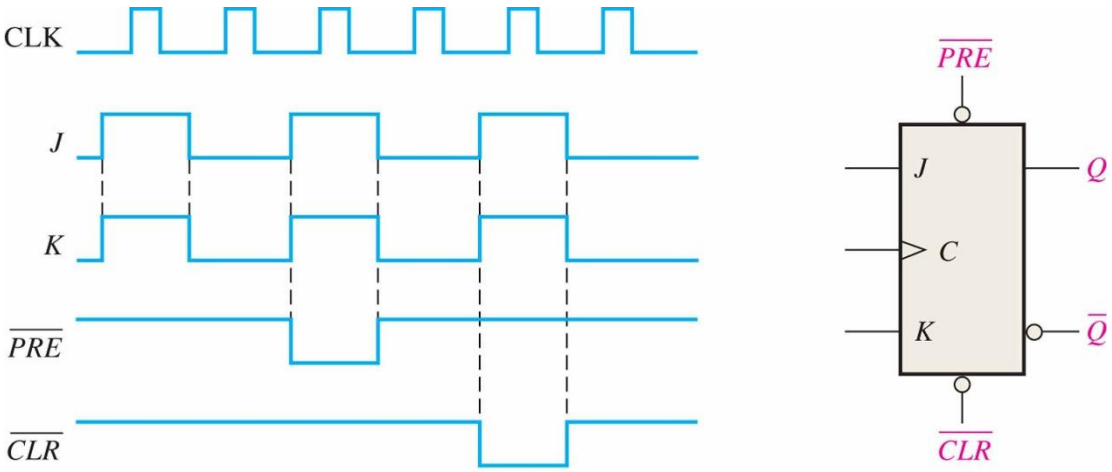
12. ارسم إشارة الخرج (Q) للقلاب ($J-K$) الموافقة لإشارات الدخل (CLK, J, K) في الشكل (43.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 43.5: إشارات الدخل (CLK, J, K) لقلاب ($J-K$).

Ans

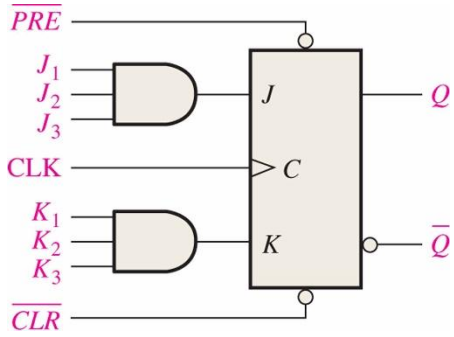
13. ارسم إشارة الخرج (Q) للقلاب $(J-K)$ الموافقة لإشارات الدخل (CLK, J, K) في الشكل (44.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 44.5: إشارات الدخل $(CLK, J, K, \overline{PRE}, \overline{CLR})$ لقلاب $(J-K)$.

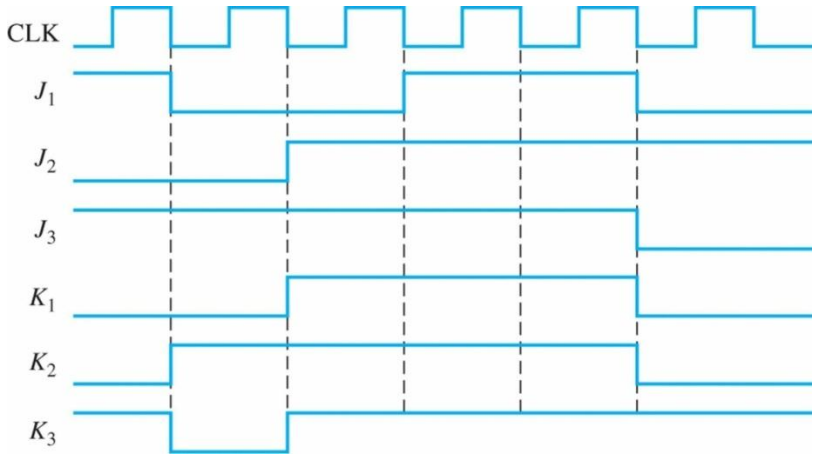
Ans

14. ارسم إشارة الخرج (Q) للقلاب $(J-K)$ المبين في الشكل (45.5)، والموافقة لإشارات الدخل $(CLK, J_i, K_i, \overline{PRE}, \overline{CLR})$ المبينة في الشكل (46.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض، وأن $(\overline{PRE} = \overline{CLR} = 1)$.



الشكل 45.5: قلاب $(J-K)$ بمداخل متعددة للوضع والإعادة.

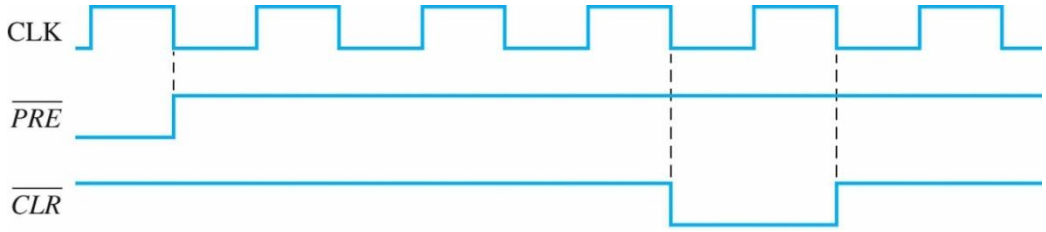
Ans



الشكل 46.5: إشارات الدخل $(CLK,\ J_i,\ K_i,\ \overline{PRE} = \overline{CLR} = 1)$ لقلاب $(J-K)$.

Ans

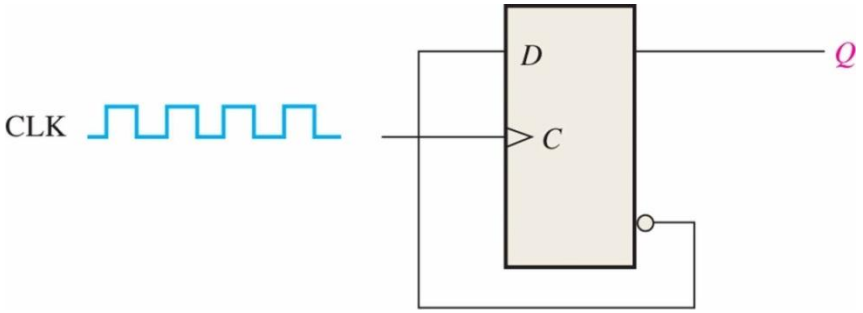
15. ارسم إشارة الخرج (Q) للقلاب $(J-K)$ والموافقة لإشارات دخله $(CLK,\ J_i,\ K_i,\ \overline{PRE} = \overline{CLR} = 1)$ في الشكلين (46.5-47.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض.



الشكل 47.5: إشارات الدخل $(CLK,\ J_i,\ K_i,\ \overline{PRE},\ \overline{CLR})$ لقلاب $(J-K)$.

Ans

16. ارسم إشارة الخرج (Q) للقلاب (D) والموافقة لإشارة الساعة المبينة في الشكل (48.5). وافترض أن حالة الخرج (Q) الابتدائية هي المستوى المنخفض. ماهو التابع المحدد الذي تحققه هذه الدارة؟



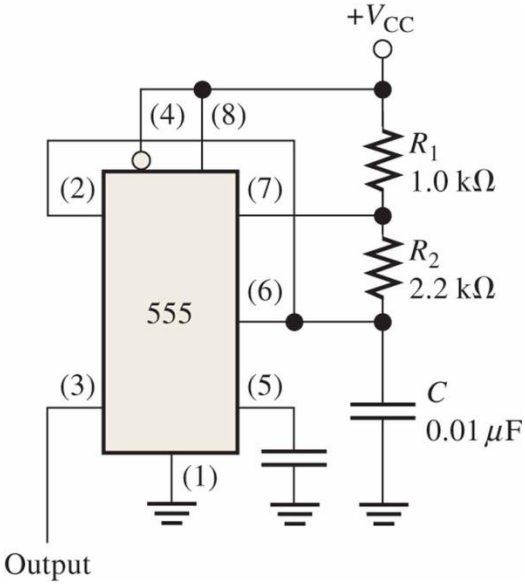
الشكل 48.5: المخطط الصندوقي لقلاب (T) وإشارة الساعة (CLK).

Ans

17. أنشئ دارة مولد نبضات باستعمال الدارة المتكاملة (555)، للحصول على نبضة عرضها ($0.25\ s$)، إذا افترضنا أن قيمة المكثف ($1\ \mu F$).

Ans

18. لنفترض الدارة المتكاملة (555)، المستعملة لتوليد إشارة ساعة والمبينة في الشكل (49.5). أوجد تردد إشارة الساعة الناتجة.



الشكل 49.5: مخطط توصيل الدارة المتكاملة (555) للحصول على إشارة ساعة.

Ans

نموذج مذاكرة للفصل الخامس

الجامعة الافتراضية ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل الخامس: السجلات والقلابات والمؤقتات

أستاذ المادة: ....

المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

- المادة مغلقة
- يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. سوف لايتغير خرج السجل D إذا كان:

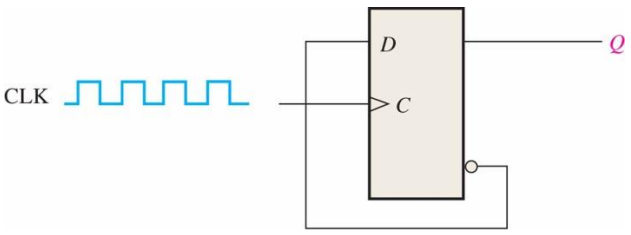
a) خرجه على القيمة المنطقية (0)

b) مدخل أمر التأهيل ليس فعالاً $(En=0)$

c) مدخل المعطيات D على القيمة المنطقية (0)

d) كل ما ذكر.

2. القلاب D المبين أدناه:



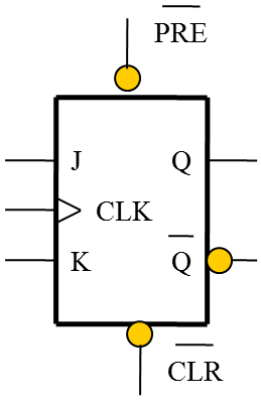
a) سيأخذ القيمة المنطقية (1) عندنبضة الساعة التالية

b) سيأخذ القيمة المنطقية (0) عندنبضة الساعة التالية

c) سوف لا تتغير حالته المنطقية عندنبضة الساعة التالية

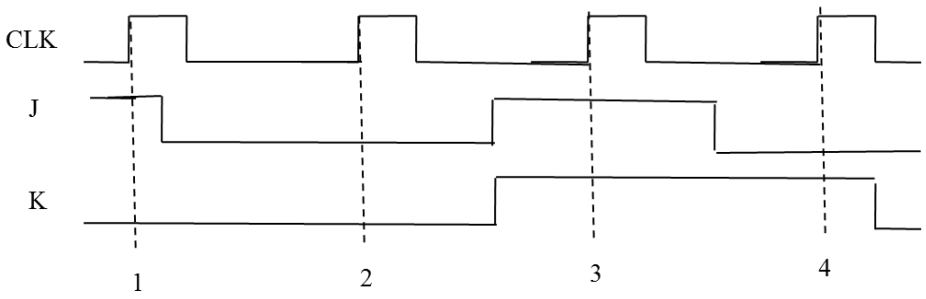
d) سوف تتغير حالته المنطقية عندنبضة الساعة التالية.

3. في حالة القلاب $J-K$ المبين أدناه، عدد المداخل غير المتزامنة هو:



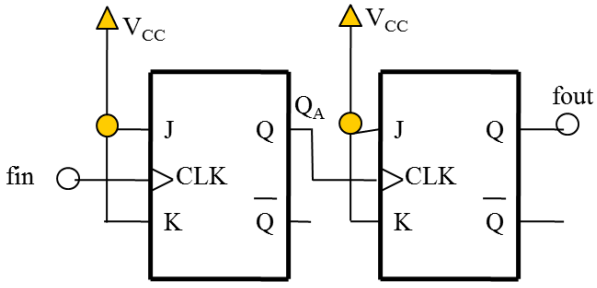
(a 1
(b 2
(c 3
(d 4

4. بفرض أن الخرج بداية على المستوى المنطقي العالي قبل أول جبهة صعود لإشارة الساعة للقلاب J–K وبفرض المخطط الزمني المبين أدناه، سينتقل الخرج من المستوى المنطقي العالي إلى المستوى المنطقي المنخفض عند أية حافة صعود لإشارة الساعة؟



(a 1
(b 2
(c 3
(d 4

5. التطبيق المبين أدناه هو :



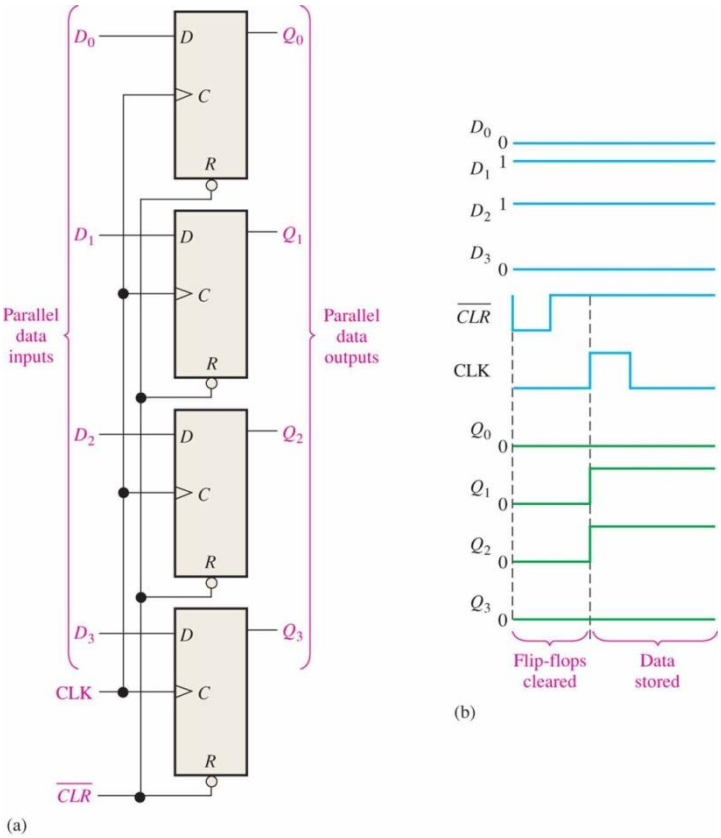
a) مهتز عديم الاستقرار

b) عنصر تخزين معلومات

c) ضارب تردد

d) مقسم تردد

6. التطبيق المبين أدناه :



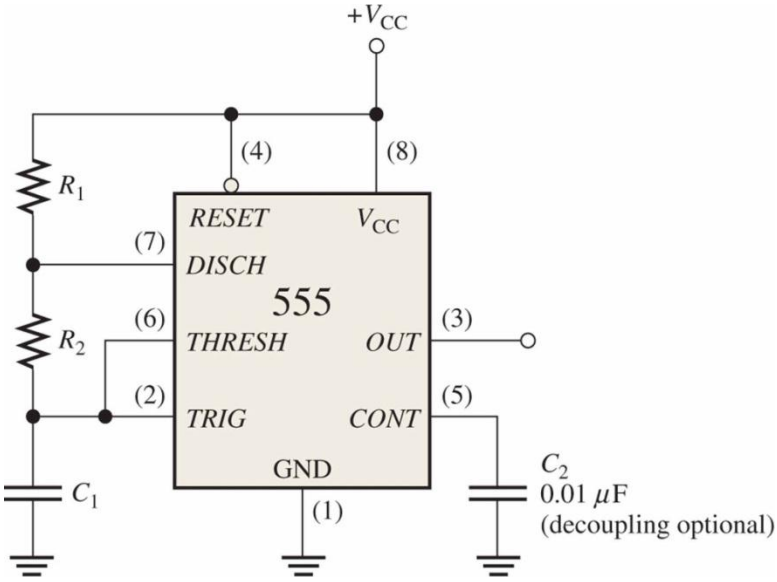
a) مهتز عديم الاستقرار

b) عنصر تخزين معلومات

c) ضارب تردد

d) مقسم تردد

7. الدارة المبينة أدناه هي:



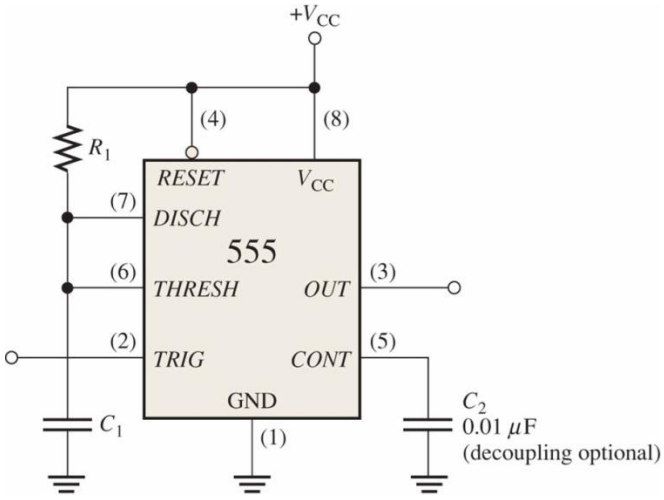
a) مهتز عديم الاستقرار

b) مهتز وحيد الاستقرار

c) ضارب تردد

d) مقسم تردد

8. الدارة المبينة أدناه هي:



a) مهتز عديم الاستقرار

b) مهتز وحيد الاستقرار

c) ضارب تردد

d) مقسم تردد

9. مولد النبضات هو نوع من:

a) المهتزات وحيدة الاستقرار

b) المهتزات عديمة الاستقرار

c) المؤقتات

d) الجوابان (a) و (c)

e) الجوابان (b) و (c)

10. المهتز عديم الاستقرار:

a) يتطلب مدخل أمر تغيير دوري

b) ليس لديه حالة مستقرة

c) هو دارة اهتزاز

d) يعطي على خرجه نبضات دورية

e) الأجوبة (a) و (b) و (c) و (d)

f) الأجوبة (b) و (c) و (d) فقط

الإجابة الصحيحة لنموذج مذاكرة الفصل الخامس

1 (b)، 2 (d)، 3 (b)، 4 (c)، 5 (d)، 6 (b)، 7 (a)، 8 (b)، 9 (d)، 10 (f)

1. تصنيف عناصر الذاكرة Memory Elements classifications

2. السجلات Latches

3. القلابات Edge–Triggered Flip–Flops

4. دارة المؤقت (555) The 555 Timer

التغذية الراجعة للسؤال

1 مراجعة السجلات Latches

2 مراجعة القلابات Edge–Triggered Flip–Flops

3 مراجعة القلابات Edge–Triggered Flip–Flops

4 مراجعة القلابات Edge–Triggered Flip–Flops

5 مراجعة القلابات Edge–Triggered Flip–Flops

6 مراجعة القلابات Edge–Triggered Flip–Flops

7 مراجعة دارة المؤقت (555) The 555 Timer

8 مراجعة دارة المؤقت (555) The 555 Timer

9 مراجعة دارة المؤقت (555) The 555 Timer

10 مراجعة دارة المؤقت (555) The 555 Timer

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل الخامس

نموذج مذاكرة الفصل الخامس	الإجابة الصحيحة
1	b
2	d
3	b
4	c
5	d
6	b
7	a
8	b
9	d
10	f

الفصل السادس
سجلات الازاحة

كلمات مفتاحية Keywords

سجل Register، مرحلة Stage، إزاحة Shift، تحميل Load، ثنائي الاتجاه Bidirectional.

الملخص Abstract

يهدف الفصل السادس إلى دراسة سجلات الإزاحة، التي هي نوع من أنواع الدارات التتابعية (Sequential logic circuit). تستعمل سجلات الإزاحة لتخزين المعطيات، بطريقة تسلسلية أو تفرعية، كما يمكن إزاحة المعطيات فيها يمنة أو يسرة.

الأهداف التعليمية للفصل السادس ILO6

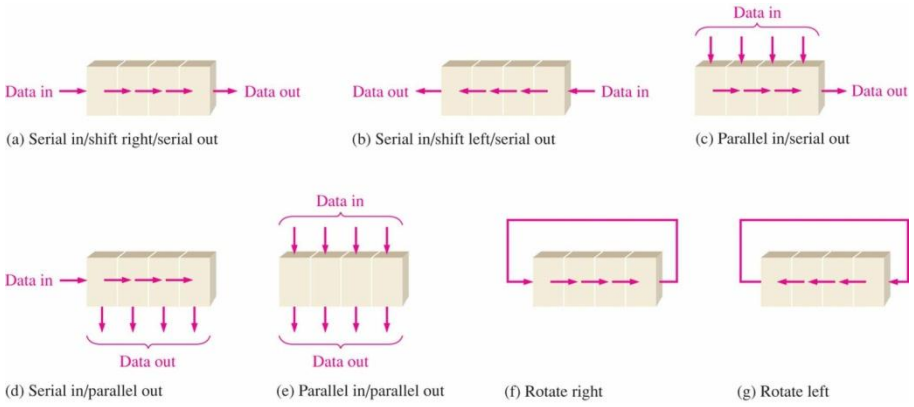
يهدف هذا الفصل إلى دراسة البنية العامة لسجلات الإزاحة، ووظائفها ومبدأ عملها.

مخرجات الفصل السادس ILO6

فهم وظيفة ومبدأ عمل سجلات الإزاحة.

1. العمليات الرئيسة لسجلات الإزاحة Basic Shift Registers Operations

يتكون سجل الإزاحة من مجموعة من القلابات، وله وظيفتان: تخزين المعطيات وإزاحتها يمنة أو يسرة. يبين الشكل (1.6) طرق إدخال وإخراج المعطيات في سجلات الإزاحة وبالتالي أنواع سجلات الإزاحة.

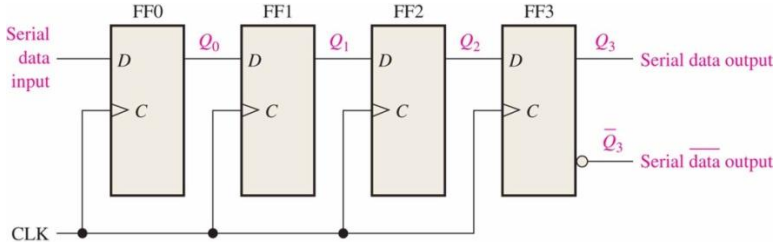


الشكل 1.6: البنية الأساسية لسجل إزاحة بأربعة مراحل وأنواعه الأربعة.

النوع الأول (a) سجل دخل تسلسلي / خرج تسلسلي مع إزاحة نحو اليمين (Serial in / shift right / serial out)، و(b) سجل دخل تسلسلي / خرج تسلسلي مع إزاحة نحو اليسار (Serial in / shift left / serial out). النوع الثاني (c) سجل دخل تفرعي / خرج تسلسلي مع إزاحة نحو اليمين (Parallel in / serial out). النوع الثالث (d) سجل دخل تسلسلي / خرج تفرعي مع إزاحة نحو اليمين (Serial in/parallel out). النوع الرابع (e) سجل دخل تفرعي / خرج تفرعي (Parallel in / parallel out). كما يمكن استعمال سجل الإزاحة لتنفيذ ما يعرف بالدوران نحو اليمين (f) (right Rotate)، أو الدوران نحو اليسار (g) (Rotate left).

2. سجلات الإزاحة ذات الدخل التسلسلي/الخرج التسلسلي Serial In/Serial Out Shift Registers

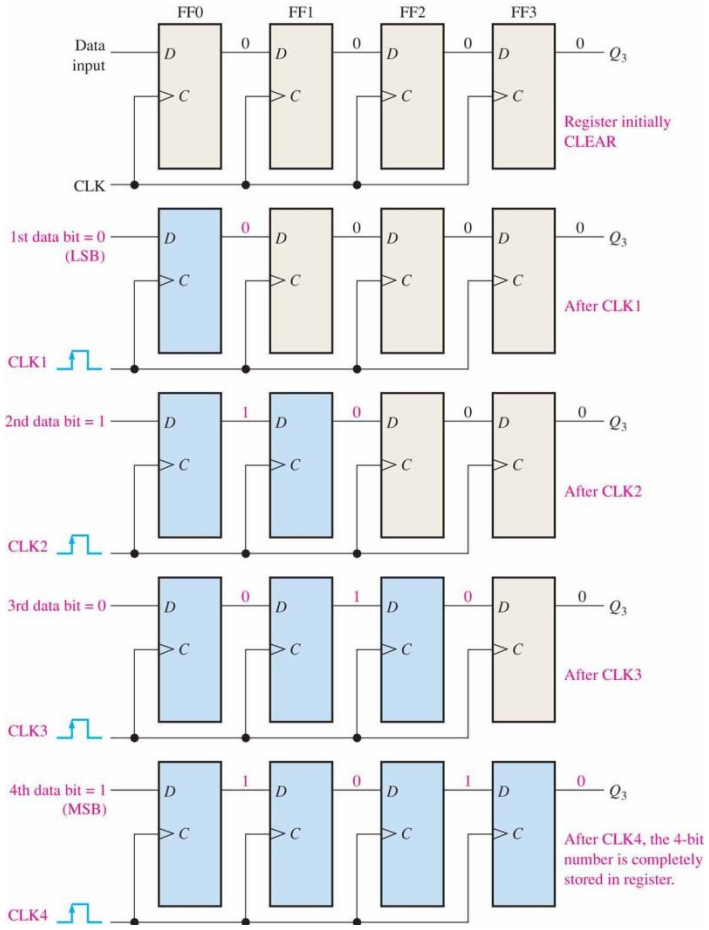
يمكن بناء سجل الإزاحة من قلابات (D). يبين الشكل (2.6) سجل إزاحة يتكون من أربعة مراحل ($FF0, FF1, FF2, FF3$).



الشكل 2.6: البنية الأساسية لسجل إزاحة تسلسلي / تسلسلي بأربعة مراحل.

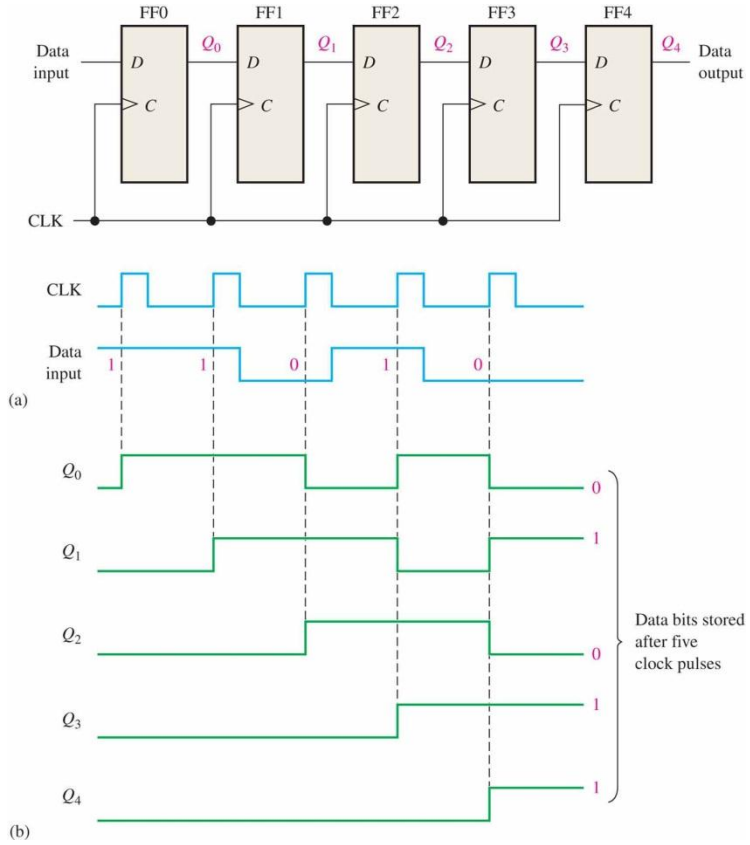
مع كل صعود إشارة ساعة تنتقل المعطية (0) كانت أو (1) من المدخل التسلسلي (Serial data input) إلى مخرج المرحلة الأولى (Q_0)، والمعطية التي كانت في (Q_0) تنتقل إلى (Q_1) و(Q_1) إلى (Q_2) و(Q_2) إلى (Q_3) الذي هو المخرج التسلسلي (Serial data output) لسجل الإزاحة.

يبين الشكل (3.6) إدخال المعطيات التسلسلية (1010) إلى سجل إزاحة $(4-bit)$ تسلسلي/ تسلسلي.



الشكل 3.6: الإدخال التسلسلي في سجل إزاحة تسلسلي/تسلسلي بأربعة مراحل.

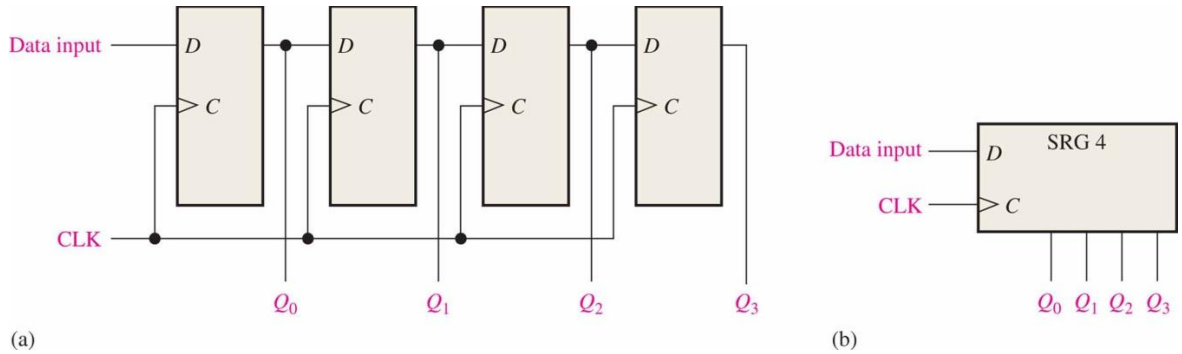
كما يبين الشكل (4.6) المخطط الزمني لإدخال المعطيات التسلسلية (11010) إلى سجل إزاحة $(5-bit)$ تسلسلي / تسلسلي.



الشكل 4.6: المخطط الزمني للإدخال التسلسلي في سجل إزاحة ($5-bit$) تسلسلي / تسلسلي.

3. سجلات الإزاحة ذات الدخل التسلسلي / الخرج التفرعي Serial In/Parallel Out Shift Registers

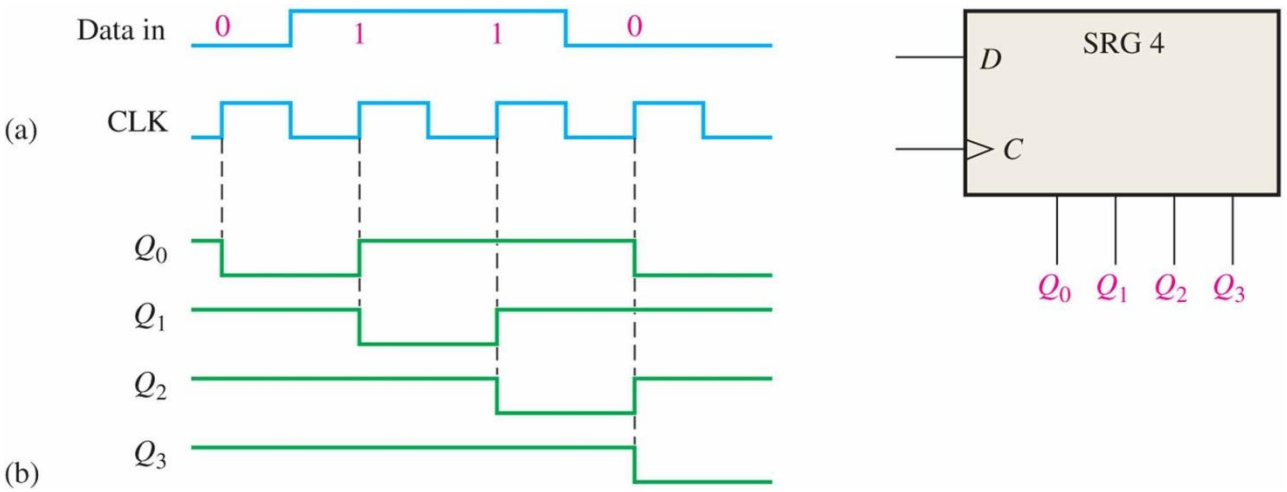
يبين الشكل (5.6) سجل إزاحة ($4-bit$) تسلسلي/تفرعي يتكون من أربعة مراحل.



الشكل 5.6: البنية الأساسية لسجل إزاحة تسلسلي / تسلسلي بأربعة مراحل.

مع كل صعود إشارة ساعة تنتقل المعطية من المدخل التسلسلي (Serial data input) إلى مخرج المرحلة الأولى (Q_0)، والمعطية التي كانت في (Q_0) تنتقل إلى (Q_1) و(Q_1) إلى (Q_2) و(Q_2) إلى (Q_3)، إذ بعد أربعة أدوار من أدوار الساعة تكون المعطيات التسلسلية الأربع قد خزنت في سجل الإزاحة ويمكن الحصول عليها تفرعياً من المخارج الأربعة (Q_0, Q_1, Q_2, Q_3).

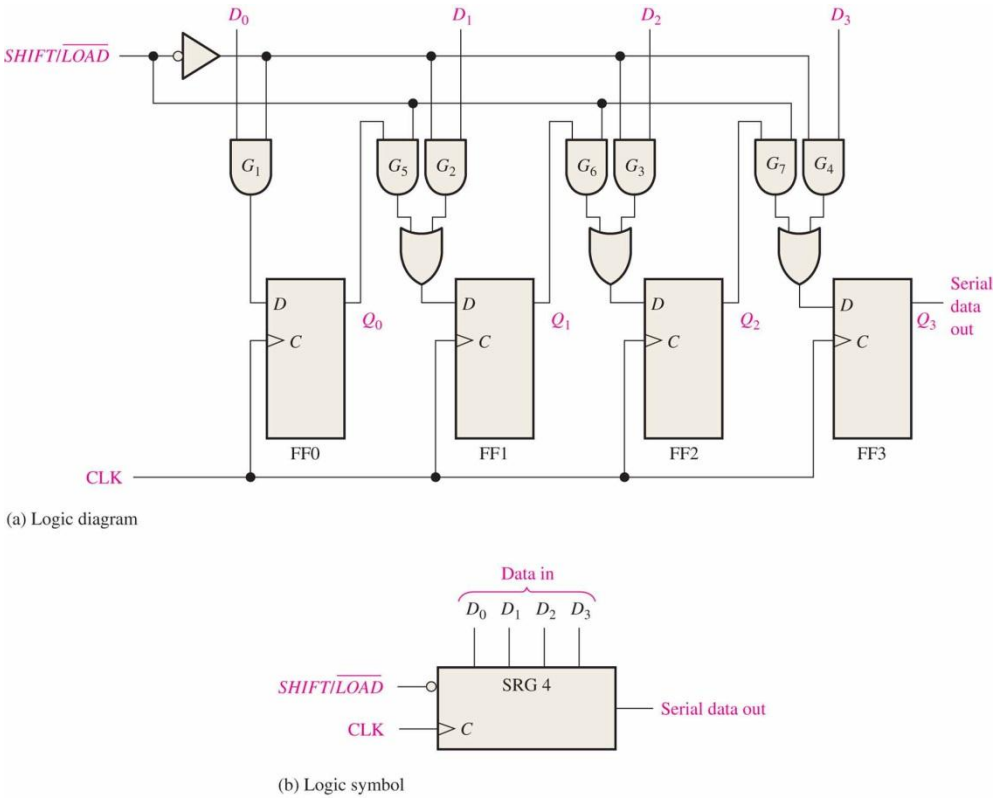
يبين الشكل (6.6) المخطط الزمني لإدخال المعطيات التسلسلية (0110) إلى سجل إزاحة ($4-bit$) تسلسلي/ تفرعي.



الشكل 6.6: المخطط الزمني للإدخال التسلسلي والإخراج التفرعي في سجل إزاحة ($4-bit$) تسلسلي / تفرعي.

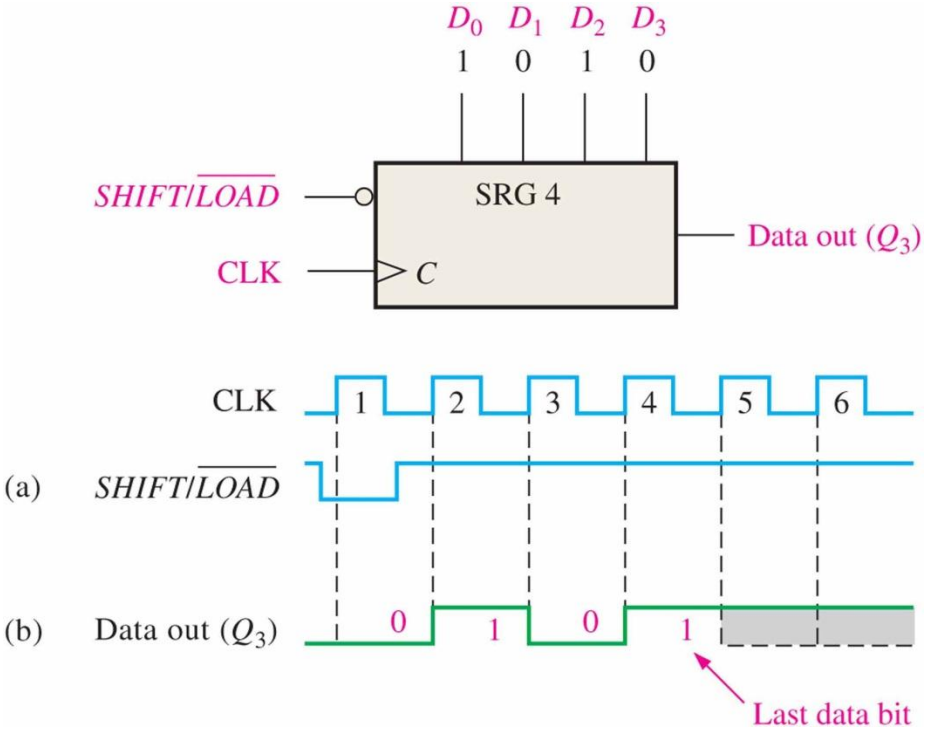
4. سجلات الإزاحة ذات الدخل التفرعي / الخرج التسلسلي Parallel In / Serial Out Shift Registers

يبين الشكل (7.6) سجل إزاحة ($4-bit$) تفرعي/تسلسلي يتكون من أربعة مراحل. عندما يكون أمر التحكم ($SHIFT / \overline{LOAD} = 0$) تكون العملية عند صعود إشارة الساعة التحميل التفرعي لقيم المداخل التفرعية (D_0, D_1, D_2, D_3) إلى سجل الإزاحة فيكون في هذه الحالة ($Q_0 = D_0, Q_1 = D_1, Q_2 = D_2, Q_3 = D_3$). وعندما يكون هذا الأمر ($SHIFT / \overline{LOAD} = 1$) فتكون العملية هي إزاحة خانة إلى اليمين عند كل صعود لإشارة الساعة.



الشكل 7.6: البنية الأساسية لسجل إزاحة تفرعي / تسلسلي بأربعة مراحل.

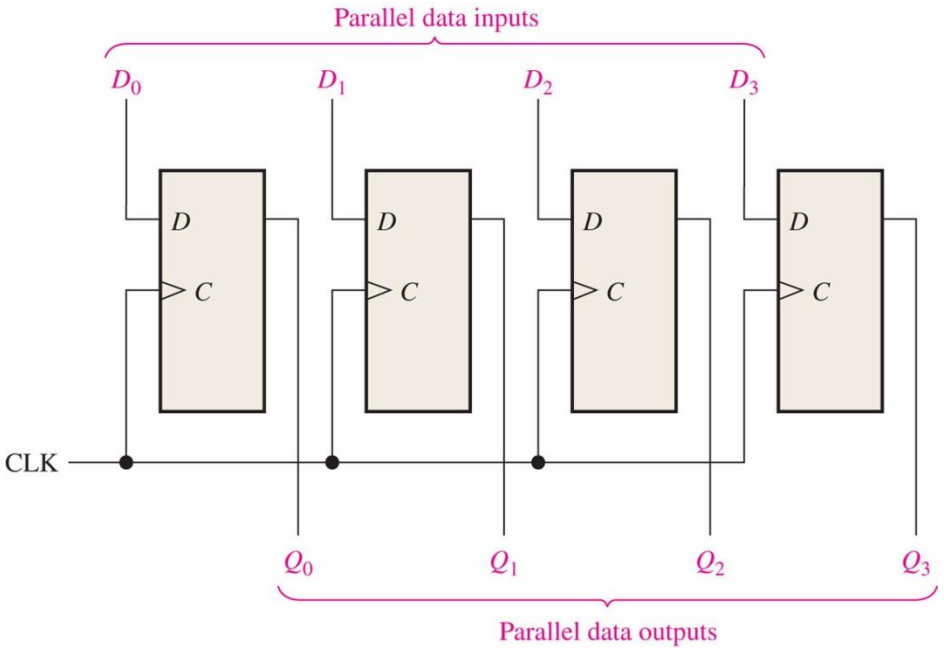
يبين الشكل (8.6) المخطط الزمني لإدخال المعطيات التفرعية (1010) إلى سجل إزاحة ($4-bit$) تفرعي / تسلسلي وإزاحتها إلى اليمين.



الشكل 8.6: المخطط الزمني للإدخال التفرعي والإخراج التسلسلي في سجل إزاحة $(4-bit)$ تفرعي / تسلسلي.

5. سجلات الإزاحة ذات الدخل التفرعي / الخرج التفرعي Parallel In / Parallel Out Shift Registers

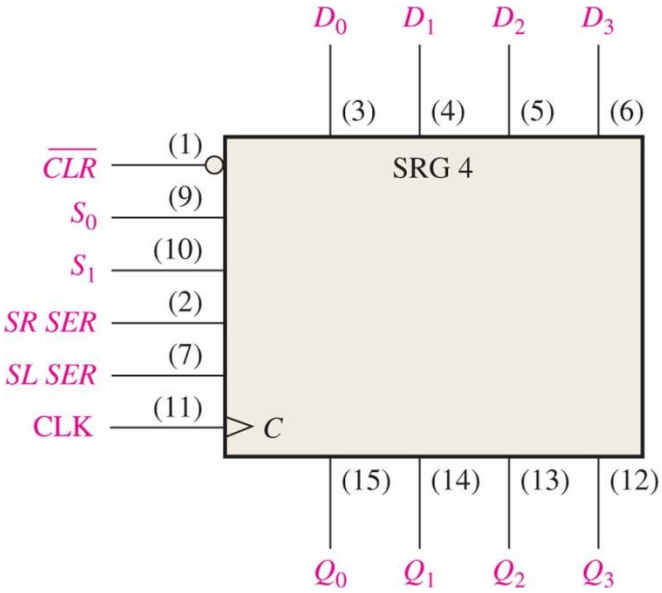
يبين الشكل (9.6) سجل إزاحة $(4-bit)$ تفرعي/تفرعي يتكون من أربعة مراحل. تكون العملية، عند صعود إشارة الساعة، التحميل التفرعي لقيم المداخل التفرعية (D_0, D_1, D_2, D_3) إلى سجل الإزاحة فيكون في هذه الحالة $(Q_0 = D_0, Q_1 = D_1, Q_2 = D_2, Q_3 = D_3)$.



الشكل 9.6: البنية الأساسية لسجل إزاحة تفرعي/ تفرعي بأربعة مراحل.

6. سجلات الإزاحة العامة Bidirectional Shift Registers

يبين الشكل (10.6) سجل إزاحة عام ($4-bit$) وهو الدارة المتكاملة ($74HC194$). تملك هذه الدارة أمر تحكم ($\overline{CLR}$) يضع محتوى السجل على القيمة الصفرية ($Q_0\,Q_1\,Q_2\,Q_3 = 0\,0\,0\,0$)، وهو مدخل تحكم غير متزامن (Asyncronous) وفعال عند المستوى المنطقي المنخفض. كما يملك هذا السجل مدخلي تحكم بعمله متزامنين ($S_1\,S_0$)، بالإضافة إلى كل من مدخل إشارة الساعة (CLK)، والمدخلين التسلسليين وهما: ($SR\,SER$) المدخل التسلسلي عند الإزاحة نحو اليمين، و($SL\,SER$) المدخل التسلسلي عند الإزاحة نحو اليسار. ولسجل الإزاحة أربعة مداخل تفرعية ($D_0\,D_1\,D_2\,D_3$)، وله أربعة مخارج تفرعية أيضاً ($Q_0\,Q_1\,Q_2\,Q_3$). أما العمليات المتزامنة الممكنة في هذا السجل العام هو عدم تغيير الخرج (Inhibit) أي المحافظة على الحالة السابقة (No change)، وذلك من أجل ($S_1\,S_0 = 0\,0$)، أو إزاحة نحو اليمين (Shift right) من أجل ($S_1\,S_0 = 0\,1$)، وإزاحة نحو اليسار (Shift left) من أجل ($S_1\,S_0 = 1\,0$)، أو التحميل التفرعي (Load) من أجل ($S_1\,S_0 = 1\,1$). وهذا ما يوضحه جدول الحقيقة المبين في الشكل (11.6).



الشكل 10.6: البنية الأساسية لسجل إزاحة عام ($74HC194$).

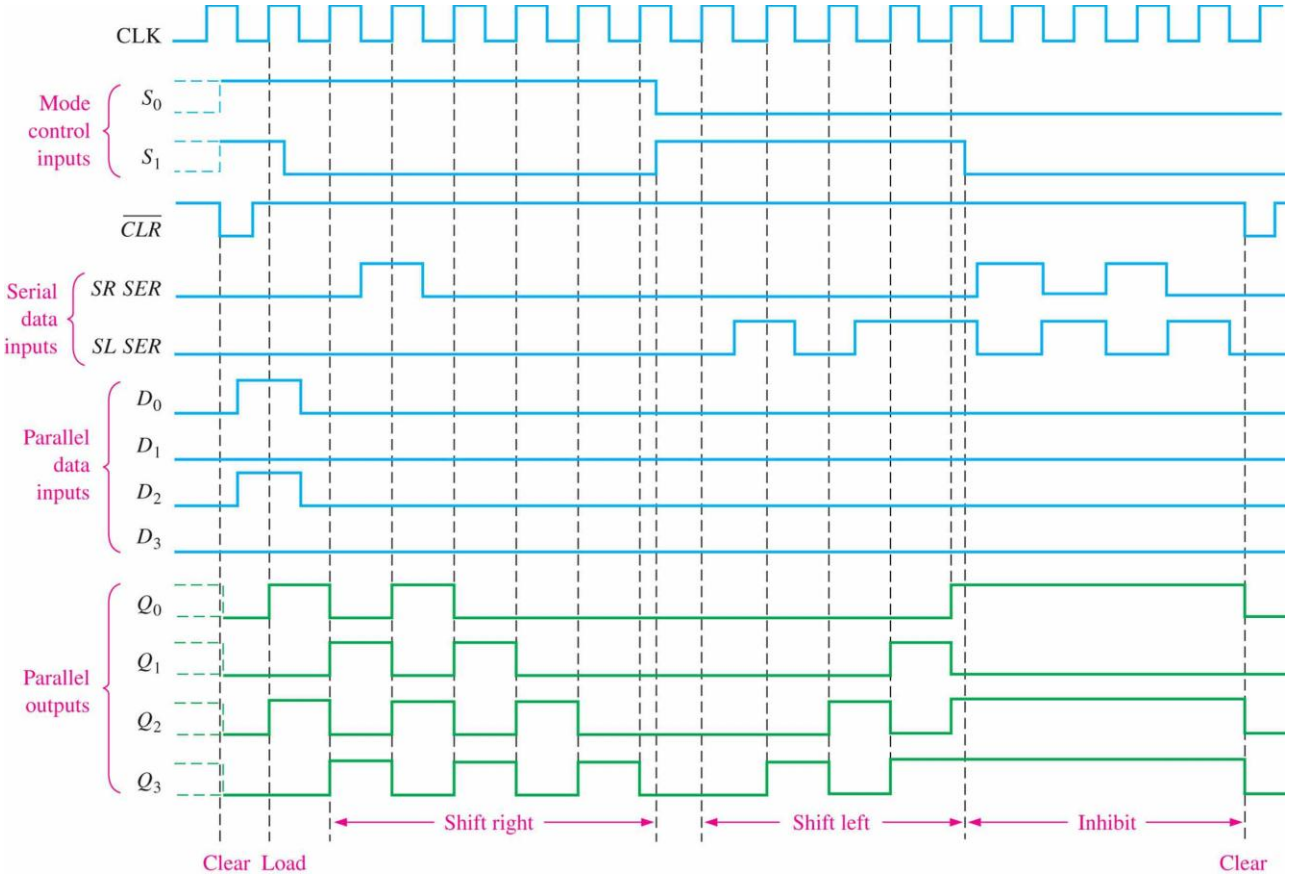
S1 S0	Function
0 0	Inhibit
0 1	Shift right
1 0	Shift left
1 1	Load

الشكل 11.6: جدول الحقيقة لعمل سجل الإزاحة العام ($74HC194$).

ويبين الشكل (12.6) المخطط الزمني الذي يوضح عمل سجل الإزاحة العام ($4-bit$).

يستجيب السجل لأمر وضع السجل على القيمة الصفرية ($\overline{CLR}$) عند هبوط إشارة الأمر على أقصى يسار المخطط الزمني، ويستمر تأثير الأمر بعد صعود إشارة وضع السجل على القيمة الصفرية ($\overline{CLR}$) وإلى أول صعود لإشارة الساعة التالية ($CLK\,2$)، إذن يأخذ الخرج ($Q_0\,Q_1\,Q_2\,Q_3$) القيمة ($0\,0\,0\,0$). وعند صعود إشارة الساعة ($CLK\,2$) يكون أمر التحكم بعمل السجل ($S_1\,S_0 = 11$)، فالعملية هي تحميل أي أن الخرج ($Q_0\,Q_1\,Q_2\,Q_3$) يأخذ قيمة الدخل التفرعي ($D_0 = 1, D_1 = 0, D_2 = 1, D_3 = 0$) خلال دور كامل. خلال الأدوار الستة التالية من ($CLK3$) إلى ($CLK\,8$) يكون أمر التحكم بعمل السجل ($S_1\,S_0 = 01$)، فالعملية هي إزاحة نحو اليمين، أي أن المدخل التسلسلي ($SR\ SER$) هو مدخل القلاب (Q_0) و(Q_0) هو مدخل القلاب (Q_1)، و(Q_1) هو مدخل القلاب (Q_2)، و(Q_2) هو مدخل القلاب (Q_3). وخلال الأدوار الخمسة التي تليها وهي ($CLK9$) إلى ($CLK13$) يكون أمر التحكم بعمل

السجل ($S_1\ S_0 = 10$)، فالعملية هي إزاحة نحو اليسار، أي أن المدخل التسلسلي ($SL\ SER$) هو مدخل القلاب (Q_3) و(Q_3) هو مدخل القلاب (Q_2)، و(Q_2) هو مدخل القلاب (Q_1)، و(Q_1) هو مدخل القلاب (Q_0). أما خلال الأدوار الأربعة التي تليها وهي ($CLK14$) إلى ($CLK17$) يكون أمر التحكم بعمل السجل ($S_1\ S_0 = 00$)، فالعملية هي عدم تغيير قيم المخارج خلال الأدوار الأربعة التالية. وأخيراً يستجيب السجل لأمر وضع السجل على القيمة الصفرية ($\overline{CLR}$) عند هبوط إشارة الأمر على أقصى يمين المخطط الزمني، ويستمر تأثير الأمر إلى آخر المخطط الزمني، إذن يأخذ الخرج ($Q_0\ Q_1\ Q_2\ Q_3$) القيمة (0000).



الشكل 12.6: المخطط الزمني الذي يوضح عمل سجل الإزاحة العام.

قبل أن ننتقل إلى الخلاصة نذكر بأهم تطبيقات سجلات الإزاحة وهي:

- العداد جونسون (Johnson counter)
- العداد الحلقي (Ring counter)
- عناصر التأخير الزمني (Time-delay devices)
- محولات المعطيات التسلسلية / التفرعية (Serial-to-parallel converters)

7. خلاصة Summary

1. يوجد أربعة أنواع رئيسة لسجلات الإزاحة: تسلسلي / تسلسلي، تسلسلي / تفرعي، تفرعي / تسلسلي، تفرعي / تفرعي. وتتلخص وظيفة سجل الإزاحة في تخزين المعطيات وإزاحتها أو دورانها يمنة أو يسرة.
2. من تطبيقات سجلات الإزاحة سجلات الإزاحة كعدادات مثل عداد جونسون أو العداد الحلقي.

أسئلة ومسائل الفصل السادس Questions and Problems

أسئلة الفصل السادس

اختر الإجابة الصحيحة

1. تتكون المرحلة في سجل الإزاحة من:

a) سجل (Latch)

b) قلاب (Flip–flop)

c) كلمة تخزين (8–bit)

d) نصف كلمة تخزين (4–bit)

2. يتطلب الإدخال التسلسلي لكلمة معطيات (8–bit):

a) نبضة إشارة ساعة

b) نبضة أمر تحميل

c) ثماني نبضات ساعة

d) نبضة ساعة لكل معطية قيمتها (1)

3. كي نحمل كلمة معطيات (8–bit) تفرعياً في سجل إزاحة بوجود أمر تحميل متزامن، يقتضي ذلك.

a) نبضة إشارة ساعة

b) نبضة ساعة لكل معطية قيمتها (1)

c) ثماني نبضات ساعة

d) نبضة ساعة لكل معطية قيمتها (0)

4. جرى إدخال البتات (10110101) تسلسلياً في سجل إزاحة (8–bit) بخرج تفرعي (البت في أقصى اليمين أولاً) إذا كان محتوى السجل بداية (11100100) يكون محتواه بعد نبضتي ساعة.

a) (01011110)

b) (10110101)

c) (01111001)

d) (00101101)

5. يمكن إدخال كلمة معطيات (8–bit) تسلسلياً إلى سجل إزاحة تردد إشارة ساعته ($100\ kHz$) بزمن مقداره.

a) ($80\ \mu s$)

b) ($8\ \mu s$)

c) ($80\ ms$)

d) ($10\ \mu s$)

6. يمكن إدخال كلمة معطيات (8–bit) تفرعياً إلى سجل إزاحة تردد إشارة ساعته ($1\ MHz$) بزمن مقداره.

a) ($8\ \mu s$)

b) زمن تأخير ثمانية قلابات

c) ($1\ \mu s$)

d) زمن تأخير قلاب واحد.

7. من تطبيقات سجلات الإزاحة.

a) دارة الجامع

b) دارة الحساب والمنطق

c) عداد جونسون

d) دارة المعالج الصغري

8. من تطبيقات سجلات الإزاحة.

a) العداد الحلقي

b) دارة الحساب والمنطق

c) دارة الضارب الإثناني،

d) دارة المعالج الصغري

9. عندما يستعمل سجل إزاحة (8–bit) تسلسلي/تسلسلي كدارة تأخير مقداره ($24\ \mu s$) يجب استعمال إشارة ساعة ترددها.

a) ($41.67\ kHz$)

b) ($333\ kHz$)

c) ($125\ kHz$)

d) ($8\ MHz$)

10. من تطبيقات سجلات الإزاحة.

a) العداد الحلقي

b) دارات التأخير

c) الجوابان (a) و(b)

d) ذاكرة (ROM)

Ans.

$1 \rightarrow (b), 2 \rightarrow (c), 3 \rightarrow (a), 4 \rightarrow (c), 5 \rightarrow (a),$
$6 \rightarrow (d), 7 \rightarrow (c), 8 \rightarrow (a), 9 \rightarrow (b), 10 \rightarrow (c),$

أسئلة الفصل السادس	الإجابة الصحيحة
1	b
2	c
3	a
4	c
5	a
6	d
7	c
8	a
9	b
10	c

مسائل الفصل السادس

العمليات الرئيسة لسجلات الإزاحة Basic Shift Registers Operations

1. لماذا يعتبر سجل الإزاحة عنصر ذاكرة؟

Ans

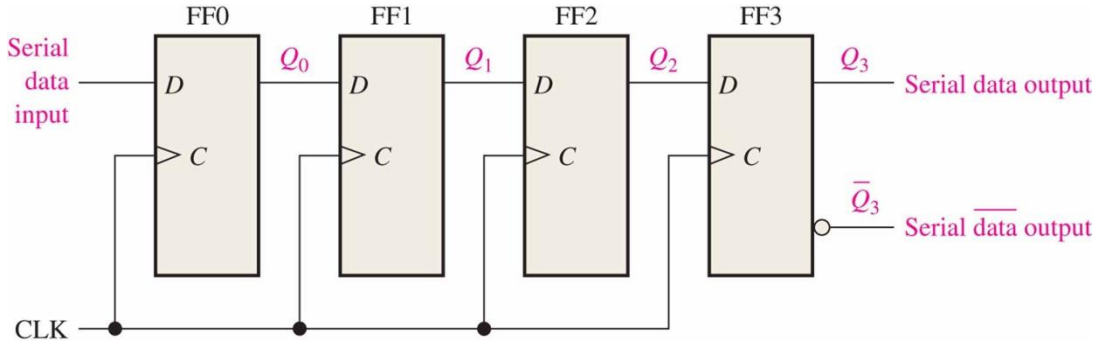
2. ماهي سعة تخزين سجل يخزن كلمتي معطيات (2 *bytes*)؟

Ans

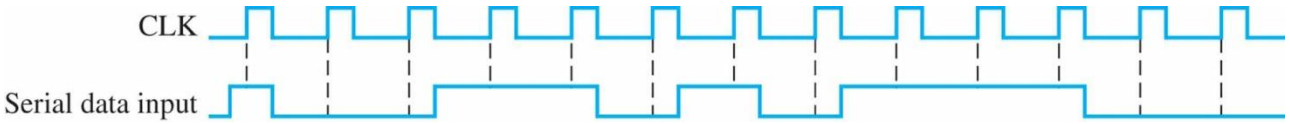
سجلات الإزاحة ذات الدخل التسلسلي/الخرج التسلسلي Serial In/Serial Out Shift Registers

3. ارسم المخطط الزمني لمخارج سجل الإزاحة المبين في الشكل (13.6)، وفقاً للمخطط الزمني لإشارات دخله المبينة في الشكل (14.6).

افترض بداية أن كل المخارج على المستوى المنطقي العالي.



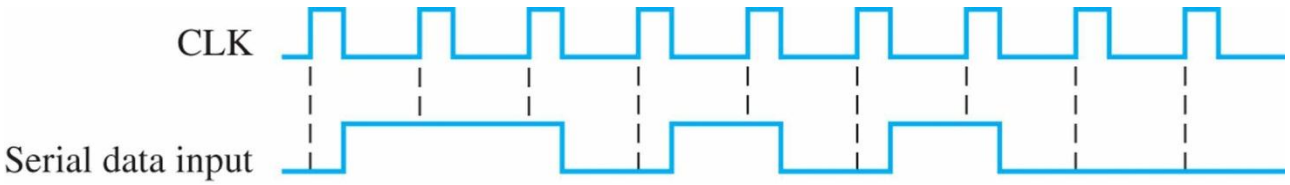
الشكل 13.6: المخطط المنطقي لسجل إزاحة تسلسلي–تسلسلي.



الشكل 14.6 : المخطط الزمني لإشارات دخل سجل إزاحة تسلسلي–تسلسلي.

Ans

4. ارسم المخطط الزمني لمخارج سجل الإزاحة المبين في الشكل (13.6)، وفقاً للمخطط الزمني لإشارات دخله المبينة في الشكل (15.6). افترض بداية أن كل المخارج على المستوى المنطقي العالي.

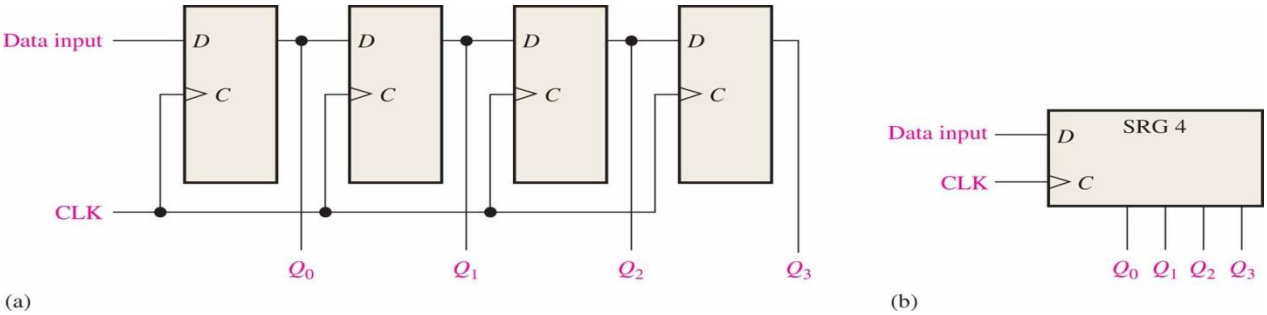


الشكل 15.6: المخطط الزمني لإشارات دخل سجل إزاحة تسلسلي – تسلسلي.

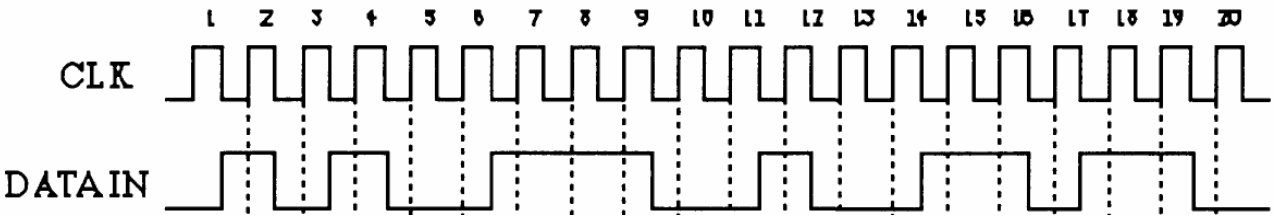
Ans

سجلات الإزاحة ذات الدخل التسلسلي/الخرج التفرعي Serial In/Parallel Out Shift Registers

5. ارسم المخطط الزمني لمخارج سجل الإزاحة المبين في الشكل (16.6)، وفقاً للمخطط الزمني لإشارات دخله المبينة في الشكل (17.6). افترض بداية أن كل المخارج على المستوى المنطقي المنخفض.



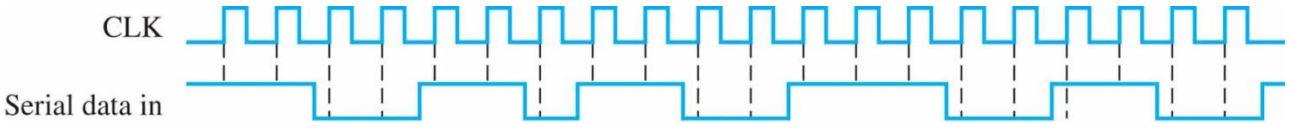
الشكل 16.6: المخطط المنطقي لسجل إزاحة تسلسلي – تفرعي.



الشكل 17.6: المخطط الزمني لإشارات دخل سجل إزاحة تسلسلي – تفرعي.

Ans

6. ارسم المخطط الزمني لمخارج سجل الإزاحة المبين في الشكل (16.6)، وفقاً للمخطط الزمني لإشارات دخله المبينة في الشكل (18.6). افترض بداية أن كل المخارج على المستوى المنطقي المنخفض.

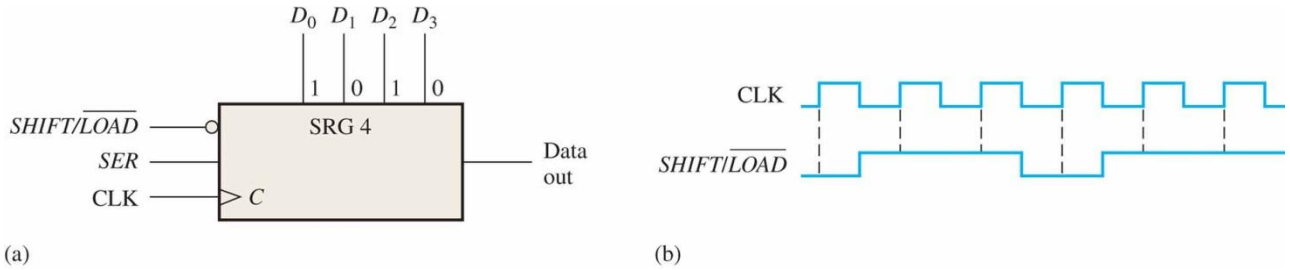


الشكل 18.6: المخطط الزمني لإشارات دخل سجل إزاحة تسلسلي – تفرعي.

Ans

سجلات الإزاحة ذات الدخل التفرعي/الخرج التسلسلي Parallel In/Serial Out Shift Registers

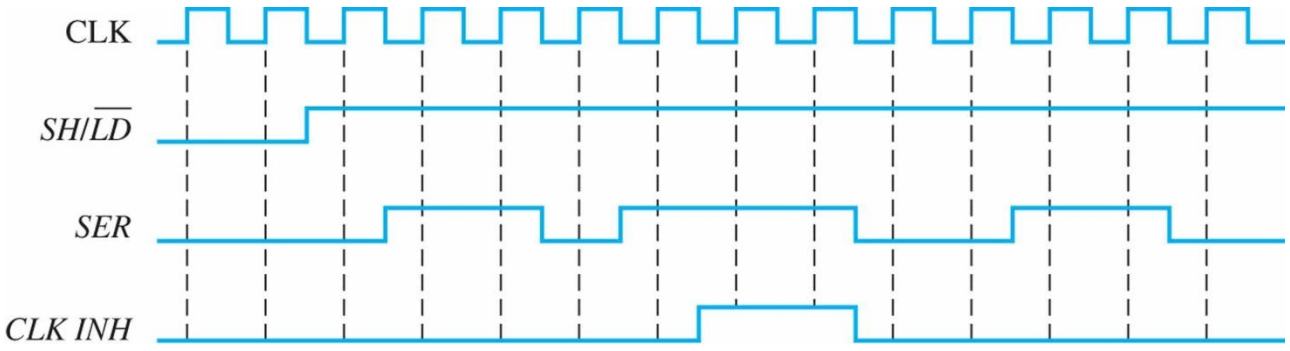
7. ارسم المخطط الزمني للمخرج التسلسلي لسجل الإزاحة المبين في الشكل (19a.6)، الموافق للمخطط الزمني لإشارتي مدخليه ($SHIFT / \overline{LOAD}$) و(CLK) المبينتين في الشكل (19b.6). افترض أن مدخل المعطيات التسلسلية (SER) موضوع دوماً على المستوى المنطقي المنخفض، وأن المداخل التفرعية له ($D_0 = 1, D_1 = 0, D_2 = 1, D_3 = 0$). افترض بداية أن المخارج تأخذ المستوى المنطقي المنخفض.



الشكل 19.6: المخطط الزمني لإشارات دخل سجل إزاحة تفرعي – تسلسلي والمخطط الصندوقي له.

Ans

8. لنفترض أن المخطط الزمني لإشارات سجل إزاحة تفرعي/تسلسلي (74HCl65) طبقت على مداخله كما هو مبين في الشكل (20.6)، وأن مداخله التفرعية كلها تأخذ المستوى المنطقي المنخفض. ارسم المخطط الزمني لمخرجه (Q_7).

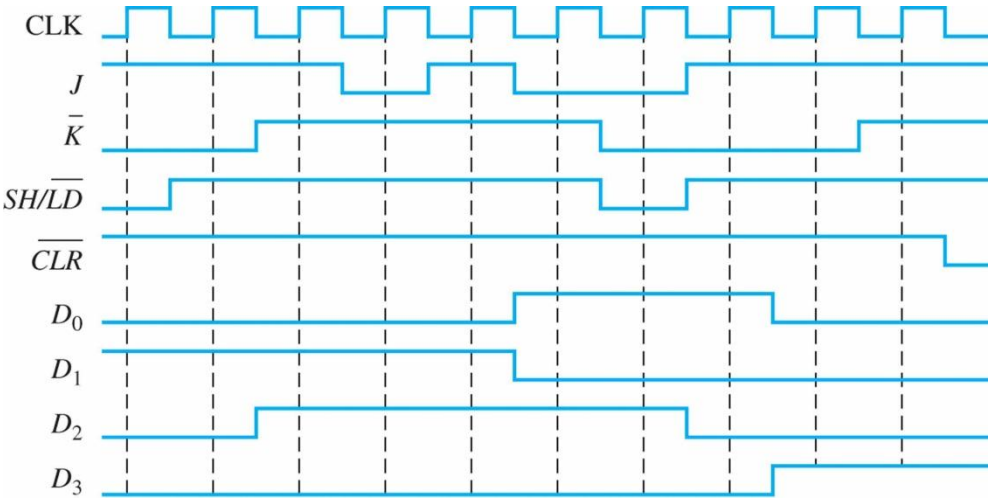


الشكل 20.6: المخطط الزمني لإشارات دخل سجل إزاحة تفرعي – تسلسلي.

Ans

سجلات الإزاحة ذات الدخل التفرعي/الخرج التفرعي Parallel In/ Parallel Out Shift Registers

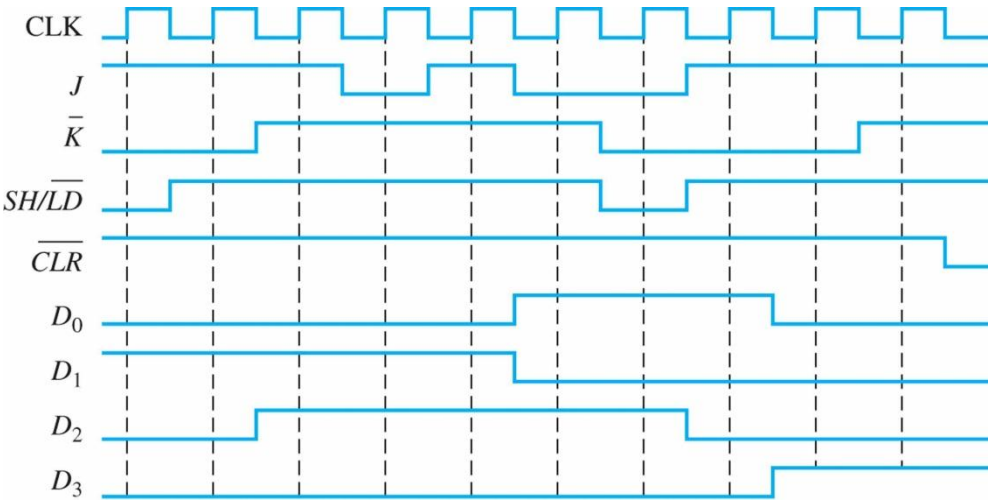
9. لنفترض أن المخطط الزمني لإشارات سجل إزاحة تفرعي/تفرعي (4-bit 195 7411C) طبقت على مداخله كما هو مبين في الشكل (21.6)، ارسم المخطط الزمني لمخارجه (Q_i).



الشكل 21.6: المخطط الزمني لإشارات دخل سجل إزاحة تفرعي – تفرعي.

Ans

10. لنفترض أن المخطط الزمني لإشارات سجل إزاحة تفرعي / تفرعي (7411C 195 4-bit) طبقت على مداخله كما هو مبين في الشكل (22.6) مع عكس المدخل $(SH / \overline{LD})$، ارسم المخطط الزمني لمخارجه (Q_i). افترض بداية أن مخارج السجل تأخذ المستوى المنطقي المنخفض.



الشكل 22.6: المخطط الزمني لإشارات دخل سجل إزاحة تفرعي – تفرعي.

Ans

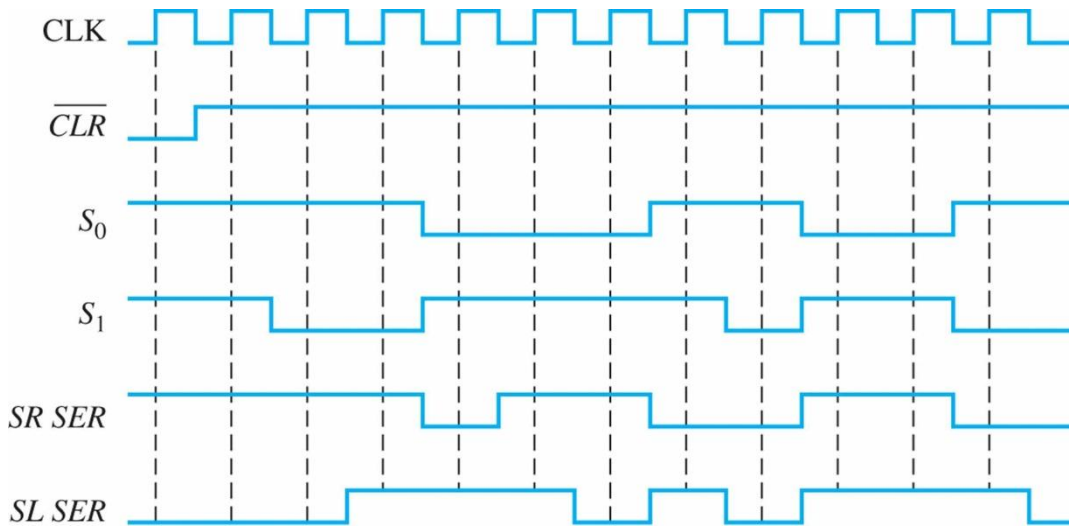
سجلات الإزاحة العامة Universal Shift Registers

11. لنفترض سجل إزاحة باتجاهين (8–bit) طبقت على مداخله الإشارات المبينة في الشكل (23.6). تحدد الإشارة ($RIGHT / \overline{LEFT}$) اتجاه الإزاحة. إذا أخذت هذه الإشارة المستوى المنطقي العالي تكون الإزاحة نحو اليمين، وإذا أخذت المستوى المنطقي المنخفض تكون الإزاحة نحو اليسار. افترض بداية أن السجل يخزن العدد (76) بالقيمة الإثنانية، وأن البت ذا الوزن المنخفض يقع على أقص يمين السجل، وأن مدخله التسلسلي يأخذ القيمة المنطقية المنخفضة. يطلب تحديد حالة السجل عند كل نبضة من نبضات إشارة الساعة

الشكل 23.6: المخطط الزمني لإشارات دخل سجل إزاحة تسلسلي / تسلسلي باتجاهين.

Ans

12. لنفترض سجل إزاحة عام (4–bit) طبقت على مداخله الإشارات المبينة في الشكل (24.6)، وطبقت على كل من مداخله التفرعية القيمة المنطقية العالية. يطلب رسم المخطط الزمني لمخارجه الموافق لإشارات مداخله.



الشكل 24.6 : المخطط الزمني لإشارات دخل سجل إزاحة عام.

Ans

نموذج مذاكرة للفصل السادس

الجامعة ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل السادس: سجلات الإزاحة

أستاذ المادة: ....

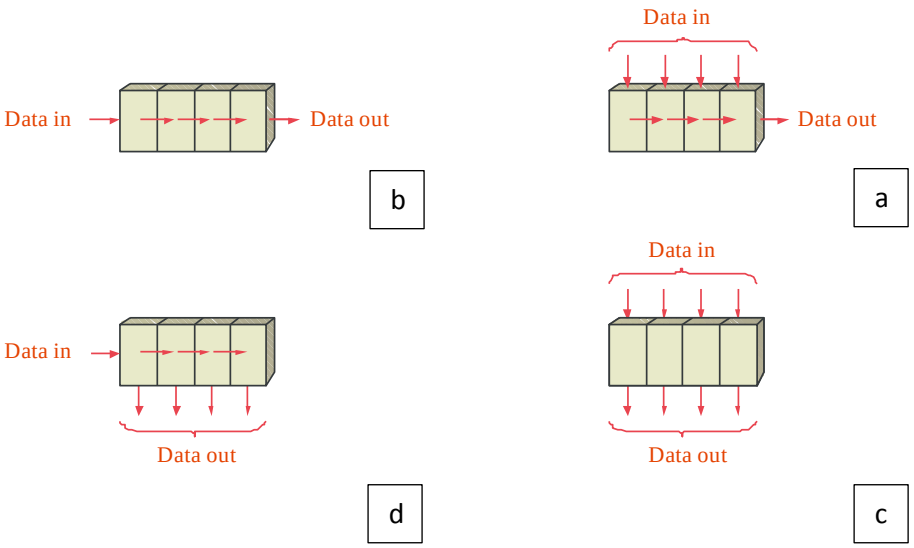
المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

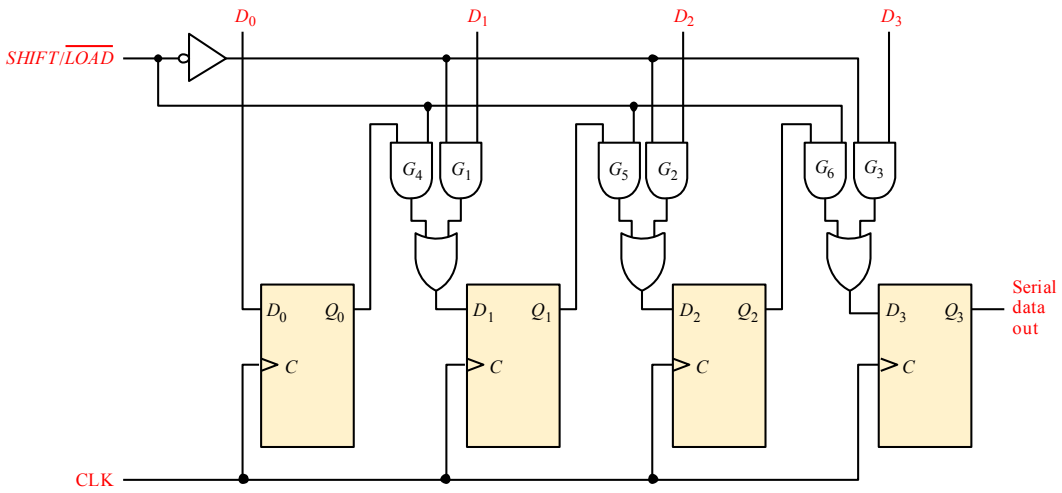
- المادة مغلقة
- يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. سجل الإزاحة الذي يمكن استعماله كدارة تأخير للمعطيات التسلسلية بأربعة أدوار ساعة هو:



2. الدارة المبينة أدناه هي:



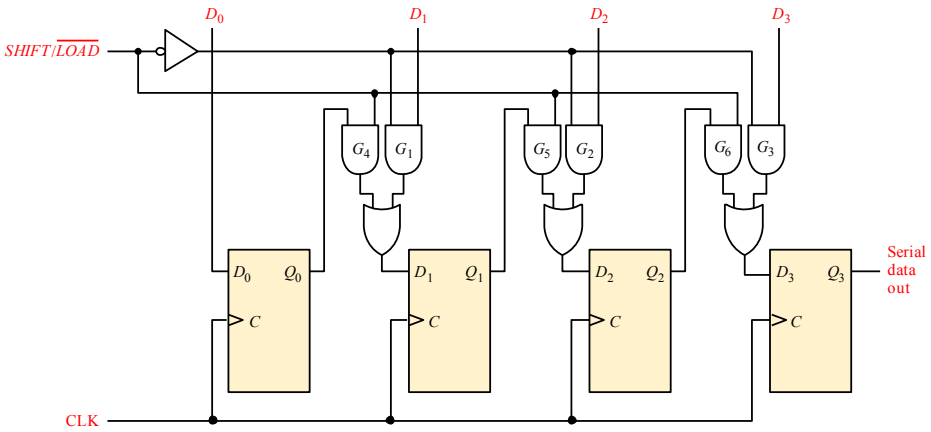
a) سجل إزاحة تسلسلي/تسلسلي

b) سجل إزاحة تسلسلي/تفرعي

c) سجل إزاحة تفرعي/تسلسلي

d) سجل إزاحة تفرعي/تفرعي

3. إذا كان خط التحكم $(SHIFT\ /\ \overline{LOAD})$ على المستوى المنطقي العالي، فإن المعطيات:



a) تحمل مباشرة من (D_0, D_1, D_2, D_3)

b) تحمل عند النبضة التالية لإشارة الساعة من (D_0, D_1, D_2, D_3)

c) تزاح من اليسار إلى اليمين عند النبضة التالية لإشارة الساعة

d) تزاح من اليمين إلى اليسار عند النبضة التالية لإشارة الساعة.

4. يخزن سجل إزاحة $(4-bit)$ تفرعي/تفرعي المعطيات في:

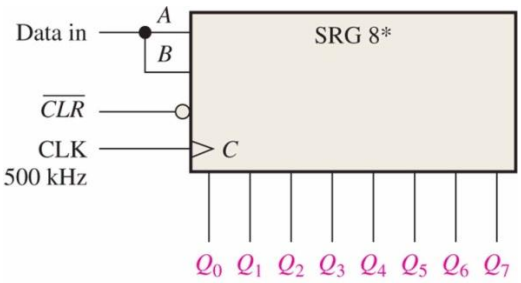
a) دور إشارة ساعة

b) دوري إشارة ساعة

c) ثلاثة أدوار إشارة ساعة

d) أربعة أدوار إشارة ساعة

5. سجل الإزاحة المبين في الشكل أدناه هو:



* Data shifts from Q_0 toward Q_7.

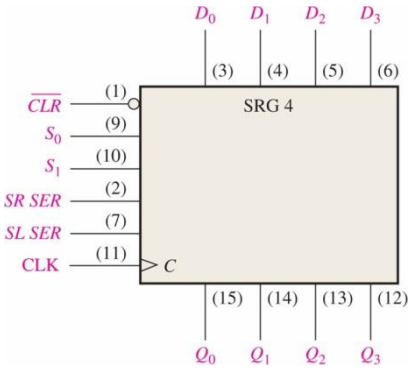
a) سجل إزاحة تسلسلي/تسلسلي

b) سجل إزاحة تسلسلي/تفرعي

c) سجل إزاحة تفرعي/تسلسلي

d) سجل إزاحة تفرعي/تفرعي

6. سجل الإزاحة المبين في الشكل أدناه هو:



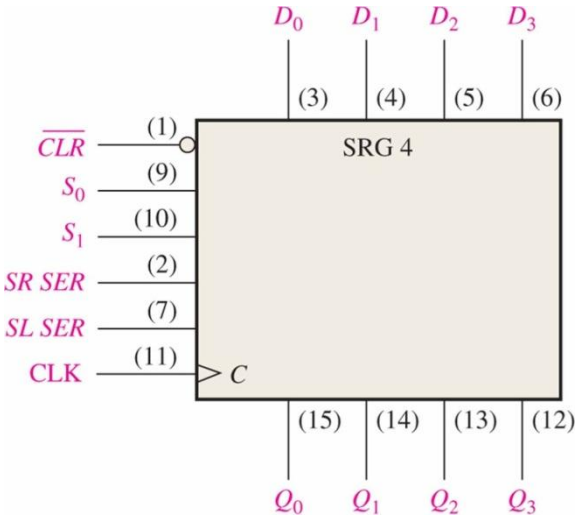
a) سجل إزاحة تسلسلي / تسلسلي

b) سجل إزاحة تسلسلي / تفرعي

c) سجل إزاحة تفرعي / تسلسلي

d) سجل إزاحة عام

7. مدخل التحكم المسمى ($\overline{CLR}$) في سجل الإزاحة المبين في الشكل أدناه هو:



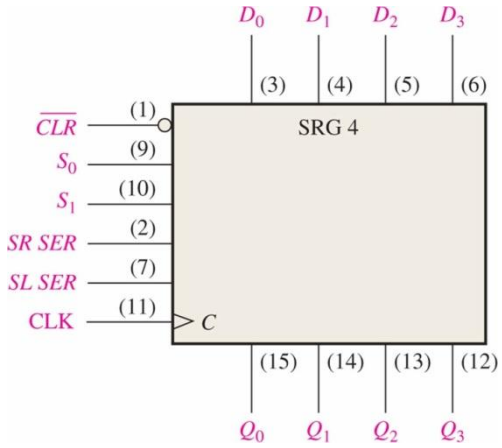
a) مدخل التحكم بالتحميل التفرعي لسجل الإزاحة

b) مدخل التحكم بالإزاحة نحو اليمين لسجل الإزاحة

c) مدخل التحكم بالإزاحة نحو اليسار لسجل الإزاحة

d) إعادة وضع الخرج $(Q_0\ Q_1\ Q_2\ Q_3)$ على القيمة $(0\ 0\ 0\ 0)$

8. المدخلان التحكميان المسميان $(S_1\ S_0)$ في سجل الإزاحة المبين في الشكل أدناه هما:



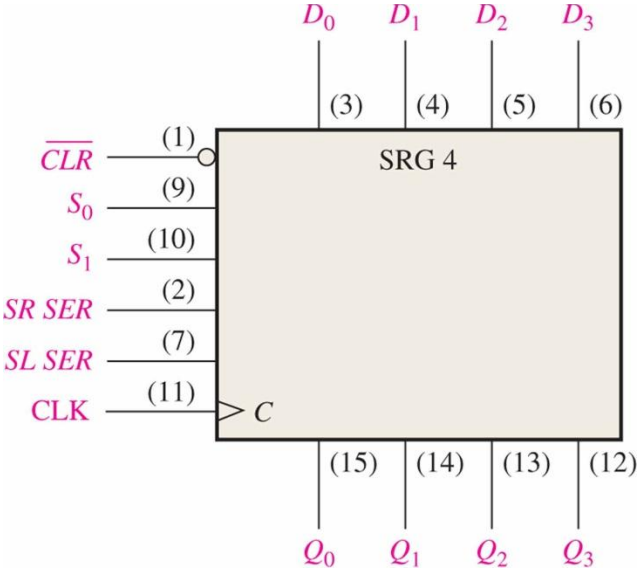
a) مدخلا التحكم بالتحميل التفرعي فقط لسجل الإزاحة

b) مدخلا التحكم بالإزاحة نحو اليمين فقط لسجل الإزاحة

c) مدخلا التحكم بإعادة وضع الخرج $(Q_0\ Q_1\ Q_2\ Q_3)$ على القيمة $(0\ 0\ 0\ 0)$

d) مدخلا التحكم بالوظائف الأربع لسجل الإزاحة

9. المدخلان المسميان ($SR\ SER, SL\ SER$) في سجل الإزاحة المبين في الشكل أدناه هما:



a) مدخلا التحكم بالوظائف الأربع لسجل الإزاحة

b) مدخلا التحكم بالإزاحة نحو اليمين فقط لسجل الإزاحة

c) مدخلا المعطيات التسلسلية لسجل الإزاحة

d) مدخلا التحكم بإعادة وضع الخرج ($Q_0\ Q_1\ Q_2\ Q_3$) على القيمة ($0\ 0\ 0\ 0$)

10. من تطبيقات سجل الإزاحة:

a) عدادات خاصة كعداد جونسون أو العداد الحلقي

b) دارة الجامع

c) دارة الضارب

d) دارة المعالج الصغري

الإجابة الصحيحة لنموذج مذاكرة الفصل السادس (10 علامات)

$$Ans.\ 1 \rightarrow (b), 2 \rightarrow (c), 3 \rightarrow (c), 4 \rightarrow (a), 5 \rightarrow (b),$$
$$6 \rightarrow (d), 7 \rightarrow (d), 8 \rightarrow (d), 9 \rightarrow (c), 10 \rightarrow (a),$$

التغذية الراجعة

1 مراجعة العمليات الرئيسة لسجلات الإزاحة Basic Shift Registers Operations وتطبيقاتها

2 مراجعة سجلات الإزاحة ذات الدخل التفرعي / الخرج التسلسلي Parallel In / Serial Out Shift Registers

3 مراجعة سجلات الإزاحة ذات الدخل التفرعي / الخرج التسلسلي Parallel In / Serial Out Shift Registers

4 مراجعة سجلات الإزاحة ذات الدخل التفرعي / الخرج التفرعي Parallel In / Parallel Out Shift Registers

5 مراجعة سجلات الإزاحة ذات الدخل التسلسلي / الخرج التفرعي Serial In / Parallel Out Shift Registers

6 مراجعة سجلات الإزاحة العامة Universal Shift Registers

7 مراجعة سجلات الإزاحة العامة Universal Shift Registers

8 مراجعة سجلات الإزاحة العامة Universal Shift Registers

9 مراجعة سجلات الإزاحة العامة Universal Shift Registers

10 مراجعة تطبيقات سجلات الإزاحة

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل السادس

نموذج مذاكرة الفصل السادس	الإجابة الصحيحة
1	b
2	c
3	c
4	a
5	b
6	d
7	d
8	d
9	c
10	a

الفصل السابع
العدادات

كلمات مفتاحية Keywords

غير متزامن Asynchronous، إعادة الحلقة Recycle، معامل العداد Modulus، عشرةأضعاف Decade، متزامن Synchronous، نهاية العد Terminal count، الوصل المتعاقب Cascade.

الملخص Abstract

يهدف الفصل السابع إلى دراسة وتحليل العدادات المنطقية. للقيام بعملية العد يجري توصيل مجموعة من القلابات بعضها مع بعض، وتسمى مجموعة القلابات هذه عداداً منطقياً يتحدد عدد الحالات الممكنة التي يعطيها العداد، وتسمى معامل العداد (Modulus)، بعدد القلابات المستعملة في تشكيله وكيفية التوصيل فيما بينها، وكذلك تتابع الحالات المحددة خلال كل حلقة من حلقات العداد. يوجد نوعان من العدادات: عدادات غير متزامنة وأخرى متزامنة، وذلك وفقاً لطريقة توصيل إشارة الساعة. تسمى العدادات غير متزامنة أيضاً (Ripple counters)، تدخل إشارة الساعة الخارجية إلى القلاب الأول، وخرج كل قلاب سابق يشكل إشارة الساعة للقلاب الذي يليه. وفي حالة العدادات المتزامنة تطبق إشارة الساعة الخارجية على مداخل الساعة لكل القلابات، وبالتالي تعمل كل القلابات بآن معاً. تصنف عدادات كلا النوعين وفقاً لنوع تتابع الحالات، ولعدد الحالات، ولعدد القلابات المكونة للعداد.

الأهداف التعليمية للفصل السابع ILO7

دراسة وفهم عمل العدادات المنطقية بنوعيها المتزامنة وغير المتزامنة.

مخرجات الفصل السابع ILO7

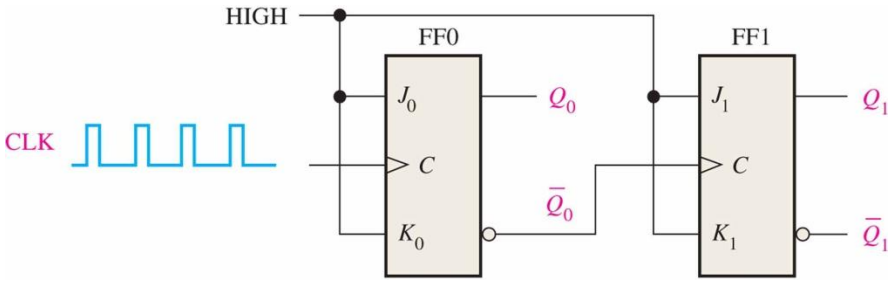
فهم وظيفة ومبدأ عمل العددات المنطقية.

1. العدادات غير المتزامنة Asynchronous Counters

يتكون العداد غير المتزامن من مجموعة قلابات، يسمى كل قلاب مع البوابات الملحقة به إن وجدت مرحلة (Stage) والتي تخزن بتاً واحداً. يسمى العداد عداد غير متزامن لأن القلابات التي يتكون منها لايتغير خرجها بنفس الوقت، وذلك لأن إشارة الساعة التي تشغلها ليست مشتركة فيما بينها.

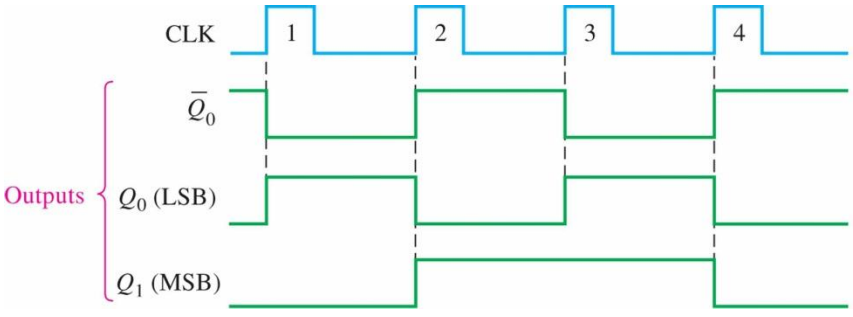
العداد الإثناني غير المتزامن بمرحلتين (2–bit Assyncrounus Counter)

يبين الشكل (1.7) عداداً غير متزامن بمرحلتين. يتكون العداد من قلابين (J–K)، توصل إشارة الساعة الخارجية إلى مدخل إشارة الساعة للقلاب الأول (FF0)، ويوصل الخرج المعكوس له إلى مدخل إشارة الساعة للقلاب الثاني (FF1). يمثل (Q1 Q0) خرج العداد. يعمل كل قلاب من القلابين كمقسم تردد على (2) لأن ($J_i = K_i = 1$).



الشكل 1.7: عداد إثناني غير متزامن بمرحلتين.

يبين الشكل (2.7) المخطط الزمني الذي يوضح عمل العداد.



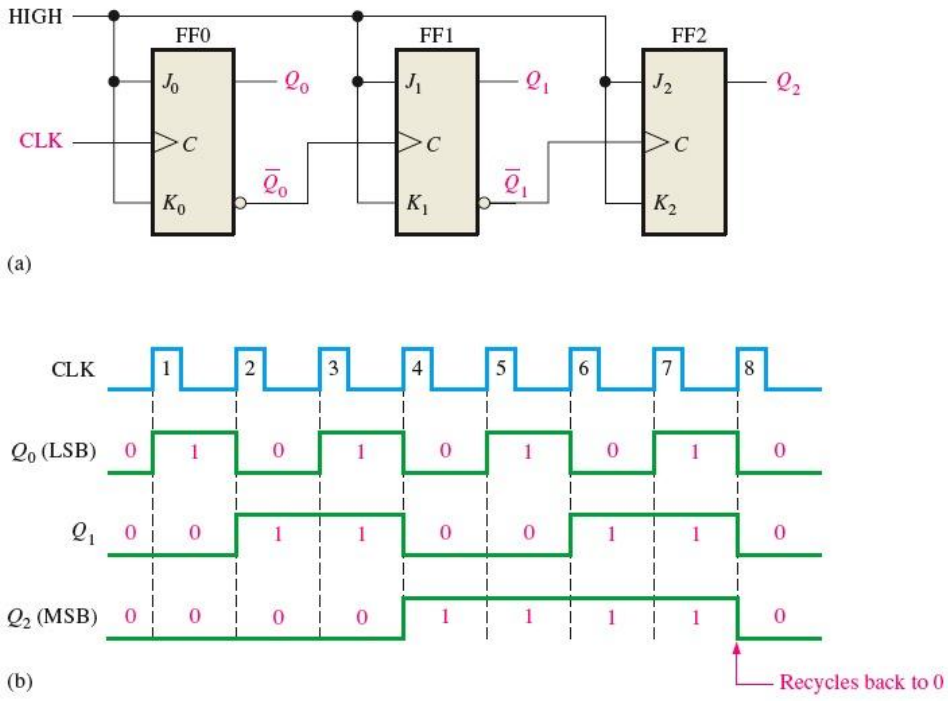
الشكل 2.7: المخطط الزمني الذي يوضح عمل العداد الإثناني الغير المتزامن بمرحلتين.

نفترض بداية وقبل صعود إشارة الساعة (CLK1) أن خرج العداد (Q1 Q0) يأخذ القيمة الابتدائية (0 0). عند صعود إشارة الساعة الأولى (CLK1) يتغير خرج القلاب الأول (FF0) من القيمة (0) إلى القيمة (1) ويستمر دوراً كاملاً لأن مدخلي القلاب (J0–K0) موصلين إلى جهد التغذية أي أنهما على المستوى المنطقي العالي. وينعكس خرج القلاب

الأول (FF0) عند صعود إشارة الساعة الثانية (CLK2). وتتكرر هذه العملية تباعاً. يتبين لنا من المخطط الزمني أن القلاب الأول (FF0) يقسم إشارة الساعة (CLK) على (2). يمثل معكوس إشارة خرج القلاب الأول ($\overline{Q_0}$) إشارة الساعة للقلاب الثاني (FF1)، وباعتبار أن القلاب الثاني موصل بنفس طريقة توصيل القلاب الأول فهو يعمل كمقسم تردد على (2) لأن ($J_1 = K_1 = 1$).

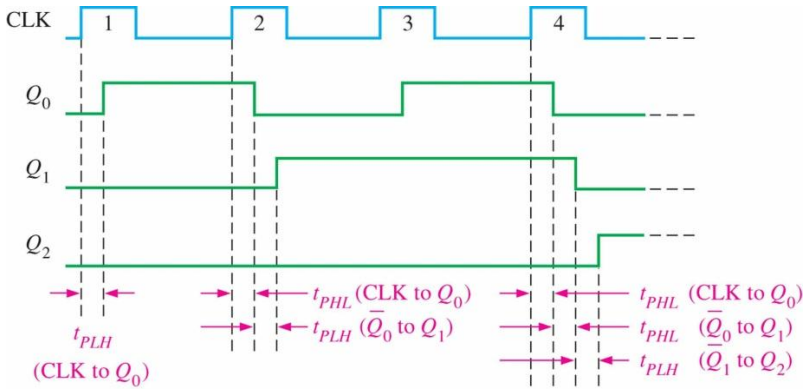
العداد الإثناني غير المتزامن بثلاث مراحل (3-bit Assyncrounus Counter)

يبين الشكل (3.7) عداداً غير متزامن بثلاث مراحل والمخطط الزمني الذي يوضح عمله. يتكون العداد من ثلاثة قلابات (J-K)، توصل إشارة الساعة الخارجية إلى مدخل إشارة الساعة للقلاب الأول (FF0)، ويوصل الخرج المعكوس له إلى مدخل إشارة الساعة للقلاب الثاني (FF1)، كما يوصل الخرج المعكوس للقلاب الثاني إلى مدخل إشارة الساعة للقلاب الثالث (FF2). يمثل (Q2 Q1 Q0) خرج العداد. يعمل كل قلاب كمقسم تردد على (2) لأن ($J_i = K_i = 1$).



الشكل 3.7: عداد إثناني غير متزامن بثلاث مراحل مع المخطط الزمني الذي يوضح عمله.

يبين الشكل (4.7) المخطط الزمني لعداد إثناني غير متزامن بثلاث مراحل، مع الأخذ بالحسبان التأخيرات الزمنية والتي تتراوح بين تأخير قلاب واحد وتأخير بعدد القلابات التي يتكون منها العداد وهي هنا ثلاثة.

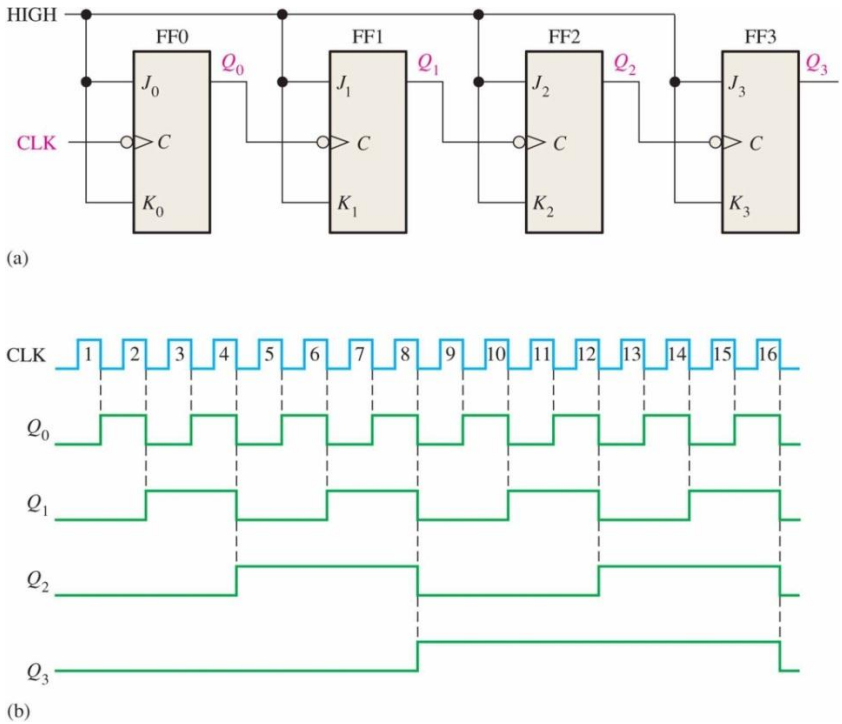


الشكل 4.7: المخطط الزمني الذي يوضح عمل عداد إثناني غير متزامن بثلاث مراحل مع بيان التأخير.

نلاحظ من معاينة المخطط الزمني أن التأخير الأعظمي يحصل عندما يكون العداد على قيمة ما وتكون القيمة التالية هي معكوس القيمة الحالية. فمثلاً يحصل التأخير الأعظمي عندما ينتقل العداد من القيمة (011) إلى القيمة (100).

العداد الإثناني غير المتزامن بأربع مراحل (4-bit Assyncrounus Counter)

يبين الشكل (5.7) عداداً غير متزامن بأربع مراحل والمخطط الزمني الذي يوضح عمله. يتكون العداد من أربعة قلابات (J-K)، توصل إشارة الساعة الخارجية إلى مدخل إشارة الساعة للقلاب الأول (FF0)، ويوصل الخرج المعكوس له إلى مدخل إشارة الساعة للقلاب الثاني (FF1)، كما يوصل الخرج المعكوس للقلاب الثاني إلى مدخل إشارة الساعة للقلاب الثالث (FF2)، ويوصل الخرج المعكوس للقلاب الثالث إلى مدخل إشارة الساعة للقلاب الرابع (FF3). يمثل الخرج (Q3 Q2 Q1 Q0) خرج العداد. يعمل كل قلاب كمقسم تردد على (2) لأن ($J_i = K_i = 1$).



الشكل 5.7: عداد إثناني غير متزامن بأربع مراحل مع المخطط الزمني الذي يوضح عمله.

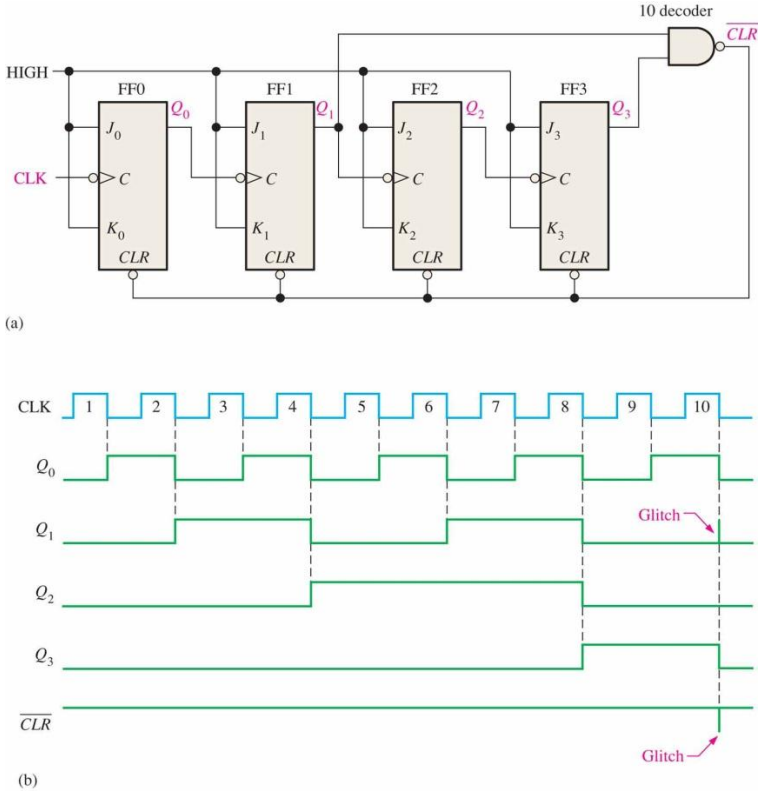
العداد العشري المرمز إثنانياً غير المتزامن (BCD Assyncrounus Counter)

يبين الشكل (6.7) جدول الحقيقة لعداد إثناني بأربع مراحل يعد من القيمة (0000)، التي تكافئ (0) في النظام العشري، إلى القيمة (1111) التي تكافئ (15) في النظام العشري. والمطلوب تعديل العداد الإثناني الغير متزامن بأربع مراحل ليعد من القيمة (0000)، التي تكافئ (0) في النظام العشري، إلى القيمة (1001) التي تكافئ (9) في النظام العشري. للقيام بهذه المهمة نكشف القيمة (1010) التي تكافئ (10) في النظام العشري، ونولد نبضة تصفير نطبقها على مدخل إعادة الوضع على القيمة (0) لكل القلابات مما يجبر العداد الإثناني الانتقال من القيمة (1001) التي تكافئ (9) في النظام العشري إلى القيمة (0000)، التي تكافئ (0) في النظام

Q3	Q2	Q1	Q0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

الشكل 6.7: جدول الحقيقة لعداد إثناني غير متزامن بأربع مراحل.

العشري. وبالتالي نكون قد عدلنا العداد الإثناني ليصبح عداداً عشرياً مرمزاً إثنانياً. ويتم ذلك باكتشاف ($(1010) \Leftrightarrow Q_1 = Q_3 = 1$) باستعمال بوابة ($NAND$) بمدخلين كما هو مبين في الشكل (7.7) مع المخطط الزمني لهذا العداد الذي يبين لحظة اكتشاف العدد (1010) وإجبار العداد إلى الانتقال إلى العدد (0000).



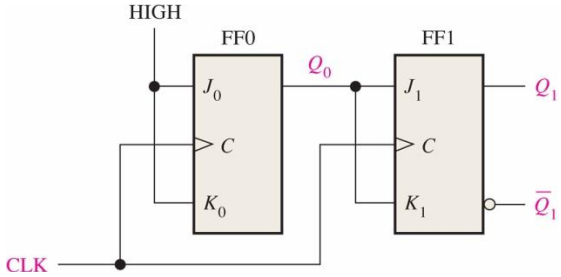
الشكل 7.7: عداد عشري مرمز إثنانياً غير متزامن مع المخطط الزمني الذي يوضح عمله.

يتميز العداد الإثناني الغير متزامن ببساطة بنيته، أي عدم وجود بوابات منطقية ملحقة بقلاباته، إلا أنه يبدي تأخيراً ترتبط قيمته العظمى بعدد المراحل التي يتكون منها العداد. ويحدث هذا التأخير الأعظمي كلما انتقل العداد من قيمة إلى القيمة المعاكسة لها.

2. العدادات المتزامنة Synchronous Counters

عداد إثناني متزامن بمرحلتين (2-bit Syncrounus Counter)

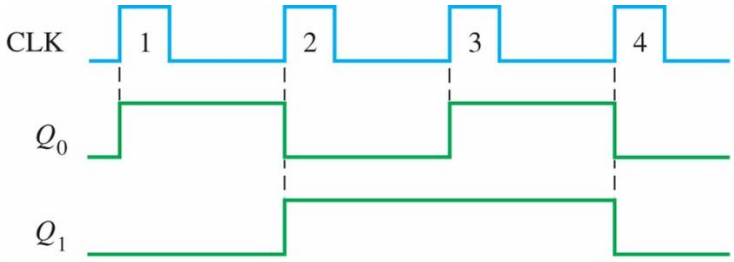
يبين الشكل (8.7) عداداً إثنانياً متزامناً بمرحلتين. يتكون العداد من قلابين (J-K)، توصل إشارة الساعة الخارجية إلى مدخلي إشارة الساعة للقلابين الأول (FF0) والثاني (FF1)، يمثل (Q1 Q0) خرج العداد.



الشكل 8.7: عداد إثناني متزامن بمرحلتين.

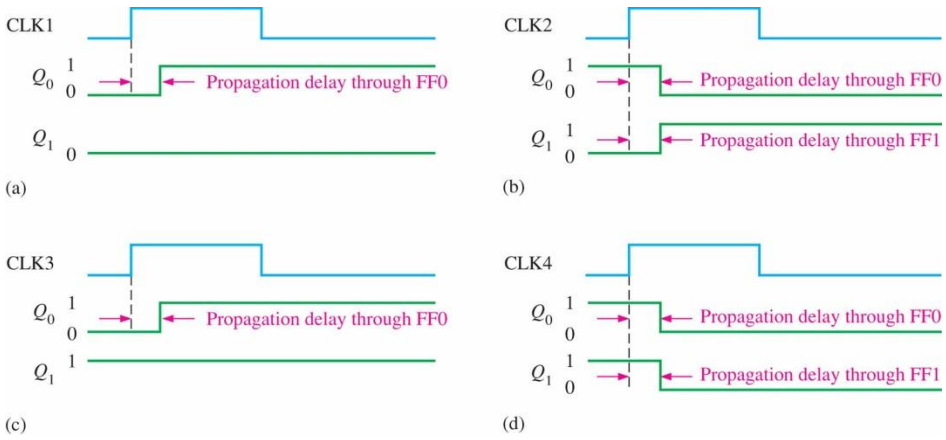
نلاحظ من جدول الحقيقة المبين في الشكل (6.7) أن الخرج (Q_0) يتغير دورياً، بالتالي لتحقيق ذلك ينبغي وصل مدخلي القلاب (FF0) المتزامنين (J_0, K_0) إلى القيمة المنطقية (1)، أما خرج القلاب الثاني (Q_1) فيتغير كل دورين، أي عند الانتقال من (0) إلى (1) أو الانتقال من (1) إلى (0) يكون عندها $(Q_0 = 1)$، بالتالي يجب وصل هذا الخرج إلى مدخلي القلاب (FF1) المتزامنين $(J_1 = K_1 = Q_0)$.

يبين الشكل (9.7) المخطط الزمني الذي يوضح عمل العداد.



الشكل 9.7: المخطط الزمني الذي يوضح عمل العداد الإثناني المتزامن بمرحلتين.

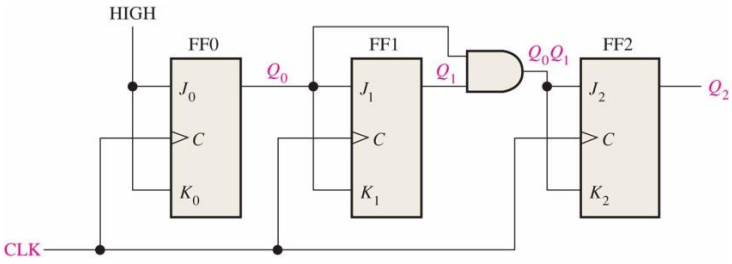
ويبين الشكل (10.7) المخطط الزمني الذي يوضح التأخير الزمني بين إشارة الساعة والخرج في حالة العداد المتزامن.
نلاحظ أن التأخير الحاصل عند صعود أية إشارة ساعة هو تأخير قلاب واحد مهما كان عدد مراحل العداد المتزامن.



الشكل 10.7: المخطط الزمني الذي يوضح التأخير الزمني بين إشارة الساعة والخرج في حالة العداد المتزامن.

العداد الإثناني المتزامن بثلاث مراحل (3-bit Syncrounus Counter)

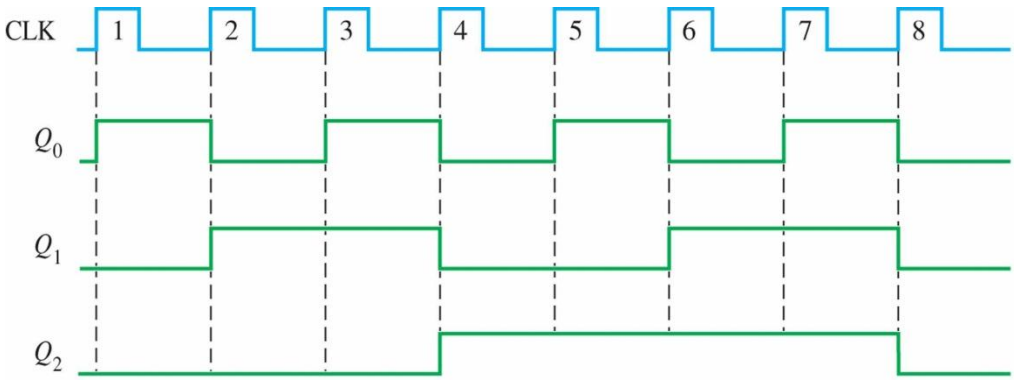
يبين الشكل (11.7) عداداً إثنانياً متزامناً بثلاث مراحل. يتكون العداد من ثلاثة قلابات (J-K)، توصل إشارة الساعة الخارجية إلى مدخلي إشارة الساعة للقلابات الثلاثة، ويمثل (Q2 Q1 Q0) خرج العداد.



الشكل 11.7: عداد إثناني متزامن بثلاث مراحل.

نلاحظ من جدول الحقيقة المبين في الشكل (6.7) أن الخرج (Q_0) يتغير دورياً، بالتالي لتحقيق ذلك ينبغي وصل مدخلي القلاب (FF0) المتزامنين (J_0, K_0) بالقيمة المنطقية (1)، أما خرج القلاب الثاني (Q_1) فيتغير كل دورين، أي عند الانتقال من (0) إلى (1) أو الانتقال من (1) إلى (0) يكون عندها ($Q_0 = 1$)، بالتالي يجب وصل هذا الخرج إلى مدخلي القلاب (FF1) المتزامنين ($J_1 = K_1 = Q_0$). ويتغير خرج القلاب الثالث (Q_2)كل أربعة أدوار، أي عند الانتقال من (0) إلى (1) أو الانتقال من (1) إلى (0) يكون عندها ($Q_1 = Q_0 = 1$)، بالتالي يجب وصل الجداء المنطقي لهذين المخرجين إلى مدخلي القلاب (FF2) المتزامنين ($J_2 = K_2 = Q_1 Q_0$).

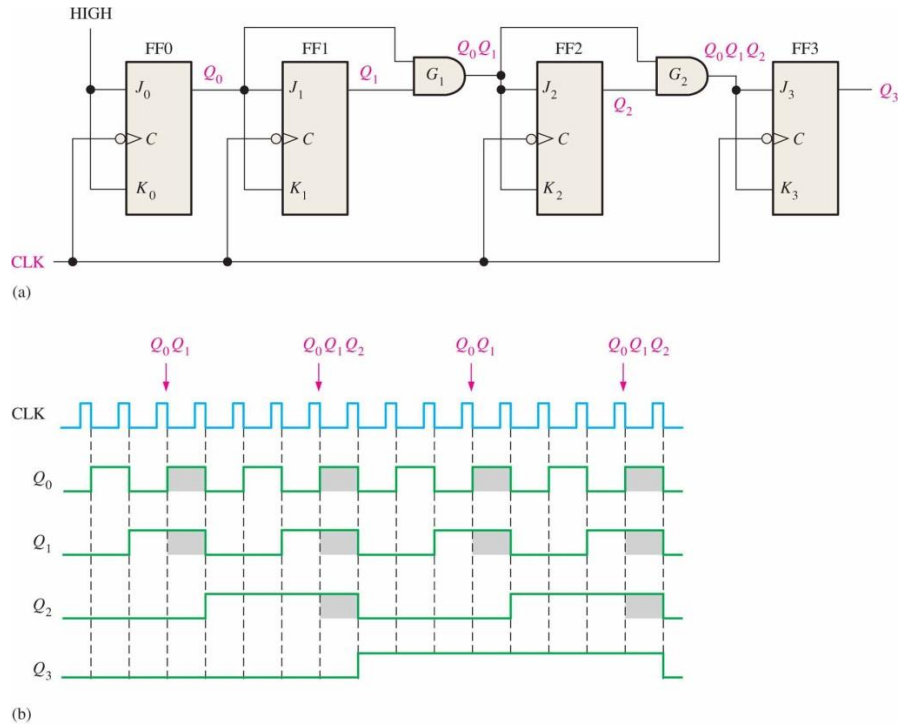
يبين الشكل (12.7) المخطط الزمني الذي يوضح عمل العداد.



الشكل 12.7: المخطط الزمني الذي يوضح عمل العداد الإثناني المتزامن بثلاث مراحل.

العداد الإثنائي المتزامن بأربع مراحل (4-bit Syncrounus Counter)

يبين الشكل (13.7) عداداً إثنائياً متزامناً بأربع مراحل والمخطط الزمني الذي يوضح عمله. يتكون العداد من أربعة قلابات (J-K)، توصل إشارة الساعة الخارجية إلى مداخل إشارة الساعة للقلابات الأربعة، ويمثل (Q3 Q2 Q1 Q0) خرج العداد.



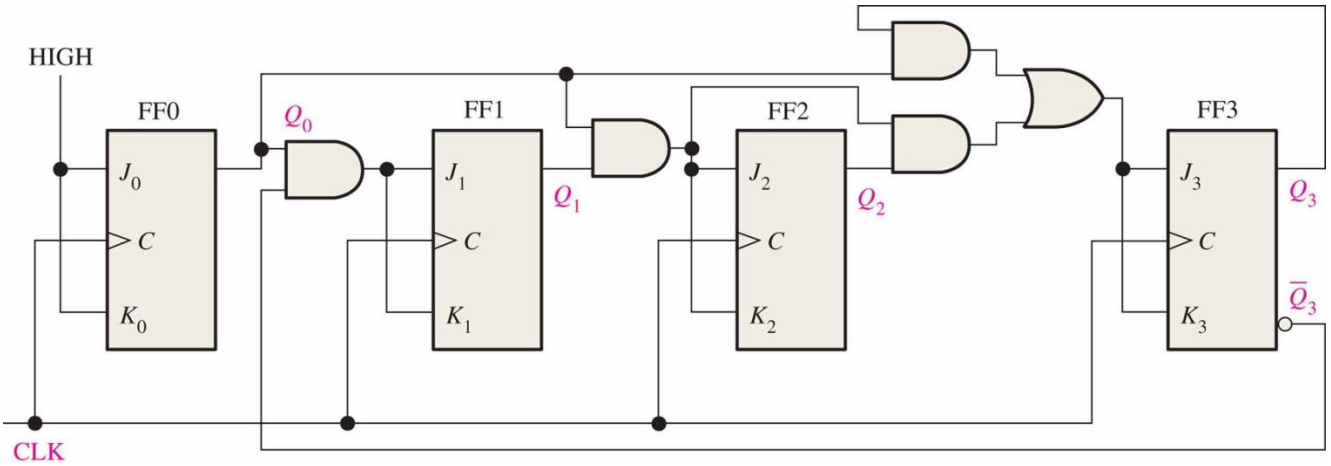
الشكل 13.7: عداد إثنائي متزامن بأربع مراحل والمخطط الزمني الذي يوضح عمله.

نلاحظ من جدول الحقيقة المبين في الشكل (6.7) أن الخرج (Q_0) يتغير دورياً، بالتالي لتحقيق ذلك ينبغي وصل مدخلي القلاب (FF0) المتزامنين (J_0, K_0) بالقيمة المنطقية (1)، أما خرج القلاب الثاني (Q_1) فيتغير كل دورين، أي عند الانتقال من (0) إلى (1) أو الانتقال من (1) إلى (0) يكون عندها ($Q_0 = 1$)، بالتالي يجب وصل هذا الخرج إلى مدخلي القلاب (FF1) المتزامنين ($J_1 = K_1 = Q_0$). ويتغير خرج القلاب الثالث (Q_2) كل أربعة أدوار، أي عند الانتقال من (0) إلى (1) أو الانتقال من (1) إلى (0) يكون عندها ($Q_1 = Q_0 = 1$)، بالتالي يجب وصل الجداء المنطقي لهذين المخرجين إلى مدخلي القلاب (FF2) المتزامنين ($J_2 = K_2 = Q_1\, Q_0$). وأخيراً يتغير خرج القلاب الرابع (Q_3) كل ثمانية أدوار، أي عند الانتقال من (0) إلى (1) أو الانتقال من (1) إلى (0) يكون عندها ($Q_2 = Q_1 = Q_0 = 1$)، بالتالي يجب وصل الجداء المنطقي لهذه المخارج إلى مدخلي القلاب (FF3) المتزامنين ($J_3 = K_3 = Q_2\, Q_1\, Q_0$).

العداد العشري المرمز إثنانياً المتزامن (BCD Syncrounus Counter)

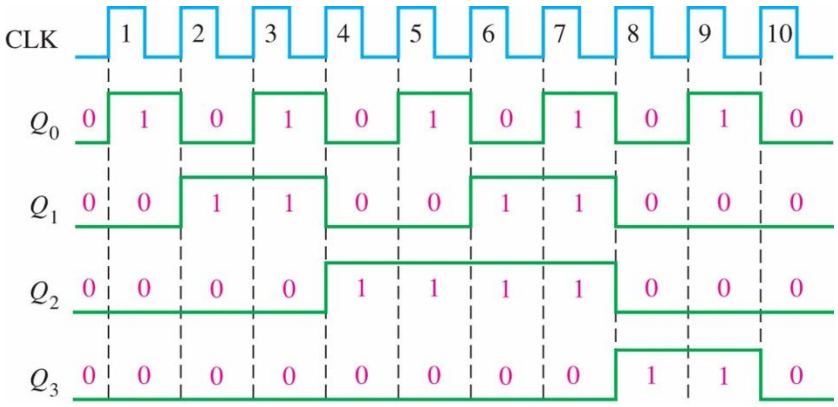
المطلوب تعديل العداد الإثناني المتزامن بأربع مراحل ليعد من القيمة (0000)، التي تكافئ (0) في النظام العشري، إلى القيمة (1001) التي تكافئ (9) في النظام العشري. للقيام بهذه المهمة نجد أنه من الضروري إضافة شرط إضافي أو أكثر لإجبار العداد على الانتقال من القيمة (1001) إلى القيمة (0000)، بدلاً من الانتقال من القيمة (1001) إلى القيمة (1010) في حالة العداد الإثناني المتزامن. نلاحظ من جدول الحقيقة ضرورة إضافة الشرط الأول لمدخلي القلاب الثاني ($FF1$) بحيث يأخذ خرجه القيمة ($Q_1 = 0$) عند انتقال العداد من القيمة (1001) إلى القيمة التالية عوضاً عن تغيير قيمته في حالة العداد الإثناني إلى القيمة ($Q_1 = 1$). ونلاحظ من جدول الحقيقة ضرورة إضافة الشرط الثاني لمدخلي القلاب الرابع ($FF3$) بحيث يأخذ خرجه القيمة ($Q_3 = 0$) عند انتقال العداد من القيمة (1001) إلى القيمة التالية عوضاً عن المحافظة على قيمته في حالة العداد الإثناني على القيمة ($Q_3 = 1$).

وبالتالي لتعديل العداد الإثناني المتزامن ليصبح عداداً عشرياً مرمزاً إثنانياً، يجري اكتشاف القيمة (1001) وهذا يكافئ العملية المنطقية ($Q_0\ Q_3 = 1 \Leftrightarrow at\ (1001) \Rightarrow J_3 = K_3 = 1$) مما يؤدي إلى وضع خرج القلاب الرابع (Q_3) على القيمة المنطقية (0) عند صعود إشارة الساعة التالية. هذا مايتعلق بالشرط الثاني. أما ما يتعلق بالشرط الأول، فعند قيمة العداد (1001) نحقق الشرط المنطقي الذي يتعلق بالقلاب الثاني ($FF1$) وهو ($Q_0\ \overline{Q_3} = 0 \Leftrightarrow at\ (1001) \Rightarrow J_1 = K_1 = 0$)، يؤدي ذلك أن يأخذ خرج هذا القلاب (Q_1) القيمة المنطقية (0) عوضاً عن القيمة المنطقية (1) في حالة العداد الإثناني. يوضح الشكل (14.7) التعديل المذكور لتحويل العداد من عداد إثناني إلى عداد عشري مرمز إثنانياً.



الشكل 14.7: عداد عشري مرمز إثنانياً متزامن.

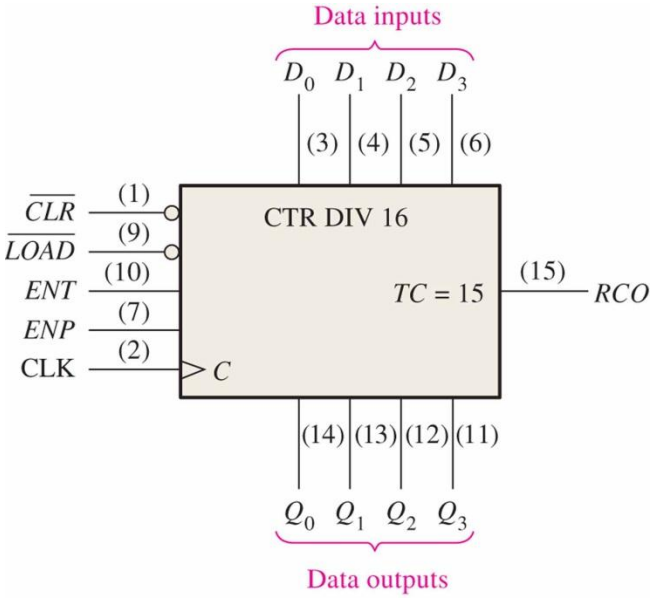
يبين الشكل (15.7) المخطط الزمني للعداد العشري المرمز إثنانياً والمتزامن.



الشكل 15.7: المخطط الزمني لعداد عشري مرمز إثنانياً ومتزامن.

العداد الإثناني (4–bit) المتزامن (74HC163)

يبين الشكل (16.7) المخطط الصندوقي للدارة المتكاملة (74HC163) التي تمثل عداداً إثنانياً متزامناً (4–bit).

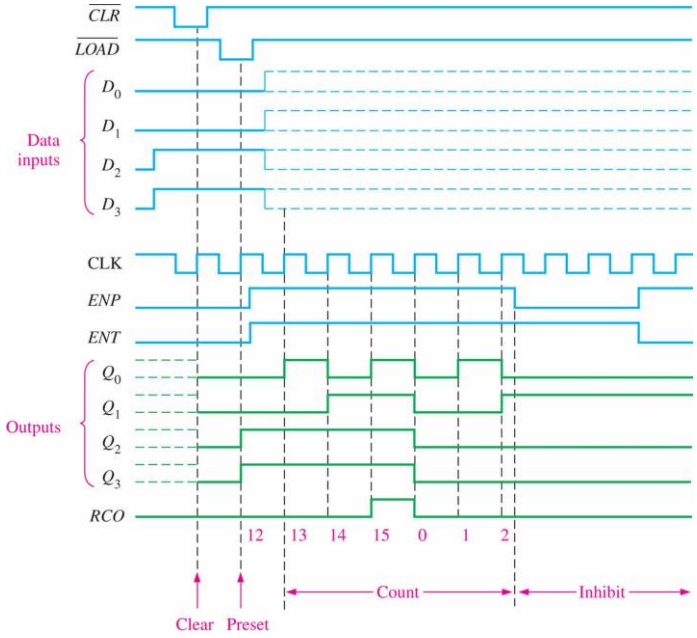


الشكل 16.7: العداد المتكامل الإثناني المتزامن (4–bit) (74HC163).

لهذا العداد مدخل تحكم متزامن ($\overline{CLR}$) يعيد وضع العداد على القيمة (0000)، عندما يأخذ المستوى المنطقي المنخفض ويكون هناك صعود إشارة ساعة، ويكون مدخلا التأهيل (ENP, ENT) غير فعالين أي أن يكون كل منهما على المستوى المنطقي المنخفض. للعداد أيضاً مدخل تحكم متزامن بالتحميل التفرعي ($\overline{LOAD}$)، عندما يأخذ المستوى المنطقي المنخفض ويكون هناك صعود إشارة ساعة ويكون مدخلا التأهيل (ENP, ENT) غير فعالين أي أن يكون كل منهما على المستوى المنطقي المنخفض، فإن مخارجه الأربعة ($Q_3\ Q_2\ Q_1\ Q_0$) تأخذ قيم مداخل معطياته التفرعية

الأربعة ($D_3\ D_2\ D_1\ D_0$). أما الوظيفة الرئيسة للعداد وهي العد التصاعدي فتتحقق عند كل صعود لإشارة الساعة، وعندما يكون مدخلا التأهيل (ENP, ENT) فعالين أي أن يكون كل منهما على المستوى المنطقي المرتفع. ويحافظ العداد على قيمة خرجه عندما يكون أحد مدخلي التأهيل (ENP, ENT) غير فعال أي أن يأخذ القيمة المنطقية المنخفضة. للعداد مخرج إضافي (RCO) يأخذ القيمة المنطقية العالية عندما تأخذ مخارج العداد الأربعة القيمة العظمى (1111).

يوضح الشكل (17.7) المخطط الزمني لعمل الدارة المتكاملة (74HC163) التي تمثل عداداً إثنانياً متزامناً (4–bit).



الشكل 17.7: المخطط الزمني لعداد عشري مرمز إثنانياً متزامن.

يتميز العداد الإثناني المتزامن بتأخير أصغري يساوي تأخير قلاب واحد مهما كان عدد مراحل العداد المتزامن، إلا أن قلاباته تحتوي على بوابات منطقية، أي أن بنيته أعقد من بنية العداد غير المتزامن.

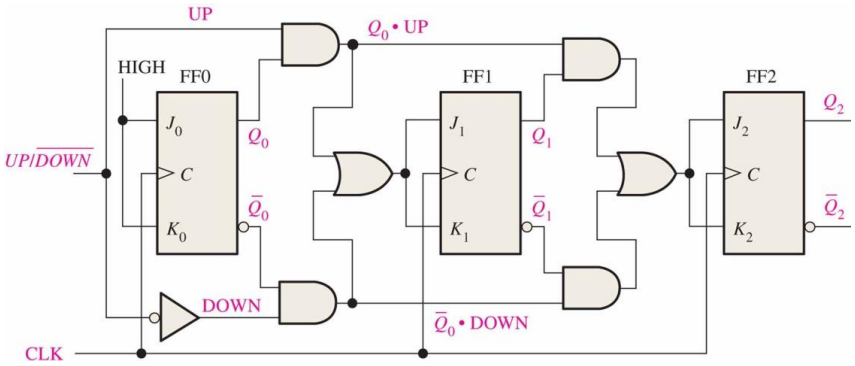
3. العدادات المتزامنة التصاعدية / التنازلية Up/Down Synchronous Counters

العداد الإثناني التصاعدي/التنازلي المتزامن (3–bit)

يبين الشكل (18.7) عداداً إثنانياً متزامناً يعد عداً تصاعدياً وتنازلياً بثلاث مراحل. يتكون العداد من ثلاثة قلابات ($J-K$)، توصل إشارة الساعة الخارجية إلى مداخل إشارة الساعة للقلابات الثلاثة، وتمثل (Q2 Q1 Q0) مخارج العداد الثلاثة.

يبين الشكل (19.7) جدول الحقيقة الذي يوضح عمل العداد. نلاحظ من جدول الحقيقة أن معادلة التحكم بمدخلي القلاب الأول في حالتي العد التصاعدي والتنازلي ($J_0 = K_0 = 1$). وتكون معادلة التحكم بمدخلي القلاب الثاني في حالة العد التصاعدي ($J_1 = K_1 = UP\ Q_0$)، وفي حالة العد التنازلي ($J_1 = K_1 = DOWN\ \overline{Q_0}$). ومعادلة التحكم

بمدخلي القلاب الثالث في حالة العد التصاعدي هي: $(J_2 = K_2 = UP\, Q_1\, Q_0)$، وفي حالة العد التنازلي $(J_2 = K_2 = Down\, \overline{Q_1}\, \overline{Q_0})$. علماً أن مدخل التحكم بالعد هو $(UP / \overline{DOWN})$. يكون العد تصاعدياً عندما يأخذ مدخل التحكم بالعد القيمة المنطقية العالية، ويكون العد تنازلياً عندما يأخذ مدخل التحكم بالعد القيمة المنطقية المنخفضة.

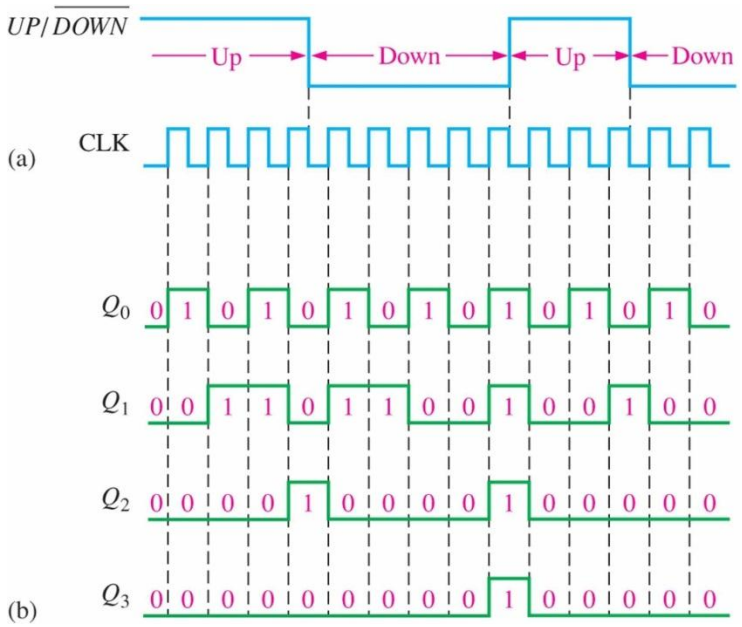


الشكل 18.7: عداد إثناني متزامن تصاعدي/تنازلي بثلاث مراحل.

CLOCK PULSE	UP	Q_2 Q_1 Q_0	DOWN
0	↑	0 0 0	
1		0 0 1	
2		0 1 0	
3		0 1 1	
4		1 0 0	
5		1 0 1	
6		1 1 0	
7		1 1 1	↓

الشكل 19.7: جدول الحقيقة الذي يوضح عمل عداد إثناني متزامن تصاعدي / تنازلي بثلاث مراحل.

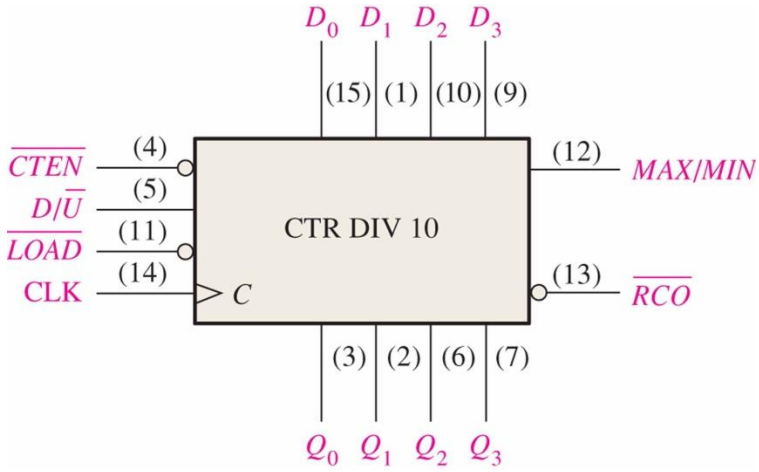
يوضح المخطط الزمني المبين في الشكل (20.7) العد التصاعدي والتنازلي للعداد التصاعدي التنازلي المتزامن.



الشكل 20.7: المخطط الزمني الذي يوضح عمل عداد إثناني متزامن تصاعدي / تنازلي بأربع مراحل.

العداد العشري المرمز إثنانياً التصاعدي/التنازلي المتزامن (74HC190)

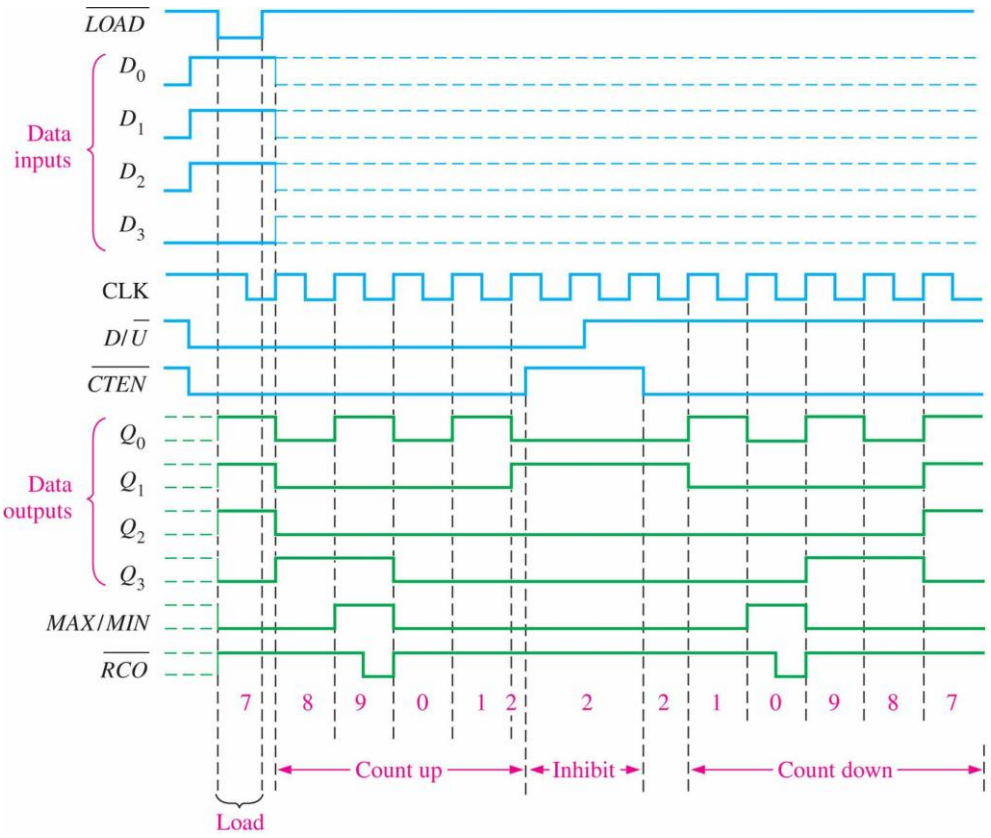
يبين الشكل (21.7) المخطط الصندوقي للدارة المتكاملة (74HC190) التي تمثل عداداً عشرياً مرمزاً إثنانياً تصاعدياً / تنازلياً متزامناً. لهذا العداد مدخل تحكم بالتحميل التفرعي ($\overline{LOAD}$) غير متزامن، عندما يأخذ المستوى المنطقي المنخفض ويكون مدخل التأهيل ($\overline{CTEN}$) فعالاً، أي يأخذ المستوى المنطقي المنخفض، فإن مخارجه الأربعة ($Q_3\ Q_2\ Q_1\ Q_0$) تأخذ قيم مداخل معطياته التفرعية الأربعة ($D_3\ D_2\ D_1\ D_0$).



الشكل 21.7: العداد المتكامل العشري المرمز إثنانياً التصاعدي / التنازلي المتزامن (74HC190).

أما الوظيفة الرئيسة للعداد فهي العد التصاعدي والعد التنازلي. يكون العد عداً تصاعدياً عند كل صعود لإشارة الساعة، وعندما يكون مدخل التأهيل ($\overline{CTEN}$) فعالاً، أي عندما يأخذ القيمة المنطقية المنخفضة، وعندما يأخذ خط التحكم بنوع العد ($D/\overline{UP}$) القيمة المنطقية المنخفضة أيضاً. ويكون العد تنازلياً عند كل صعود لإشارة الساعة، وعندما يكون مدخل التأهيل ($\overline{CTEN}$) فعالاً، أي عندما يأخذ القيمة المنطقية المنخفضة، وعندما يأخذ خط التحكم بنوع العد ($D/\overline{UP}$) القيمة المنطقية العالية. ويحافظ العداد على قيمة خرجه عندما يكون مدخل التأهيل ($\overline{CTEN}$)غير فعال، أي عندما يأخذ القيمة المنطقية العالية. للعداد مخرجان إضافيان: المخرج ($\overline{RCO}$) يأخذ قيمة إشارة الساعة عندما يأخذ العداد القيمة العظمى (1001) في حالة العد التصاعدي أو القيمة الدنيا (0000) في حالة العد التنازلي، والمخرج (MAX/MIN) الذي يأخذ القيمة المنطقية العالية عند القيمة العظمى للعداد (1001) في حالة العد التصاعدي أو القيمة الدنيا (0000) في حالة العد التنازلي.

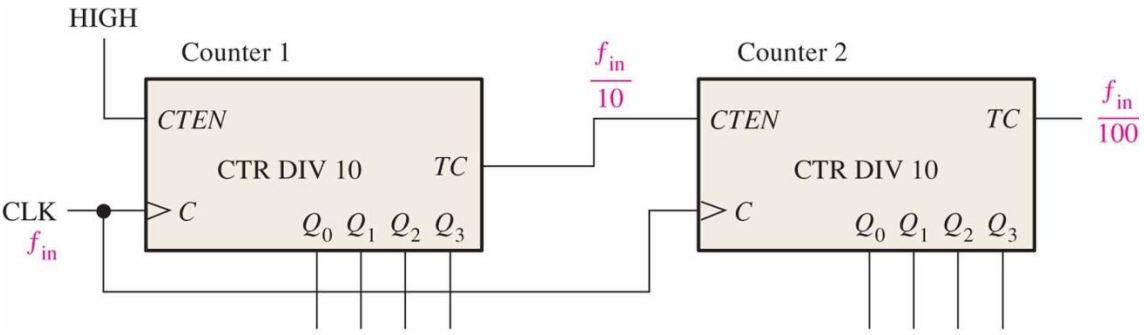
يوضح الشكل (22.7) المخطط الزمني لعمل الدارة المتكاملة (74HC163) التي تمثل عداداً إثنانياً متزامناً (4–bit).



الشكل 22.7: المخطط الزمني لعداد عشري مرمز إثنانياً تصاعدي / تنازلي متزامن.

4. العدادات المتسلسلة (المتعاقبة) Cascaded Counters

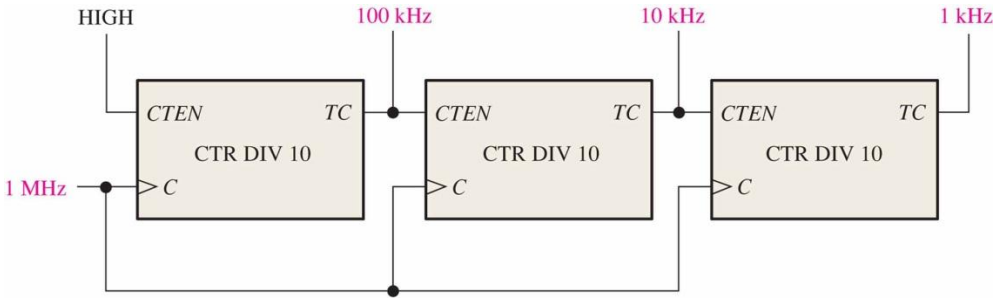
يؤدي الربط المتعاقب للعدادات محدودة المراحل إلى الحصول على معامل تقسيم تردد أعلى. ففي حالة العدادات المتكاملة المتزامنة، يتفعل مدخل تأهيل العداد التالي فقط عند بلوغ القيمة العظمى للعداد الحالي، أي عندما يكون الخرج الخاص (TC) فعالاً. يبين الشكل (23.7) ربط عدادين متعاقبين معامل تقسيم كل منهما (10).



الشكل 23.7: ربط عدادين متعاقبين معامل تقسيم كل منهما (10).

يقسم العداد الأول تردد إشارة ساعته (f_C) على (10)، فنحصل على تردد مقداره ($\frac{f_C}{10}$) على مخرجه الخاص (TC)، أما العداد الثاني فيعد عدة واحدة كلما عد العداد الأول (10) عدات، وبالتالي نحصل على خرجه الخاص (TC) على تردد قيمته تردد الساعة مقسماً على (100) أي ($\frac{f_C}{100}$)، وبعبارة أخرى فإن معامل تقسيم العداد الواحد (10)، ومعامل تقسيم العدادين المتعاقبين (100).

يبين الشكل (24.7) ربط ثلاثة عدادات متعاقبة معامل تقسيم كل منهما (10).



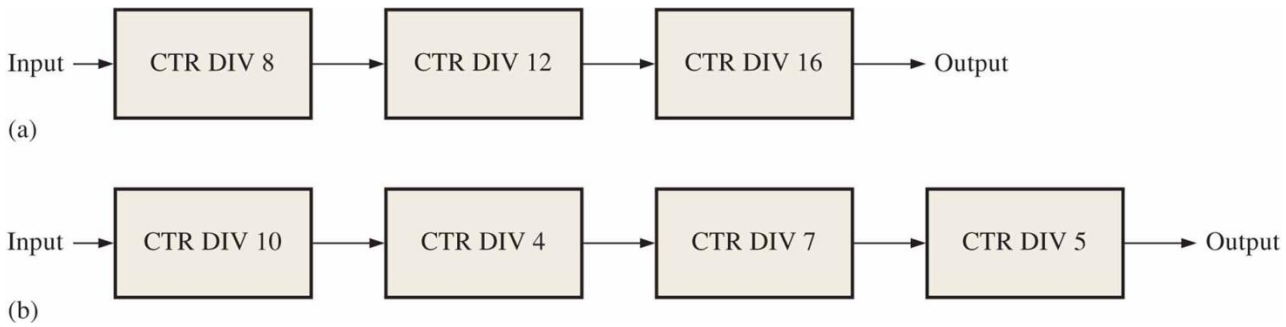
الشكل 24.7: ربط ثلاثة عدادات متعاقبة معامل تقسيم كل منهما (10).

يقسم العداد الأول تردد إشارة الساعة ($1\,MHz$) على (10)، فنحصل على تردد مقداره ($\frac{1\,MHz}{10}=\frac{1000\,kHz}{10}=100\,kHz$) على مخرجه الخاص (TC). ويقسم العداد الثاني إشارة الساعة ($1\,MHz$)

على (100)، فنحصل على تردد مقداره $\left(\frac{1\,MHz}{100}=\frac{1000\,kHz}{100}=10\,kHz\right)$ على مخرجه الخاص (TC). كما يقسم العداد الثالث إشارة الساعة $(1\,MHz)$ على (1000)، فنحصل على تردد مقداره $\left(\frac{1\,MHz}{1000}=\frac{1000\,kHz}{1000}=1\,kHz\right)$ على مخرجه الخاص (TC).

مثال 1.7

حدد معامل تقسيم التردد الكلي للعدادين المتعاقبين المبينين في الشكل (25.7).



الشكل 25.7: عدادان متعاقبين للمثال (1.7).

الحل

فيما يتعلق بالعداد المبين في الشكل (25.7)، معامل التقسيم يساوي إلى:

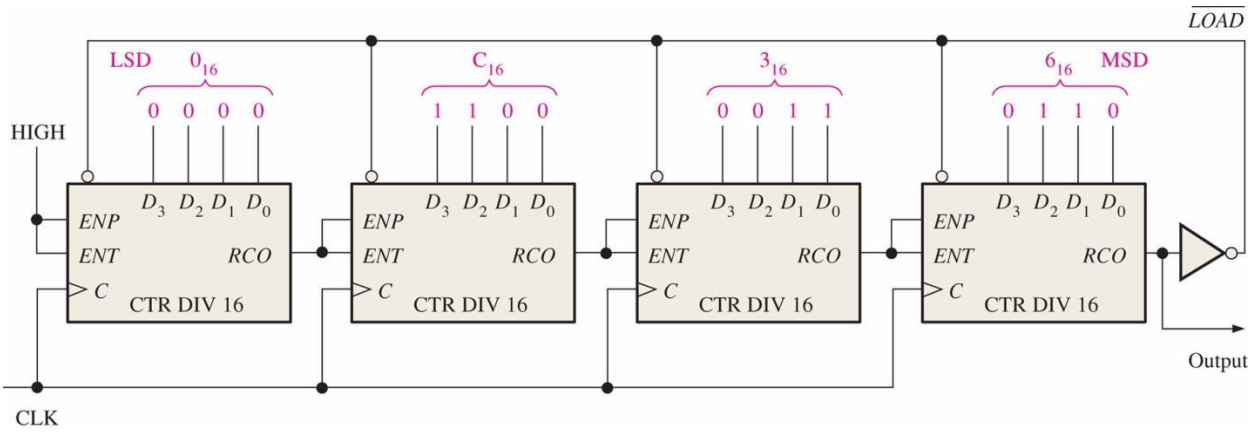
$$8\times12\times16=1536$$

ومعامل التقسيم للعداد المبين في الشكل (25b.7) يساوي إلى:

$$10\times4\times7\times5=1400$$

معاملات تقسيم التردد غير الكاملة

غالباً ما تحتاج بعض التطبيقات إلى معامل تقسيم تردد مختلف وأصغر من معامل تقسيم التردد الكلي لعدادات متعاقبة. هذا يعني تتابع غير مكتمل يجب تنفيذه باستعمال العدادات المتعاقبة. لتوضيح هذه المنهجية سنستعمل بنية العدادات المتعاقبة المبينية في الشكل (26.7). تستعمل هذه الدارة الخاصة أربعة عدادات متكاملة إثنانية متزامنة (4–bit) طراز (74HC161) موصولة على التعاقب مما يعطي معامل تقسيم تردد كلي مقداره $(16\times16\times16\times16=65,536)$ أو $(2^{16}=65,536)$.



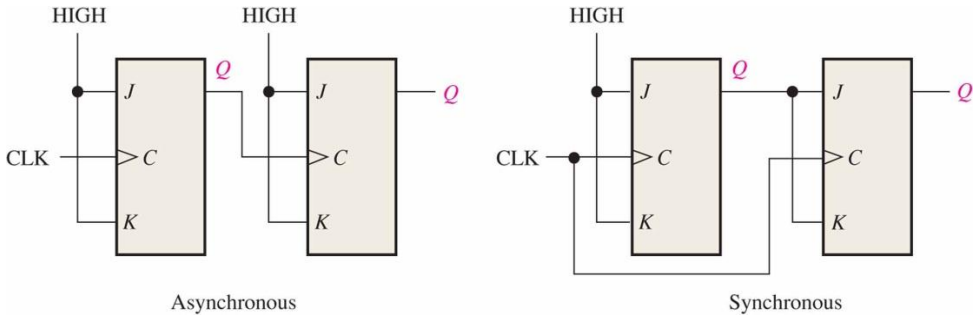
الشكل 26.7: العدادات المتعاقبة للمثال (2.7).

لنفترض أن بعض التطبيقات تتطلب معامل تقسيم مقداره $(40,000)$. سيكون الفرق بين القيمة العظمى لمعامل تقسيم العداد ومعامل التقسيم المطلوب هو $(65,536-40,000=25,536)$ وهو عدد الحالات التي ينبغي حذفها من التتابع الكلي لنحصل على معامل التقسيم المطلوب. بالتلي يجري وضع العداد على القيمة الابتدائية $(25,536)$ ويعد العداد من هذه القيمة إلى القيمة العظمى والتي تبلغ $(40,000)$ عدة، بالتالي كلما يصل العداد إلى القيمة العظمى يعاد تحميله بالقيمة الابتدائية المذكورة. وهكذا نحصل على نبضة كل $(40,000)$ دوراً من أدوار إشارة الساعة ويتم عكس هذه النبضة ليصار إلى استعمالها كأمر تحميل للعدادات بالقيمة الابتدائية $(25,536)$ التي تكافئ العدد الإثنائي $(0110_0011_1100_0000_2)$. هذا يعني أنه عندما يصل العداد إلى القيمة العظمى $(65,536)$ التي تكافئ العدد الإثنائي $(1111_1111_1111_1111_2)$ يأخذ المخرج الأخير الخاص (RCO) القيمة المنطقية العالية فيؤدي إلى تحميل العداد بشكل متزامن بالقيمة الابتدائية $(0110_0011_1100_0000_2)$، بالتالي لدينا دوراً واحداً لإشارة الساعة يكون فيه (RCO) على القيمة المنطقية العالية كل $(40,000)$ دوراً من أدوار إشارة الساعة كما ذكرنا سابقاً. وهكذا يمكن باستعمال هذه الطريقة الحصول على أي معامل تقسيم مطلوب.

أخيراً يستعمل العداد في تطبيقات عديدة مثل دارات الساعة الرقمية، دارات المراقبة والتحكم بأمكنة إيقاف السيارات (Parking)، دارات تحويل المعطيات التفرعية إلى تسلسلية، وغيرها من الدارات التتابعية.

5. خلاصة Summary

1. تختلف العدادات غير المتزامنة عن تلك المتزامنة بطريقة وصل إشارة الساعة إلى القلابات، وهذا ما يوضحه الشكل (27.7). يعمل العداد المتزامن على إشارة ساعة أسرع من تلك المستعملة في العدادات غير المتزامنة.



الشكل 27.7: العدادات المتزامنة وغير المتزامنة.

2. معامل التقسيم الكلي لعداد هو عدد القيم التي يعدها، وهو تابع إلى عدد القلابات (n) التي يتكون منها، وهكذا فإن معامل التقسيم الأعظمي يساوي إلى (2^n). يمكن اختيار أي معامل تقسيم لعداد أصغر من معامل التقسيم الأعظمي.

3. معامل التقسيم الكلي للعدادات المتعاقبة يساوي إلى جداء معاملات التقسيم لكل عداد من عداداته.

أسئلة ومسائل الفصل السابع Questions and Problems

أسئلة الفصل السابع

اختر الإجابة الصحيحة

1. العدادات غير المتزامنة هي:

a) عدادات التقاطر (ripple counters)

b) عدادات متعددة إشارات الساعة (multiple clock counters)

c) عدادات عشرية (decade counters)

d) عدادات معاملات القسمة (modulus counters).

2. تختلف العدادات غير المتزامنة عن تلك المتزامنة:

a) بعدد الحالات في دورة العداد

b) بطريقة توصيل إشارة الساعة

c) بنوع القلابات المكونة للعداد

d) بقيمة معامل التقسيم.

3. معامل تقسيم العداد هو:

a) عدد القلابات

b) عدد الحالات الفعلي لحلقة العداد

c) عدد حلقات العداد في الثانية

d) العدد الأعظمي الممكن لحالات العداد

4. العداد الإثناني بثلاث مراحل له معامل تقسيم أعظمي:

a) 3

b) 6

c) 8

d) 16

5. العداد الإثناني بأربع مراحل له معامل تقسيم أعظمي:

a) 16

b) 32

c) 8

d) 4

6. يمتلك العداد الإثناني الذي له معامل تقسيم أعظمي مقداره (12):

a) 12 قلاباً

b) 3 قلابات

c) 4 قلابات

d) إشارة ساعة متزامنة

7. معامل التقسيم الجزئي هو:

a) معامل التقسيم (8)

b) معامل التقسيم (14)

c) معامل التقسيم (16)

d) معامل التقسيم (32)

8. عدادا تقاطري بأربعة مراحل، يتكون من قلابات لكل منها تأخير زمني بين إشارة الساعة والخرج (Q) مقداره $(12\ ns)$، عندما ينتقل العداد من القيمة (1111) إلى القيمة (0000) يكون التأخير الزمني الكلي:

a) $(12\ ns)$

b) $(24\ ns)$

c) $(48\ ns)$

d) $(36\ ns)$

9. العداد العشري المرمز إثنانياً هو مثال لِـ:

a) معامل التقسيم الكامل لعداد

b) عداد عشري

c) معامل التقسيم الجزئي لعداد

d) الجوابان (b) و(c)

10. لعداد تعاقبي مكون من ثلاثة عدادات كل منها له معامل تقسيم مقداره (10) يكون معامل التقسيم الكلي للعداد المتعاقب:

(a (30)

(b (100)

(c (1000)

(d $(10,000)$

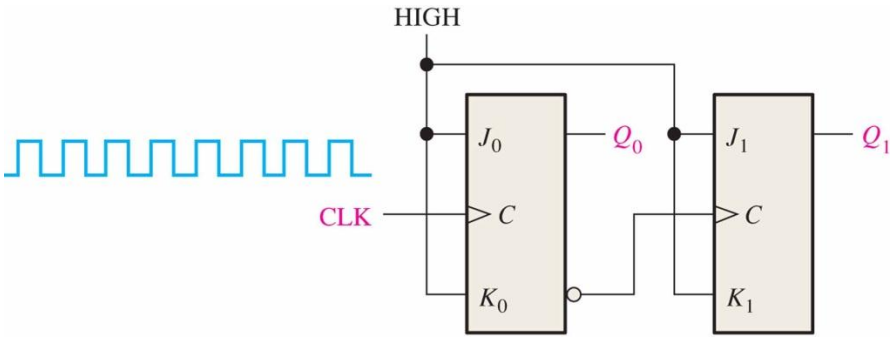
$Ans. 1 \rightarrow (a), 2 \rightarrow (b), 3 \rightarrow (b), 4 \rightarrow (c), 5 \rightarrow (a),$
$6 \rightarrow (c), 7 \rightarrow (b), 8 \rightarrow (c), 9 \rightarrow (d), 10 \rightarrow (c),$

أسئلة الفصل السابع	الإجابة الصحيحة
1	a
2	b
3	b
4	c
5	a
6	c
7	b
8	c
9	d
10	c

مسائل الفصل السابع

العدادات غير المتزامنة Asynchronous Counters

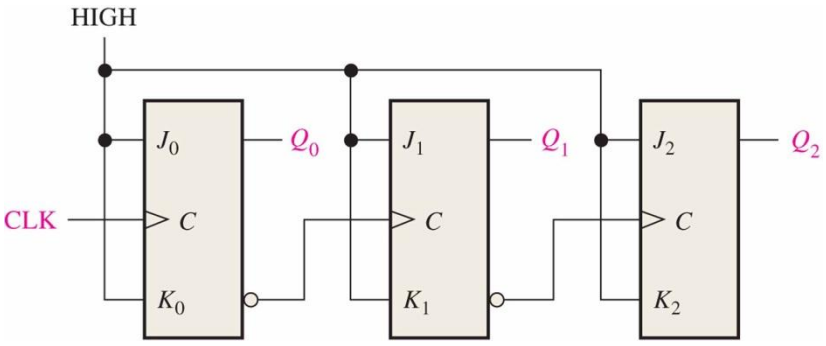
1. في حالة العداد المتقاطر ($Ripple\ counter$) المبين في الشكل (28.7)، ارسم المخطط الزمني الكامل لثمانية نبضات ساعة مبيناً مخرجي العداد ($Q_1\ Q_0$).



الشكل 28.7: عداد متقاطر بمرحلتين.

Ans

2. في حالة العداد المتقاطر ($Ripple\ counter$) المبين في الشكل (29.7)، ارسم المخطط الزمني الكامل لست عشرة نبضة ساعة مبيناً كلاً من إشارة الساعة ومخارج العداد ($Q_2\ Q_1\ Q_0$).



الشكل 29.7: عداد متقاطر بثلاث مراحل.

Ans

3. في حالة العداد غير المتزامن المطروح في المسألة (2.7)، نفترض أن تأخير القلاب المستعمل من إشارة الساعة إلى مخرجه ($8\ ns$)، حدد زمن التأخير الأسوء (أكبر زمن تأخير ممكن) للعداد، وحدد الحالة أو الحالات التي يحصل عندها.

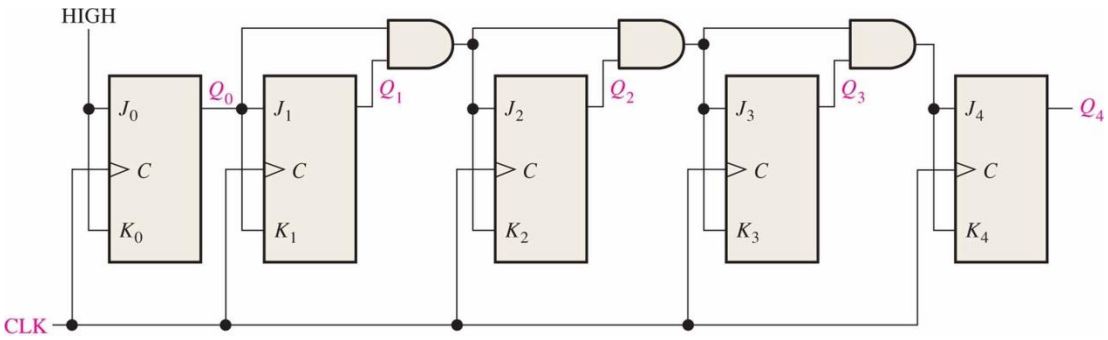
Ans

العدادات المتزامنة Synchronous Counters

4. بفرض أن العداد غير المتزامن المطروح في المسألة (2.7) كان عداداً متزامناً، حدد زمن التأخير الأسوء (أكبر زمن تأخير ممكن) للعداد.

Ans

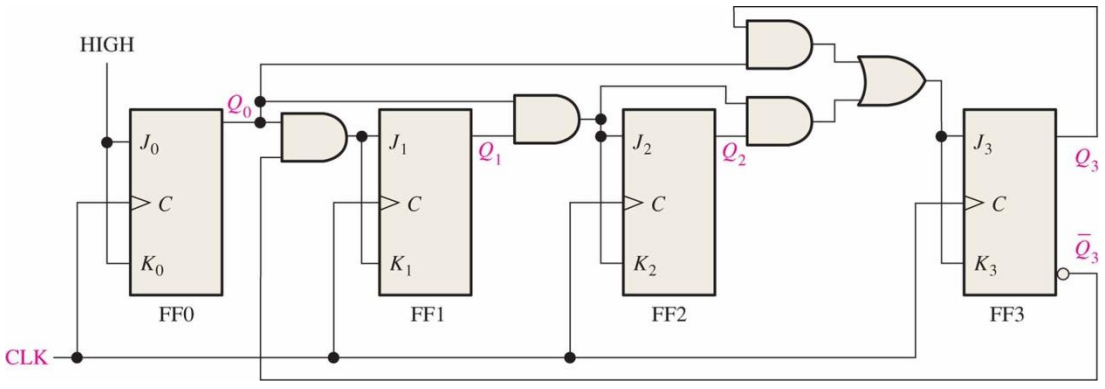
5. ارسم المخطط الزمني الكامل للعداد المتزامن بخمس مراحل والمبين في الشكل (30.7)، وتحقق من أن قيم مخارج العداد تمثل قيماً إثنانية متتالية.



الشكل 30.7: عداد إثناني متزامن بخمس مراحل.

Ans

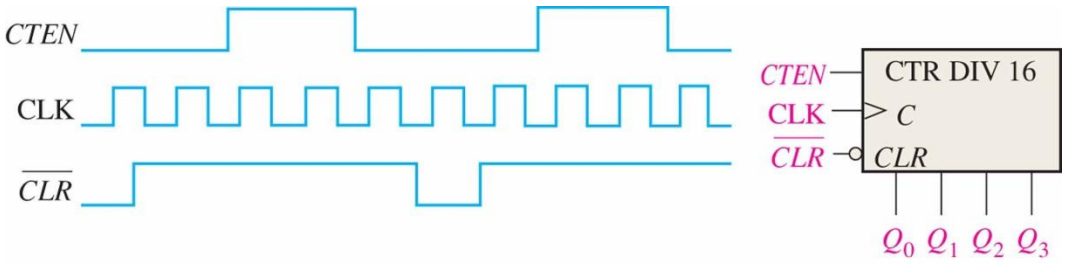
6. أثبت أن العداد المبين في الشكل (31.7)، من خلال تحليل مداخله المتزامنة (J_i K_i) عند كل نبضة ساعة، هو عداد عشري مرمز إثنانياً، وبين كيف لهذه الشروط أن تسبب انتقال العداد من حالة حالية إلى حالة تالية.



الشكل 31.7: عداد إثناني متزامن بأربع مراحل.

Ans

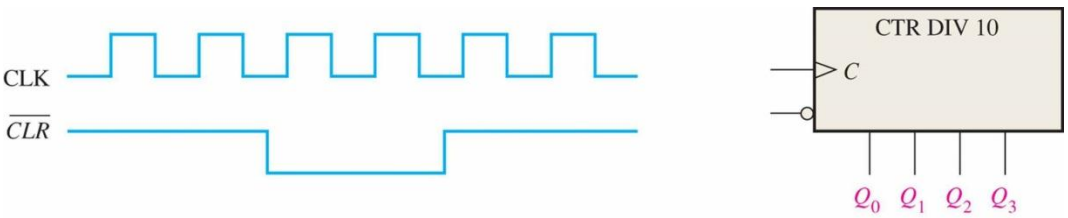
7. جرى تطبيق الإشارات المبينة في الشكل (32.7) على مداخل العداد التالية: مدخل تأهيل العداد $(CTEN)$، ومدخل إعادة وضع العداد على القيمة الصفرية $(\overline{CLR})$، ومدخل إشارة الساعة (CLK). ارسم المخطط الزمني الكامل لمخارج العداد المتزامن بأربع مراحل، علماً أن مدخل إعادة وضع العداد على القيمة الصفرية $(\overline{CLR})$ غير متزامن.



الشكل 32.7: عداد إثناني متزامن بأربع مراحل والمخطط الزمني لمداخله.

Ans

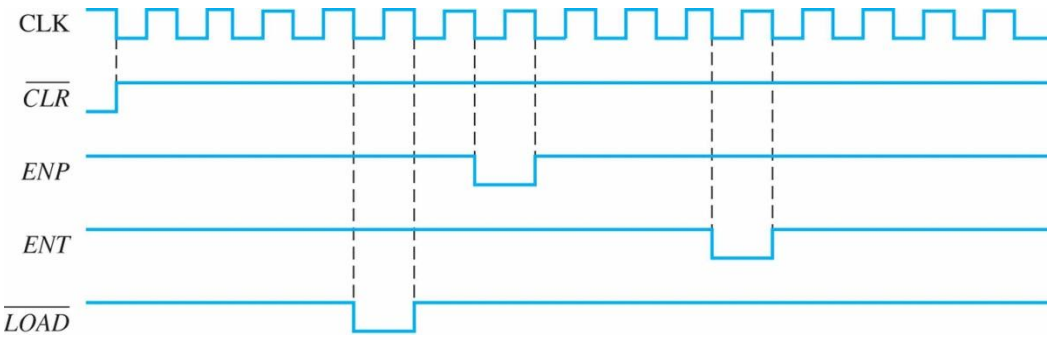
8. يبين الشكل (33.7) عداداً عشرياً مرمزاً إثنانياً (BCD decade counter). طبقت الإشارات المبينة في المخطط الزمني على مدخليه: مدخل إعادة وضع العداد على القيمة الصفرية $(\overline{CLR})$، ومدخل إشارة الساعة (CLK). ارسم المخطط الزمني الكامل لمخارج العداد العشري المرمز إثنانياً المتزامن، علماً أن مدخل إعادة وضع العداد على القيمة الصفرية $(\overline{CLR})$ هو مدخل متزامن، وأن القيمة الابتدائية للعداد هي: $(1\,0\,0\,0)$.



الشكل 33.7: عداد عشري مرمز إثنانياً متزامن والمخطط الزمني لمداخله.

Ans

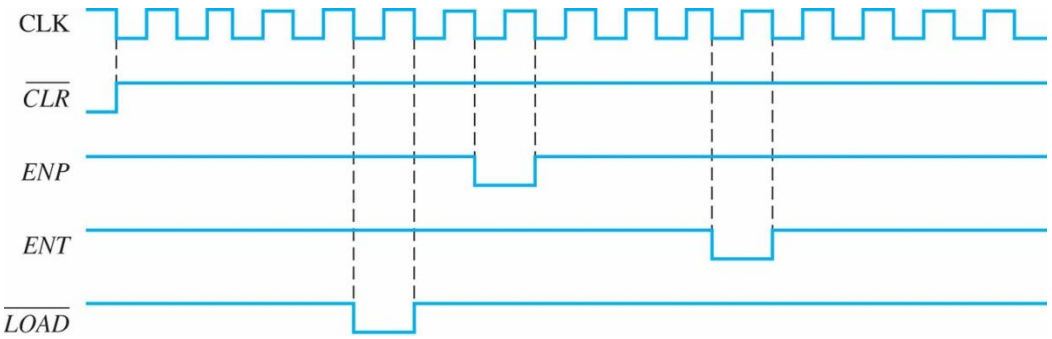
9. جرى تطبيق الإشارات المبينة في الشكل (34.7) على مداخل العداد (74HC163). ارسم المخطط الزمني الكامل لمخارج العداد المتزامن بأربع مراحل والمخرج الخاص (RCO)، علماً أن قيم مدخله هي: $(D_3 = 1, D_2 = 0, D_1 = 1, D_0 = 1)$.



الشكل 34.7: المخطط الزمني لمداخل العداد (74HC163).

Ans

10. جرى تطبيق الإشارات المبينة في الشكل (35.7) على مداخل العداد (74F162). ارسم المخطط الزمني الكامل لمخارج العداد المتزامن بأربع مراحل والمخرج الخاص (TC)، علماً أن قيم مداخله هي: $(D_3 = 1, D_2 = 0, D_1 = 0, D_0 = 1)$.



الشكل 35.7: المخطط الزمني لمداخل العداد (74HC163).

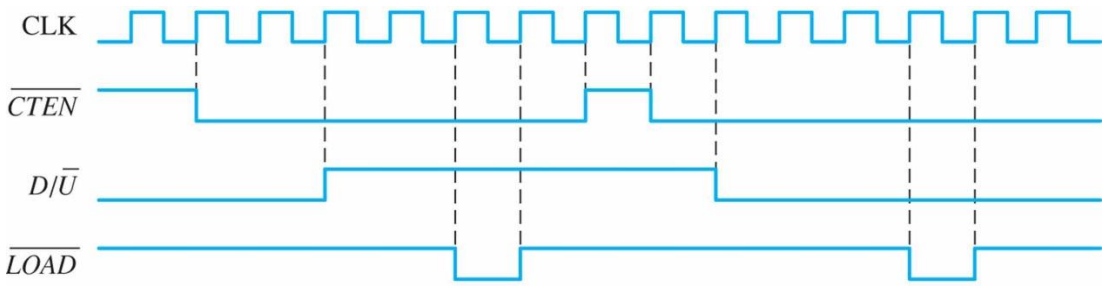
Ans

العدادات المتزامنة التصاعدية/التنازلية Up/Down Synchronous Counters

11. ارسم المخطط الزمني الكامل لمخارج العداد التصاعدي/التنازلي بثلاث مراحل الذي يمر في الحالات التتابعية التالية من اليسار إلى اليمين: ($0, 1, 2, 3, 2, 1, 2, 3, 4, 5, 6, 5, 4, 3, 2, 1, 0.$). حدد متى يكون العداد عداداً تصاعدياً ومتى يكون تنازلياً. افترض أن العداد يعمل عند الحافة الصاعدة لإشارة الساعة.

Ans

12. ارسم المخطط الزمني الكامل لمخارج العداد التصاعدي / التنازلي (74HC190) الذي طبق على مداخله الإشارات المبينة في الشكل (36.7). علماً أنه طبق على مدخل معطياته القيمة (0)، وأن الحالة الابتدائية لمخارج العداد هي: (0 0 0 0).

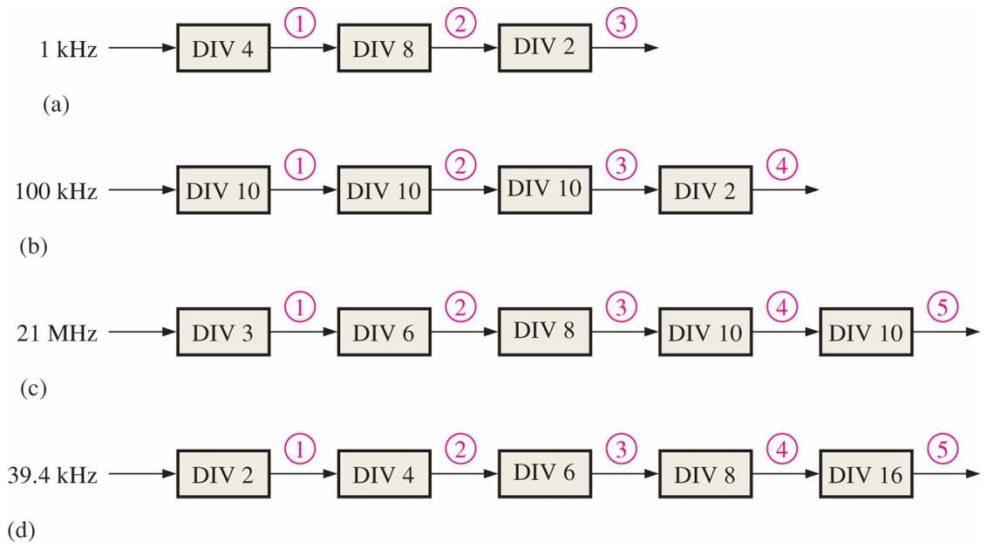


الشكل 36.7: المخطط الزمني لمداخل العداد (74HC190).

Ans

العدادات المتسلسلة (المتعاقبة) Cascaded Counters

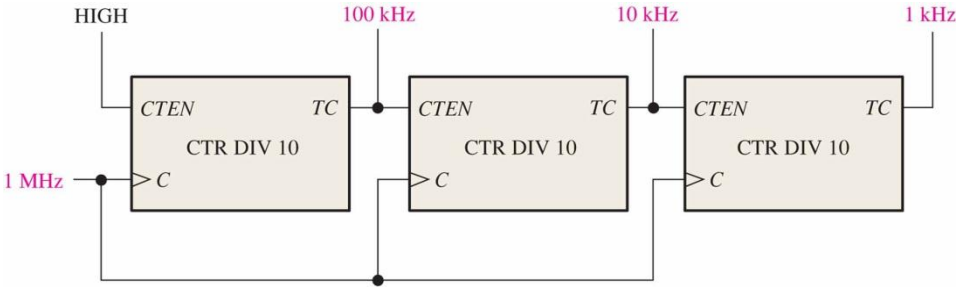
13. في حالة كل من العدادات متعاقبة والمبينة في الشكل (37.7)، حدد تردد نقاط المخارج المشار إليها برقم ضمن دائرة، وحدد معامل القسمة الكلي لكل عداد.



الشكل 37.7: المخطط المنطقي لعدادات متعاقبة.

Ans

14. وسع دارة العداد المتعاقب والمبينة في الشكل (38.7)، حتى نحصل على معامل قسمة كلي للعداد مقداره (100,000).



الشكل 38.7: عداد متعاقب.

Ans

نموذج مذاكرة للفصل السابع

الجامعة ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل السابع: العدادات

أستاذ المادة: ....

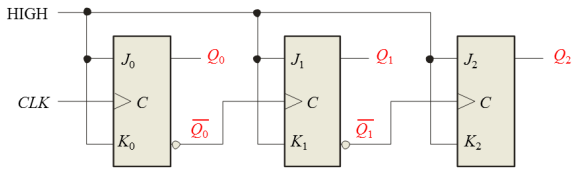
المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

- المادة مغلقة
- يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. العداد المبين أدناه هو مثال لِـ:



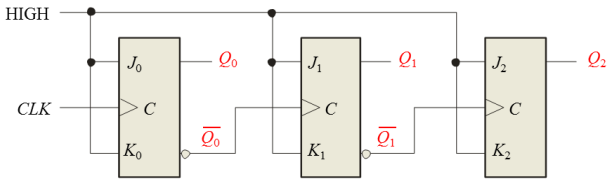
a) عداد غير متزامن

b) عداد عشري مرمز إثنانياً

c) عداد متزامن

d) غير ذلك

2. المخرج (Q_0) للعداد المبين أدناه:



a) يجهز قبل (Q_1) أو (Q_2)

b) تتغير قيمته كل نبضة ساعة

c) تردده أعلى من تردد كل من (Q_1) أو (Q_2)

d) كل ما ذكر

3. لنجعل خرج قلاب (D) يتغير كل نبضة ساعة، نوصل:

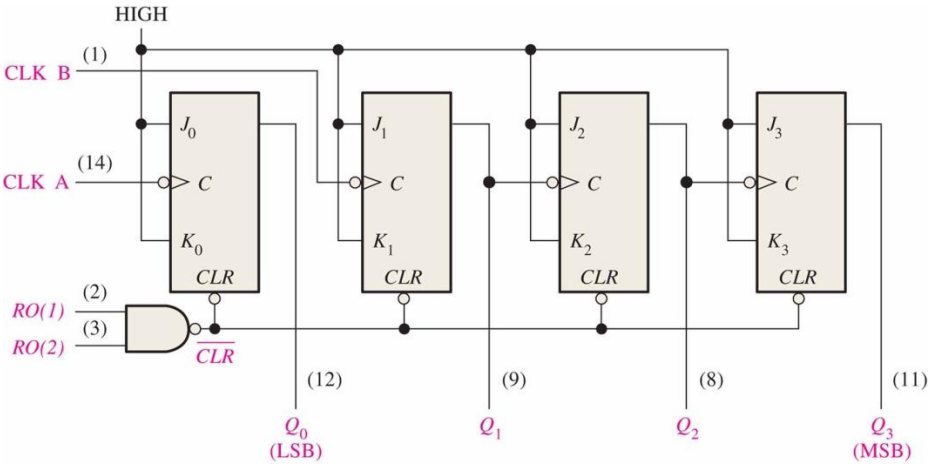
a) إشارة الساعة إلى مدخل المعطيات (D)

b) مخرج القلاب (Q) إلى مدخل المعطيات (D)

c) مخرج القلاب المعكوس $(\overline{Q})$ إلى مدخل المعطيات (D)

d) إشارة الساعة إلى مدخل التحكم بوضع القلاب $(preset)$

4. كي نجعل معامل التقسيم للعداد غير المتزامن المبين أدناه مساوياً إلى (16) ينبغي توصيل:



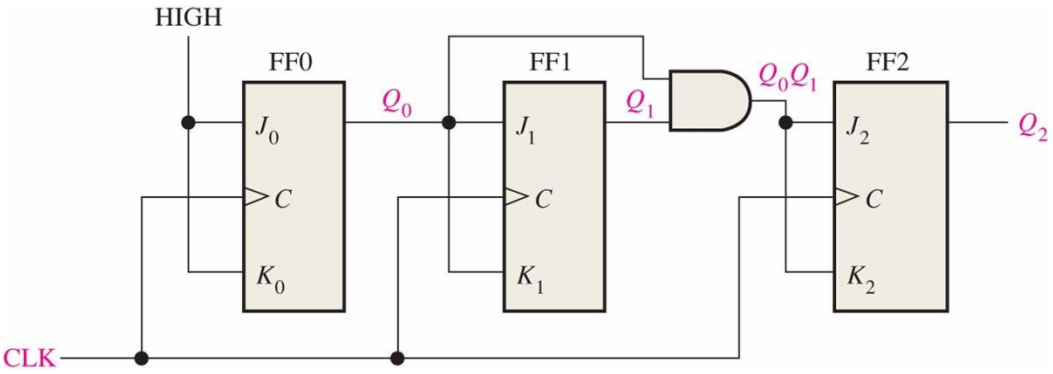
a) (Q_0) إلى $(RO(1)\ and\ RO(2))$

b) (Q_3) إلى $(RO(1)\ and\ RO(2))$

c) $(CLKA)$ إلى $(CLKB)$

d) (Q_0) إلى $(CLKB)$

5. إذا كانت $(Q_0 = 0)$ في حالة العداد المبين أدناه، تسبب نبضة الساعة التالية:



a) تغيير حالة كل من $(FF1)$ و $(FF2)$

b) المحافظة على حالة كل من $(FF1)$ و $(FF2)$

c) المحافظة على حالة $(FF1)$ وتغيير حالة $(FF2)$

d) تغيير حالة $(FF1)$ والمحافظة على حالة $(FF2)$

6. للعداد الإثناني (4–bit) نهاية عد:

a) (4)

b) (10)

c) (15)

d) (16)

7. إذا كان تردد إشارة ساعة عداد إثناني (4–bit) هو $(80\ kHz)$، يكون تردد المخرج الرابع (Q_3):

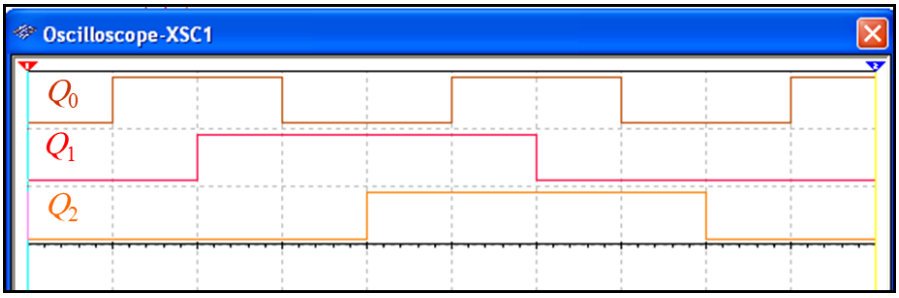
a) $(5\ kHz)$

b) $(10\ kHz)$

c) $(20\ kHz)$

d) $(320\ kHz)$

8. يبين الشكل التالي المخطط الزمني لمخارج عداد $(Q_2\ Q_1\ Q_0)$، وبفرض أن (Q_2) هي الخانة العظمى، يكون تتابع العد له:



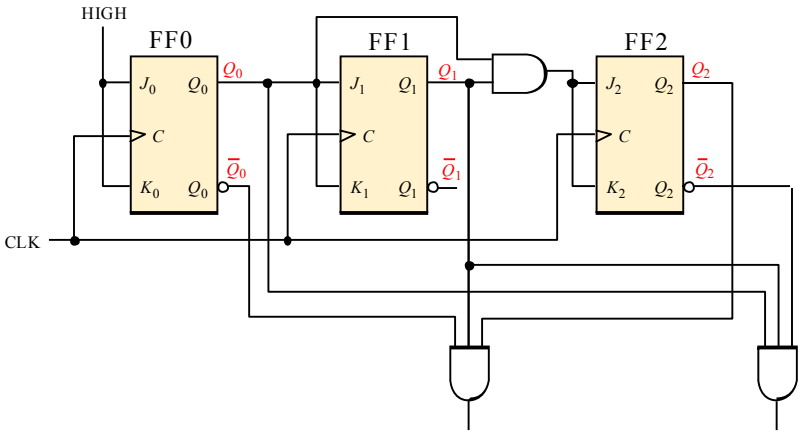
a) $(0-1-2-3-4-5-6-7-0(repeat)$

b) $0-1-3-2-6-7-5-4-0(repeat)$

c) $(0-2-4-6-1-3-5-7-0(repeat)$

d) $(0-4-6-2-3-7-5-1-0(repeat)$

9. يمثل القلاب ($FF2$) الخانة العظمى، قيمتا العد اللتان تشير إليهما البوابتان المنطقيتان في أسفل المخطط المنطقي لعداد إثناني متزامن (3–bit) المبين أدناه:



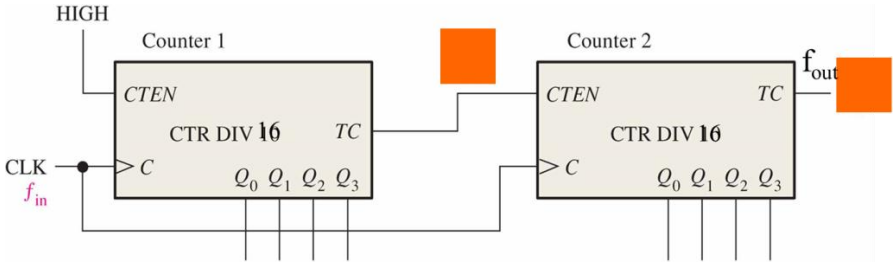
(a $(2\ and\ 3)$

(b $(3\ and\ 6)$

(c $(2\ and\ 5)$

(d $(5\ and\ 6)$

10. لنفترض أن تردد مدخل العداد المتعاقب ($f_{in} = 256\ Hz$). سيكون تردد خرجه (f_{out}):



(a $(16\ Hz)$

(b $(1\ kHz)$

(c $(65\ kHz)$

(d غير ذلك.

الإجابة الصحيحة لنموذج مذاكرة الفصل السابع

$$Ans.1\rightarrow(a),2\rightarrow(d),3\rightarrow(c),4\rightarrow(d),5\rightarrow(b),$$
$$6\rightarrow(c),7\rightarrow(a),8\rightarrow(b),9\rightarrow(b),10\rightarrow(d),$$

التغذية الراجعة

1 مراجعة العدادات غير المتزامنة Asynchronous Counters

2 مراجعة العدادات غير المتزامنة Asynchronous Counters

3 مراجعة العدادات غير المتزامنة Asynchronous Counters

4 مراجعة العدادات غير المتزامنة Asynchronous Counters

5 مراجعة العدادات المتزامنة Synchronous Counters

6 مراجعة العدادات المتزامنة Synchronous Counters

7 مراجعة العدادات المتزامنة Synchronous Counters

8 مراجعة العدادات المتزامنة Synchronous Counters

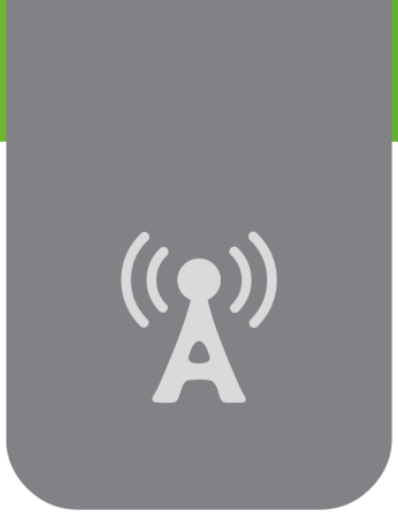
9 مراجعة العدادات المتزامنة Synchronous Counters

10 مراجعة العدادات المتسلسلة (المتعاقبة) Cascaded Counters

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل السابع

نموذج مذاكرة الفصل السابع	الإجابة الصحيحة
1	a
2	d
3	c
4	d
5	b
6	c
7	a
8	b
9	b
10	d



آلات الحالة المنتهية

كلمات مفتاحية Keywords

المخطط البياني للحالات أو مخطط الحالات State Diagram، جدول الحالات State Table، ترميز الحالات State assignment، الحالة الحالية Present State، الحالة التالية Nexte State، المخطط الزمني Timing Diagram.

الملخص Abstract

يهدف الفصل الثامن إلى دراسة آلات الحالة المنتهية (Finite State Machines)، والتي يرتبط خرجها بحالتها السابقة، وبقيم مداخلها الحالية. وتسمى أيضاً الدارات التتابعية المتزامنة (Synchronus Sequential Circuits)، والتي تستعمل فيها وفي معظم الحالات إشارة الساعة لتوقيت عملها. كما يمكن أن يوجد في بعض الحالات دارات تتابعية لا تعتمد في عملها على إشارة الساعة وتسمى في هذه الحالة دارات تتابعية غير متزامنة (Asynchronus Sequential Circuits)، وهي خارج إطار بحثنا في هذا الفصل. يعد تصميم الدارات التتابعية المتزامنة أسهل من الأخرى وتستعمل في أكثر التطبيقات العملية. يدخل في بنية آلات الحالة المنتهية أو الدارات التتابعية المتزامنة جزء تراكبي وعدد من القلابات. تستعمل تقنية آلات الحالة المنتهية لتصميم نظم التحكم المنطقية.

الأهداف التعليمية للفصل الثامن ILO8

دراسة عمل آلات الحالة المنتهية وخطوات تصميمها، وطرق ترميز حالاتها.

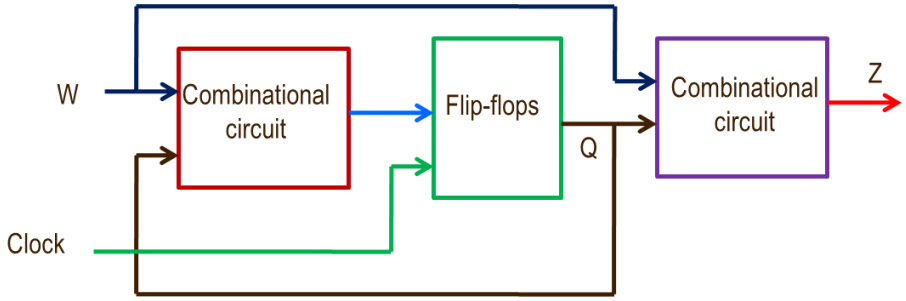
مخرجات الفصل الثامن ILO8

فهم عمل آلات الحالة المنتهية وخطوات تصميمها.

1. مدخل إلى الدارات التتابعية Introduction to Sequential Circuits

يتحدد خرج الدارات المنطقية التراكبية (Combinational logic circuit) بالقيمة الحالية لدخلها. وفي القلابات يتحدد الخرج وفقاً لحالة القلاب (Flip flop) المحددة سابقاً إضافة إلى قيمة الدخل الحالية. بينما يتحدد خرج الدارات التتابعية (Sequential circuits) وفقاً لحالة الدارة السابقة إضافة إلى القيمة الحالية لمداخلها. تستعمل إشارة الساعة (Clock signal) في الدارات التتابعية المتزامنة للتحكم في عمل الدارة التتابعية، ونقول أنها متزامنة لأن خرجها يأخذ قيمته الجديدة بالتزامن مع صعود أو هبوط إشارة الساعة. وفي حالة الدارات التتابعية الغير متزامنة لا توجد إشارة ساعة لضبط مخارجها بالتزامن معها. تتميز الدارات التتابعية المتزامنة بسهولة تصميمها واستعمالها في معظم التطبيقات العملية.

تتكون الدارات التتابعية المتزامنة من دارة منطقية تراكبية ومن قلاب أو أكثر كما هو مبين في الشكل (1.5).

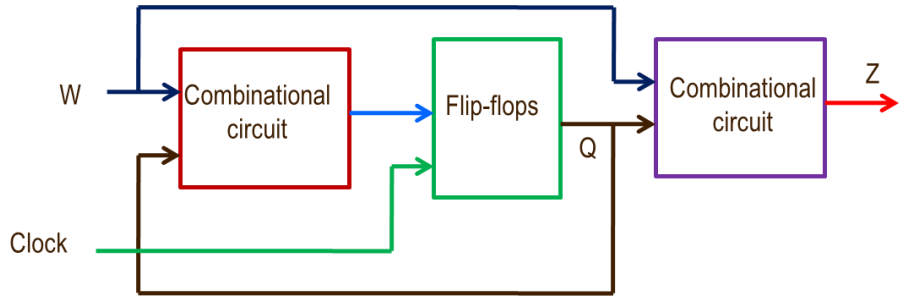


الشكل 1.8: المخطط الصندوقي العام لدارة تتابعية متزامنة.

لآلة الحالة مجموعة المداخل الأولية (Primary inputs) نسميها هنا (W)، ولها مجموعة مخارج أولية (Primary outputs) نسميها هنا (Z)، وتمثل (Q) مجموعة مخارج القلابات وتسمى الحالة الحالية (Present State)، وتشكل الدخل الثاني الداخلي للدارة التراكبية، وتمثل مداخل القلابات (D) التي تعطيها الدارة التركيبية الحالة القادمة (Next state).

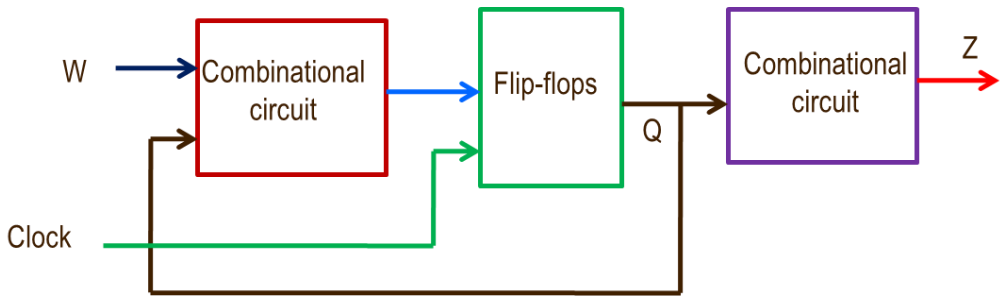
تسمى الدارات التتابعية المتزامنة أيضاً آلات الحالة المنتهية (Finite State Machine). يوجد نوعان من آلات الحالة المنتهية: آلات الحالة المنتهية نوع ميلي (Mealy Machine) نسبة إلى مكتشفها ((George Mealy (1950)، وآلات الحالة المنتهية نوع مور (Moore Machine) نسبة إلى مكتشفها ((Edward Moore (1950).

يتعلق خرج الدارة التتابعية نموذج (Mealy Machine) بكل من الحالة الحالية للآلة وبقيم الدخل الحالية أيضاً، كما هو موضح في الشكل (2.5).



الشكل 2.8: المخطط الصندوقي لآلة الحالة المنتهية نموذج (Mealy).

ويتعلق خرج الدارة التتابعية نموذج (Moore Machine) بالحالة الحالية للآلة فقط، كما هو موضح في الشكل (3.5).

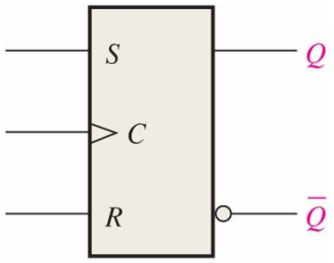


الشكل 3.8: المخطط الصندوقي لآلة الحالة المنتهية نموذج (Moore).

قبل أن ندرس خطوات تصميم آلات الحالة المنتهية، نذكر باختصار بالجزء التتابعي لآلات الحالة المنتهية وهو القلابات. يوجد أربع أنواع من القلابات هي: القلاب نوع S–R (S–R Flip–flop)، والقلاب نوع D (D Flip–flop)، والقلاب نوع T (T Flip–flop)، وأخيراً القلاب نوع J–K (J–K Flip–flop).

القلاب نوع S–R

القلاب نوع S–R هو عنصر ذاكرة لتخزين بت واحد، له مدخلان: المدخل (S) هو مدخل وضع القلاب على القيمة المنطقية (1)، والمدخل (R) وهو مدخل وضع القلاب على القيمة المنطقية (0)، بالإضافة إلى مدخل إشارة الساعة (Clock)، وله خرج (Q) يظهر القيمة المخزنة فيه. يبين الشكل (4.5) المخطط الصندوقي للقلاب نوع S–R، ويبين الشكل (5.5) جدول الحقيقة الذي يلخص عمله.



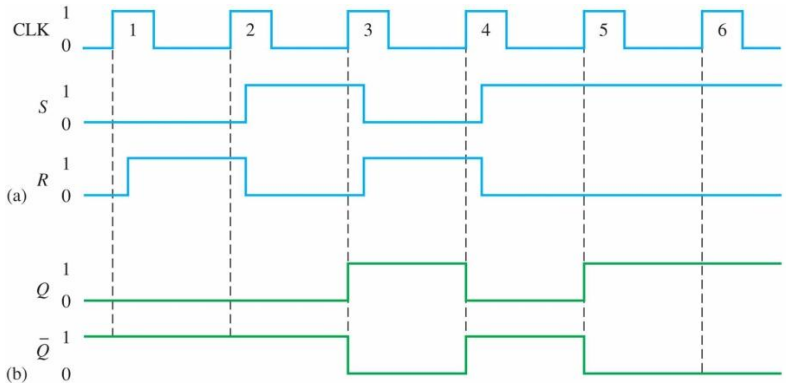
الشكل 4.8: المخطط الصندوقي للقلاب نوع (S–R).

Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
Clock	D	Q+	
↑	0	0	الحالة السابقة (لا يوجد تغيير)
↑	1	1	وضع الخرج على القيمة (0)
–		Q	الحالة السابقة (لا يوجد تغيير)

الشكل 5.8: جدول الحقيقة للقلاب نوع (S–R).

نلاحظ من جدول الحقيقة أنه عندما يكون $(S=0, R=0)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يحافظ على قيمته السابقة دوراً كاملاً. وعندما يكون $(S=1, R=0)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يأخذ القيمة (1) دوراً كاملاً، وعندما يكون $(S=0, R=1)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يأخذ القيمة (0) دوراً كاملاً.

يبين الشكل (6.5) المخطط الزمني لمداخل ومخارج القلاب نوع S–R.



الشكل 6.8: المخطط الزمني لمداخل ومخارج القلاب نوع (S–R).

القلاب نوع D

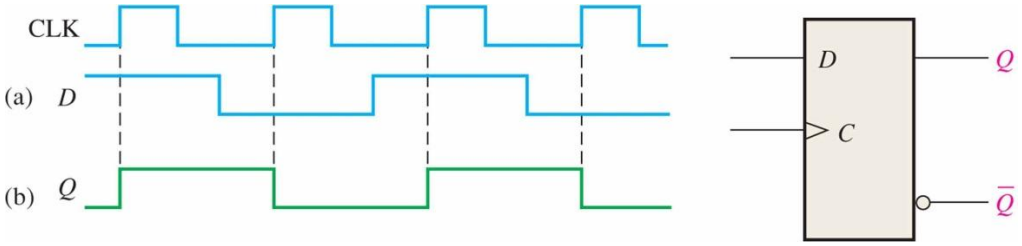
القلاب نوع D هو عنصر ذاكرة لتخزين بت واحد، له مدخل معطيات (D) بالإضافة إلى مدخل إشارة الساعة (Clock)، وله خرج (Q) يظهر القيمة المخزنة فيه. يبين الشكل (7.5) جدول الحقيقة الذي يلخص عمله.

Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
Clock	D	Q+	
↑	0	0	الحالة السابقة (لا يوجد تغيير)
↑	1	1	وضع الخرج على القيمة (0)
–		Q	الحالة السابقة (لا يوجد تغيير)

الشكل 7.8: جدول الحقيقة للقلاب نوع (D).

نلاحظ من جدول الحقيقة أن القلاب يأخذ قيمة مدخل المعطيات (D) ويعطيها إلى خرج القلاب خلال دور كامل، وذلك عند صعود إشارة الساعة.

يبين الشكل (8.8) المخطط الصندوقي للقلاب نوع D، والمخطط الزمني لمدخليه ومخرجه.



الشكل 8.8: المخطط الصندوقي للقلاب نوع (D)، والمخطط الزمني لمدخليه ومخرجه.

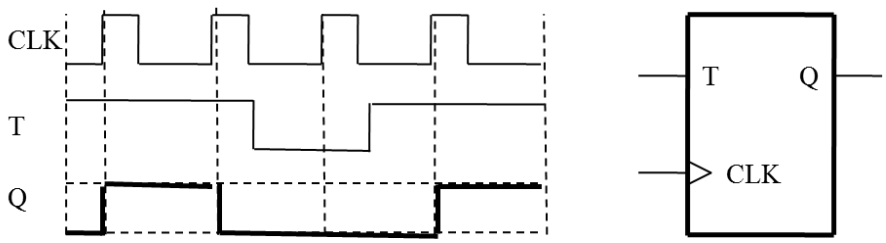
القلاب نوع T

القلاب نوع T له مدخل تحكم (T)، بالإضافة إلى مدخل إشارة الساعة (Clock)، وله خرج (Q). يبين الشكل (9.8) جدول الحقيقة الذي يلخص عمله.

Inputs (مداخل)		Output (مخرج)	Function (عمل القلاب)
Clock	T	Q+	
↑	0	Q	الحالة السابقة (لا يوجد تغيير)
↑	1	$\overline{Q}$	معكوس الخرج
–		Q	الحالة السابقة (لا يوجد تغيير)

الشكل 9.8: جدول الحقيقة للقلاب نوع (T).

نلاحظ من جدول الحقيقة أن القلاب (T) عندما يكون مدخل التحكم ($T=0$) وعند صعود إشارة الساعة لايتغير مخرجه (Q) خلال دور كامل للساعة. وعندما يكون مدخل التحكم ($T=1$) تنعكس قيمة خرجه (Q) دوراً كاملاً.
يبين الشكل (10.8) المخطط الصندوقي للقلاب نوع T، والمخطط الزمني لمدخليه ومخرجه.



الشكل 10.8: المخطط الصندوقي للقلاب نوع (T)، والمخطط الزمني لمدخليه ومخرجه.

القلاب نوع J–K

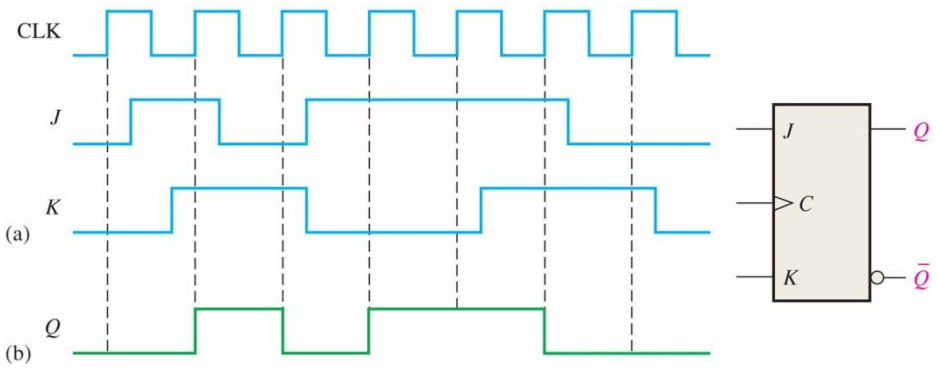
القلاب نوع J–K هو عنصر ذاكرة لتخزين بت واحد، له مدخلان: المدخل (J) ويسمى مدخل وضع القلاب على القيمة المنطقية (1)، والمدخل (K) ويسمى مدخل وضع القلاب على القيمة المنطقية (0)، بالإضافة إلى مدخل إشارة الساعة (Clock)، وله خرج (Q) يظهر القيمة المخزنة فيه. يبين الشكل (11.8) جدول الحقيقة الذي يلخص عمله.

Inputs (مداخل)			Output (مخرج)	Function (عمل القلاب)
Clock	J	K	Q+	
↑	0	0	Q	الحالة السابقة (لا يوجد تغيير)
↑	0	1	0	وضع الخرج على القيمة (0)
↑	1	0	1	وضع الخرج على القيمة (1)
↑	1	1	$\overline{Q}$	معكوس الخرج
–	–		Q	الحالة السابقة (لا يوجد تغيير)

الشكل 11.8: جدول الحقيقة للقلاب نوع (J–K).

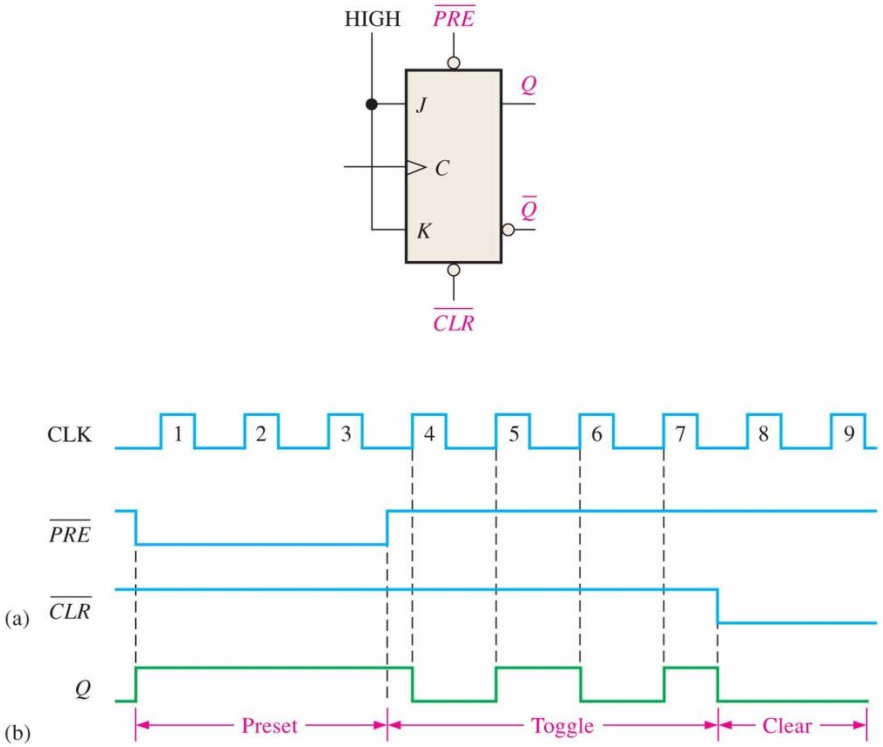
نلاحظ من جدول الحقيقة أنه عندما يكون $(J=0, K=0)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يحافظ على قيمته السابقة دوراً كاملاً. وعندما يكون $(J=1, K=0)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يأخذ القيمة (1) دوراً كاملاً. وعندما يكون $(J=0, K=1)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يأخذ القيمة (0) دوراً كاملاً. وأخيراً عندما يكون $(J=1, K=1)$ ويوجد صعود إشارة ساعة فإن الخرج (Q) يأخذ عكس قيمته السابقة دوراً كاملاً. وفي الزمن المتبقي غير زمن الصعود لايتغير خرج القلاب.

يبين الشكل (12.8) المخطط الصندوقي للقلاب نوع J–K، والمخطط الزمني لمداخله ومخارجه.



الشكل 12.8: المخطط الصندوقي للقلاب نوع (J–K)، والمخطط الزمني لمداخلة ومخارجه.

يمكن أن يكون لأي من القلابات المذكورة أعلاه مدخلان غير متزامنان، أحدهما للتحكم بوضع القلاب على القيمة المنطقية (1) وهو المدخل (Preset)، ويكون فعالاً عادة عند المستوي المنطقي المنخفض. والآخر للتحكم بوضع القلاب على القيمة المنطقية (0) وهو المدخل (Reset) أو المدخل (Clear)، ويكون فعالاً أيضاً عادة عند المستوي المنطقي المنخفض. يبين الشكل (13.8) المخطط الصندوقي للقلاب نوع J–K بمدخلي التحكم غير المتزامنين، والمخطط الزمني الذي يوضح عمله.



الشكل 13.8: المخطط الصندوقي للقلاب نوع (J–K) بمداخل تحكم غير متزامنة، والمخطط الزمني لمداخلة ومخارجة.

2. خطوات تصميم آلات الحالة Basic Design Steps

توصيف دارة تتابعية متزامنة أو ما يعرف بآلة الحالة (Specification)

يطلب تصميم آلة حالة تعمل ككاشف تتابع، تتصف بما يلي:

1. للدارة دخل واحد (w)، وخرج واحد (z).

كل التغيرات التي تحصل في الدارة تعمل عند صعود إشارة الساعة.

يأخذ الخرج القيمة المنطقية (1)، عندما تستقبل على مدخلها واحدان متتاليان، ويأخذ القيمة (0) بخلاف ذلك.

لتوضيح مبدأ عمل آلة الحالة نفترض تتابعاً اثنانياً على مدخل (w) ولستجابة مخرجها (z) له خلال أحد عشر دوراً من أدوار إشارة الساعة.

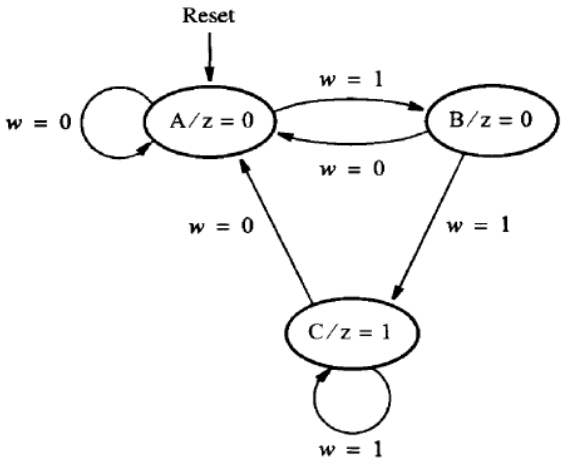
Clock Cycle:	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
w:		0	1	0	1	1	0	1	1	1	0	1
z:		0	0	0	0	0	1	0	0	1	1	0

الخطوة الأولى: إنشاء مخطط الحالات (State diagram)

ننشئ مخطط الحالات للمسألة المطروحة، إذ تمثل الحلقات الحالات، وتمثل الأسهم الموجهة الانتقال من حالة إلى أخرى وفقاً لقيمة الدخل الآنية.

نبدأ ببناء مخطط الحالة من حالة ابتدائية (A) يضعنا فيها إما تطبيق التغذية على الدارة أو إشارة التحكم بالوضع على القيمة الابتدائية لقلابات الآلة، نفترض أن المخرج في الحالة الابتدائية $(z=0)$. عندما تستقبل الدارة القيمة الأولى للدخل (w) هناك احتمالان وهما: $(w=0)$ يبقينا في الحالة (A)، أو $(w=1)$ ينقلنا إلى الحالة (B).

عندما نكون في الحالة (B)، يكون الخرج $(z=0)$، إذا كان المدخل $(w=0)$ نعود إلى الحالة (A)، وإذا كان المدخل $(w=1)$ ننتقل إلى حالة جديدة ولتكن (C)، ويأخذ الخرج القيمة $(z=1)$، وهذا ما يدلنا على ورود واحدين متتالين على مدخل الدارة. إذا كان المدخل $(w=0)$ نعود إلى الحالة (A)، وإذا كان المدخل $(w=1)$ نبقى في الحالة (C)، ويبقى الخرج $(z=1)$. يعطي الشكل (14.8) مخطط الحالات للمسألة المطروحة.



الشكل 14.8: مخطط الحالات لكاشف تتابع واحدين.

الخطوة الثانية: إنشاء جدول الحالات (State diagram)

ننشئ جدول الحالات استناداً إلى مخطط الحالات. يتكون الجدول من ثلاثة حقول: الحقل الأول ويتكون من عمود واحد هو حقل الحالة الحالية (Present State)، والحقل الثاني هو حقل الحالة التالية (Next State)، ويرتبط عدد أعمدته بعدد مداخله. في حالتنا هذه لدينا مدخل واحد نحتاج إلى $(2^1=2)$ عموداً؛ أي عمودين اثنين واحد من أجل $(w=0)$ وآخر من أجل $(w=1)$. والحقل الثالث هو حقل الخرج (z)، ويتعلق عدد الأعمدة فيه إن كانت آلة الحالة من النوع (Mealy) بعدد المداخل كما هو الحال في حالة الحالة التالية، وإن كانت آلة الحالة من النوع (Moore) فإنه يتعلق بالحالة الحالية وهنا في حالتنا هذه يتكون من عمود واحد. هذا ما يتعلق بعدد الأعمدة، أما عدد السطور فيحددها عدد الحالات وبالتالي عدد القلابات. لدينا هنا ثلاث حالات فنحتاج إلى ثلاثة سطور فعلية أو أربعة سطور يكون فيها السطر الرابع حالة مفترضة؛ لأن الحالات الثلاث تحتاج إلى قلابين يغطيان أربع حالات، يلزمنا منها ثلاث حالات فقط.

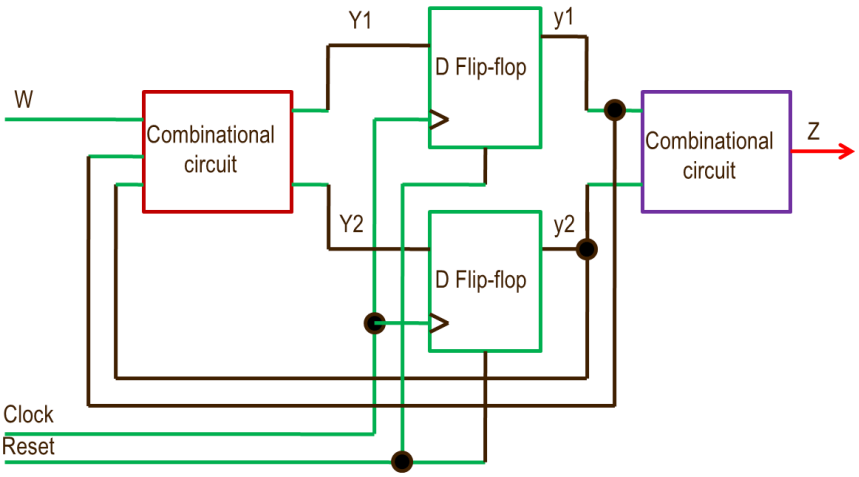
يبين الشكل (15.8) جدول الحالات المستنبط من مخطط الحالات.

Present state	Next state		Output z
	w = 0	w = 1	
A	A	B	0
B	A	C	0
C	A	C	1

الشكل 15.8: جدول الحالات لكاشف تتابع واحدين.

الخطوة الثالثة: ترميز الحالات (State assignment)

تمثل كل حالة من الحالات الممكنة بقيمة محددة من قيم متحولات الحالة (state variables). ينفذ كل متحول من متحولات الحالة على شكل قلاب. تحتاج الحالات الثلاث إلى قلابين أو متحولي حالة (y_1) و(y_2). يوضح الشكل (16.8) متحولات الحالة في المخطط الصندوقي لآلة الحالة المطلوب تصميمها.



الشكل 16.8: المخطط الصندوقي لآلة الحالة موضحاً عليه متحولات الحالة (القلابات).

نستبدل كل حالة من الحالات الممكنة بقيمة اثنانية لقيم المتحولين، إذ يمثل $(y_2\ y_1)$ الحالة الحالية و $(Y_2\ Y_1)$ الحالة التالية. فيصبح جدول الحالات كما هو مبين في الشكل (17.8).

Present state	Next state		Output z
	$w = 0$	$w = 1$	
A	A	B	0
B	A	C	0
C	A	C	1

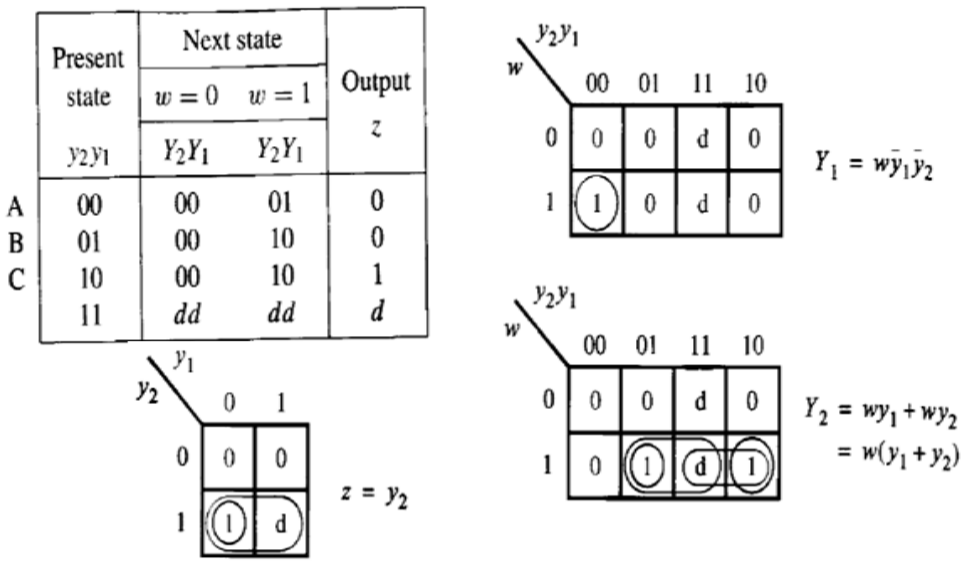
	Present state	Next state		Output
		$w = 0$	$w = 1$	
	y_2y_1	Y_2Y_1	Y_2Y_1	z
A	00	00	01	0
B	01	00	10	0
C	10	00	10	1
	11	*dd*	*dd*	*d*

الشكل 18.5: جدول ترميز الحالات (state-assigned table).

يصلح جدول ترميز الحالات كجدول حقيقة للمخرج (z)، ويتضمن كافة المعلومات التي تحدد الحالة التالية (Y_2, Y_1) كتابع إلى كل من الحالة الحالية (y_2, y_1) والمدخل (w).

الخطوة الرابعة: استنتاج معادلات دخل القلابات والخرج بعد اختيار نوع القلابات (Flip-flop input and output expression expressions)

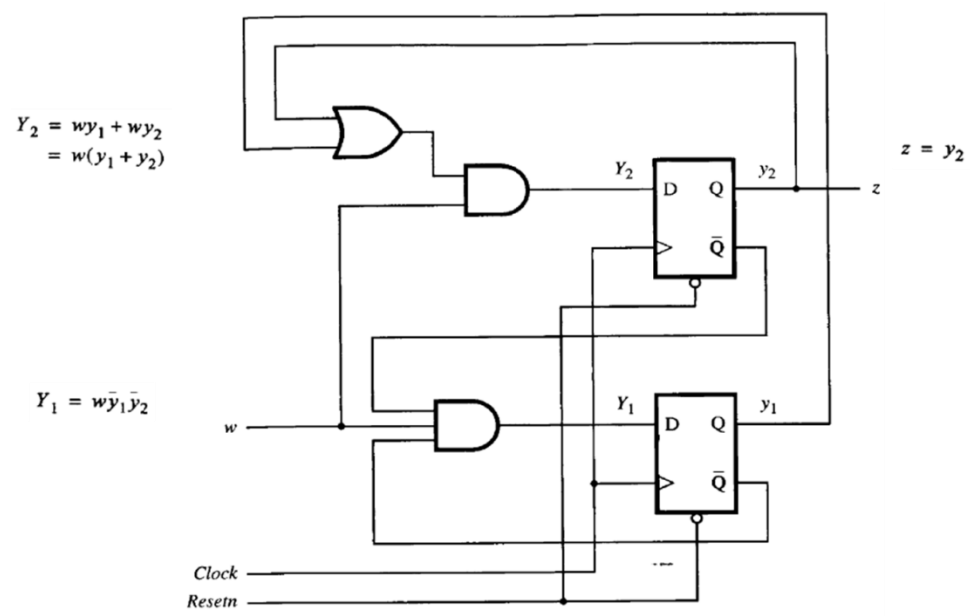
غالباً ما يستعمل القلاب (D) في آلات الحالة، لذلك سنقرر استعماله في آلة الحالة المطروحة. نستعمل جداول كارنو لاستنتاج المعادلات المنطقية اللازمة لاستكمال التصميم. نحتاج هنا إلى ثلاثة جداول لأنه يوجد متحولا حالة (Y_2, Y_1)، وخرج واحد (z). يبين الشكل (18.8) جداول كارنو الثلاثة، والمعادلات المنطقية الثلاث أيضاً.



الشكل 18.8: جداول كارنو لإيجاد المعادلات المنطقية المختصرة لمتحولات الحالة والخرج.

الخطوة الخامسة: استنتاج المخطط المنطقي من المعادلات المنطقية (Implementation)

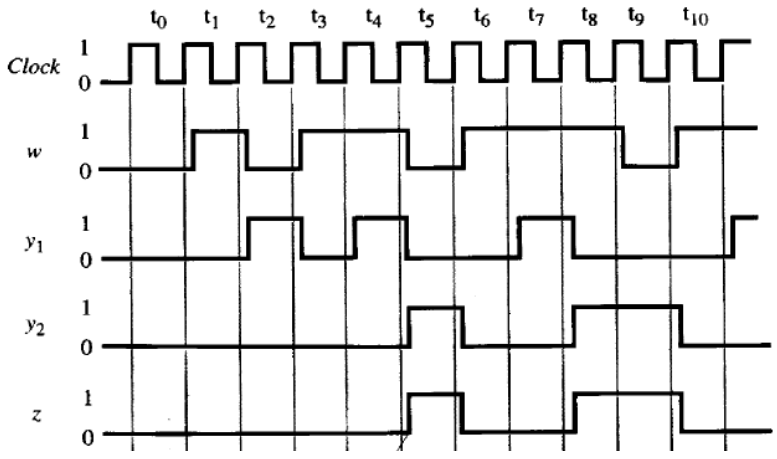
يبين الشكل (19.8) المخطط المنطقي (Logic diagram)، أو مخطط الدارة المنطقية (Schematic) أو المخطط التنفيذي (Implementation) لآلة الحالة.



الشكل 19.8: المخطط المنطقي لآلة الحالة.

الخطوة السادسة: استنتاج المخطط الزمني لآلة الحالة (Timing diagram)

كي نفهم عمل الدارة المصممة، بهدف محاكاتها واختبارها لابد من رسم المخطط الزمني لها لستناداً إلى مخطط الحالات. يبين الشكل (20.8) المخطط الزمني لآلة الحالة المصممة، والمستنتج من مخطط الحالات لها.



الشكل 20.8: المخطط المنطقي لآلة الحالة.

ملخص خطوات التصميم (Summary of Design Steps)

0. الحصول على مواصفات الدارة المنطقية التتابعية المطلوب تصميمها بطريقة آلات الحالة المنتهية (FSM).

1. استنباط مخطط الحالات لآلة الحالة المنتهية مبتدئاً بحالة ابتدائية يضعنا فيها أمر الوضع على حالة ابتدائية (Reset)، أو عند تفعيل التغذية. ينبغي أن يبين مخطط الحالة كل الحالات الممكنة وشروط الانتقال من حالة إلى أخرى وحالات المخارج.

2. إنشاء جدول الحالات اعتماداً على مخطط الحالات.

3. تحديد عدد متحولات الحالة التي تمثل كل الحالات الممكنة، وترميز الحالات. قد يبسط الدارة المطلوب تصميمها الاختيار المناسب لترميز الحالات.

4. اختيار نوع القلابات التي نرغب باستعمالها، واستنتاج المعادلات المنطقية لمداخلها وكذلك المعادلات المنطقية لمخارج الدارة استناداً إلى جداول كارنو.

5. استنتاج الدارة المنطقية استناداً إلى المعادلات المنطقية المحددة في الخطوة السابقة.

6. استنتاج المخطط الزمني اعتماداً على مخطط الحالات، للتمكن من محاكاة الدارة واختبارها.

مثال 1.8

0. الحصول على مواصفات الدارة المنطقية التتابعية المطلوب تصميمها بطريقة آلات الحالة المنتهية (FSM).

نفترض تصميم حلزون آلي على شكل آلة حالة (FSM). يزحف الحلزون من اليسار إلى اليمين على طول بساط ورقي يتكون من مربعات، يحتوي كل مربع على (0) أو (1). عند كل دور من أدوار الساعة ينتقل الروبوت إلى المربع التالي. يبتسم الروبوت كلما تجاوز أربع مربعات تحتوي من اليسار إلى اليمين على المقدار الإثناني (1 0 1 1). والمطلوب تصميم آلة الحالة التي تحسب متى يبتسم الروبوت. المدخل (A) هو البت الذي يقع تحت قرن الاستشعار للحلزون الذي يقرأ قيمة البت في كل مربع يقع عليه. يأخذ المخرج (Y) القيمة المنطقية (1) كلما ابتسم الحلزون.

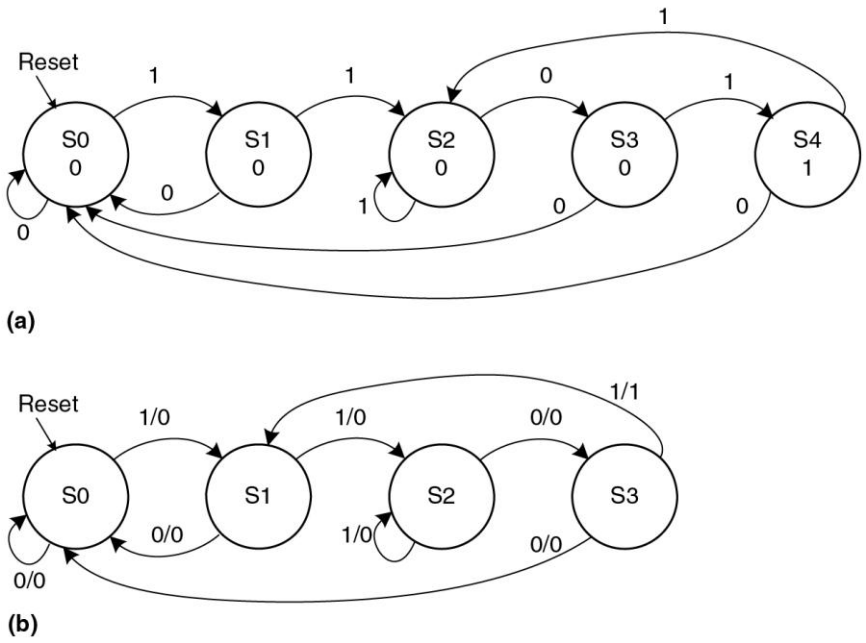
قارن بين آلة الحالة (Moore) وآلة الحالة (Mealy) التي تمثل عقل الحلزون. وارسم المخطط الزمني مبيناً عليه المدخل والحالات، والمخرج عندما يكتشف الحلزون التتابع (0 1 0 1 1 0 1 1 1) أي عندما يمسح (9) مربعات.

الحل

1. استنباط مخطط الحالات لآلة الحالة المنتهية مبتدئاً بحالة ابتدائية يضعنا فيها أمر الوضع على حالة ابتدائية (Reset)، أو تفعيل التغذية (Power supply is on). يبين مخطط الحالة كل الحالات الممكنة وشروط الانتقال من حالة إلى أخرى وحالات المخارج.

تتطلب ألة الحالة نموذج (Moore) خمس حالات، كما هو موضح في الشكل (21–a.8). أقنع نفسك بمخطط انتقال الحالات. وبالأخص سبب وجود سهم انتقال من الحالة (S4) إلى الحالة (S2)، عندما يكون المدخل (A = 1).

بالمقابل تتطلب آلة الحالة نوع (Mealy) أربع حالات، كما هو مبين في الشكل (21–b.8). يحدد على كل سهم انتقال (A/Y)، ويمثل الحرف (A) قيمة المدخل التي تسبب الانتقال، ويمثل الحرف (Y) قيمة الخرج المناسبة.



الشكل 21.8: مخطط الحالات لدارة الروبوت، (a) مخطط الحالة نموذج (Moore)، (b) مخطط الحالة نموذج (Mealy).

2. إنشاء جدول الحالات اعتماداً على مخطط الحالات.

يبين الشكل (22.8) جدول الحالات المستنبط من مخطط الحالات نموذج (Moore).

Present state	Next state		Output Y
	A = 0	A = 1	
S0	S0	S1	0
S1	S0	S2	0
S2	S3	S2	0
S3	S0	S4	0
S4	S0	S2	1

الشكل 22.8: جدول الحالات لدارة الروبوت نموذج (Moore).

يبين الشكل (23.8) جدول الحالات المستنبط من مخطط الحالات نموذج (Mealy).

Present state	Next state		Output Y	
	A = 0	A = 1	A = 0	A = 1
S0	S0	S1	0	0
S1	S0	S2	0	0
S2	S3	S2	0	0
S3	S0	S1	0	1

الشكل 23.8: جدول الحالات لدارة الروبوت نموذج (Mealy).

3. تحديد عدد متحولات الحالة التي تمثل كل الحالات الممكنة، وترميز الحالات. الاختيار المناسب لترميز الحالات قد يبسط الدارة المطلوب تصميمها.

يبين الشكل (24.8) جدول الحالات المرمزة المستنبط من جدول الحالات نموذج (Moore).

Present state Q2 Q1 Q0	Next state D2 D1 D0		Output Y
	A = 0	A = 1	
0 0 0	0 0 0	0 0 1	0
0 0 1	0 0 0	0 1 0	0
0 1 0	0 1 1	0 1 0	0
0 1 1	0 0 0	1 0 0	0
1 0 0	0 0 0	0 1 0	1

الشكل 24.8: جدول الحالات لدارة الروبوت نموذج (Moore).

يبين الشكل (25.8) جدول الحالات المرمزة المستنبط من مخطط الحالات نموذج (Mealy).

Present state Q2 Q1	Next state D2 D1		Output Y	
	A = 0	A = 1	A = 0	A = 1
0 0	0 0	0 1	0	0
0 1	0 0	1 0	0	0
1 0	1 1	1 0	0	0
1 1	0 0	0 1	0	1

الشكل 25.8: جدول الحالات لدارة الروبوت نموذج (Mealy).

4. اختيار نوع القلابات التي نرغب باستعمالها، واستنتاج المعادلات المنطقية لمداخلها وكذلك المعادلات المنطقية لمخارج الدارة استناداً إلى جداول كارنو.

a) آلة الحالة (Moore)

نختار القلابات نوع (D)، ونستنتج معادلات مداخل القلابات (D0، D1،D2)، ومعادلة الخرج في حالة آلة الحالة نموذج (Moore)، باستعمال جداول كارنو المبينة في الأشكال (26.8) و(27.8) و(28.8) و(29.8)، وبافتراض الحالات غير المستعملة (–).

Q0 A / Q2 Q1	0 0	0 1	1 1	1 0
0 0	0	0	0	0
0 1	0	0	1	0
1 1	–	–	–	–
1 0	0	0	–	–

الشكل 26.8: جدول كارنو لإيجاد المعادلة المنطقية للمدخل (D2).

$$D2 = Q1\,Q0\,A$$

Q0 A / Q2 Q1	0 0	0 1	1 1	1 0
0 0	0	1	0	0
0 1	1	0	0	0
1 1	–	–	–	–
1 0	0	0	–	–

الشكل 27.8: جدول كارنو لإيجاد المعادلة المنطقية للمدخل (D1).

$$D1 = \overline{Q1}\,Q0\,A + Q1\,\overline{Q0} + Q2\,A$$

Q0 A / Q2 Q1	0 0	0 1	1 1	1 0
0 0	0	1	0	0
0 1	1	0	0	0
1 1	–	–	–	–
1 0	0	0	–	–

الشكل 28.8 : جدول كارنو لإيجاد المعادلة المنطقية للمدخل (D0).

$$D0 = \overline{Q2}\,\overline{Q1}\,\overline{Q0}\,A + Q1\,\overline{Q0}\,\overline{A}$$

Q0 / Q2 Q1	0	1
0 0	0	0
0 1	0	0
1 1	–	–
1 0	1	–

الشكل 29.8: جدول كارنو لإيجاد المعادلة المنطقية للمخرج (Y).

$$Y = Q2$$

b) آلة الحالة (Mealy)

نختار القلابات نوع (D)، ونستنتج معادلات مداخل القلابات (D0،D1)، ومعادلة الخرج في حالة آلة الحالة نموذج (Mealy)، باستعمال جداول كارنو المبينة في الأشكال (30.8) و(31.8) و(32.8)، وبافتراض الحالات غير المستعملة (–).

A Q1 Q0	0	1
0 0	0	0
0 1	0	[1]
1 1	0	0
1 0	[1]	1]

الشكل 30.8: جدول كارنو لإيجاد المعادلة المنطقية لمدخل القلاب (D1).

$$D1 = Q1\,\overline{Q0} + \overline{Q1}\,Q0\,A$$

A Q1 Q0	0	1
0 0	0	[1]
0 1	0	0
1 1	0	[1
1 0	[1]	0]

الشكل 31.8: جدول كارنو لإيجاد المعادلة المنطقية لمدخل القلاب (D0).

$$D0 = \overline{Q1}\,\overline{Q0}\,A + Q1\,\overline{Q0}\,\overline{A} + Q1\,Q0\,A$$

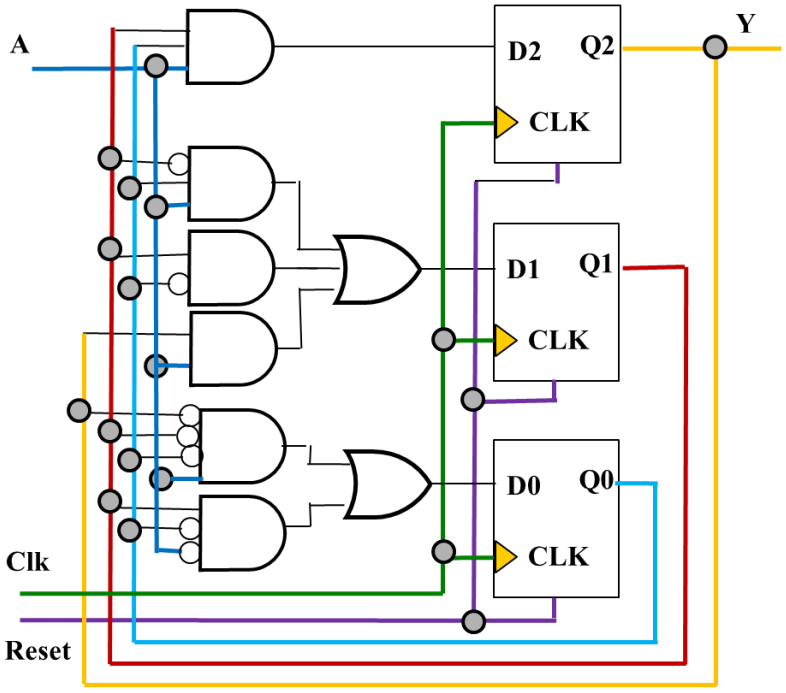
A Q1 Q0	0	1
0 0	0	0
0 1	0	0
1 1	0	1
1 0	0	0

الشكل 32.8: جدول كارنو لإيجاد المعادلة المنطقية للمخرج (Y).

$$Y = Q1\,Q0\,A$$

5. استنتاج الدارة المنطقية استناداً إلى المعادلات المنطقية المحددة في الخطوة السابقة.

a) ألة الحالة (Moore): يبين الشكل (33.8) المخطط المنطقي لآلة الحالة نموذج (Moore).

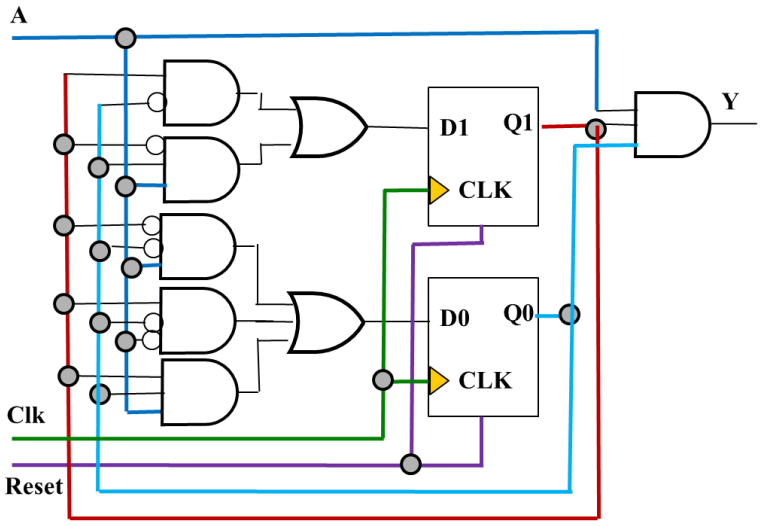


الشكل 33.8: المخطط المنطقي لآلة الحالة نموذج (Moore).

$$D2 = Q1\,Q0\,A, \quad D1 = \overline{Q1}\,Q0\,A + Q1\,\overline{Q0} + Q2\,A, \quad D0 = \overline{Q2}\,\overline{Q1}\,\overline{Q0}\,A + Q1\,\overline{Q0}\,\overline{A}, \quad Y = Q2$$

b) ألة الحالة (Mealy)

يبين الشكل (34.8) المخطط المنطقي لآلة الحالة نموذج (Mealy).

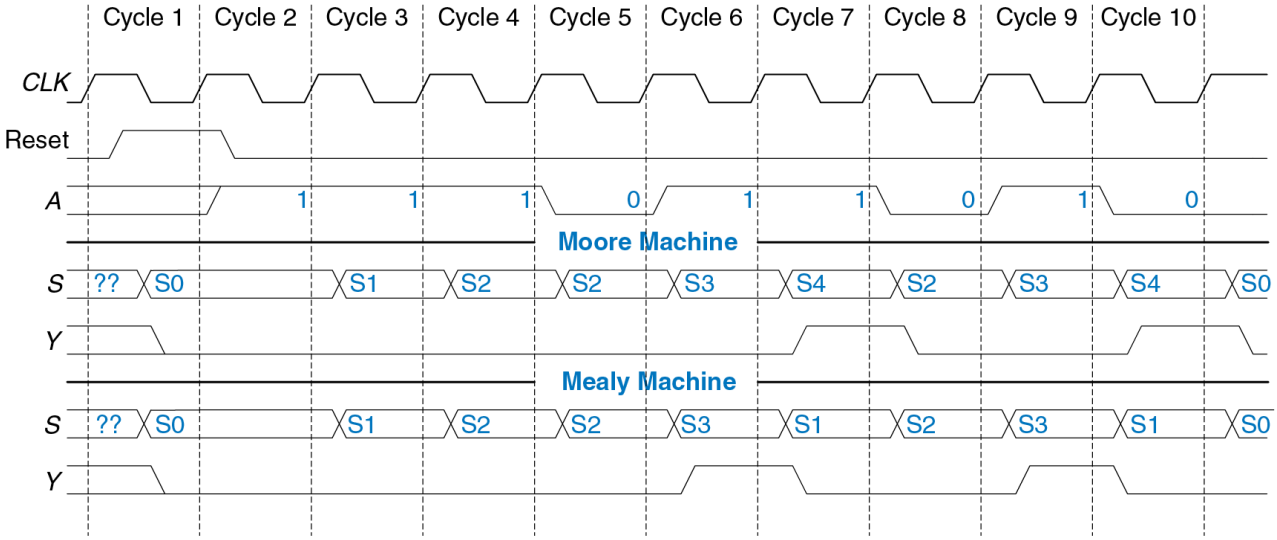


الشكل 34.8: المخطط المنطقي لآلة الحالة نموذج (Mealy).

$$D1 = Q1\,\overline{Q0} + \overline{Q1}\,Q0\,A, \quad D0 = \overline{Q1}\,\overline{Q0}\,A + Q1\,\overline{Q0}\,\overline{A} + Q1\,Q0\,A, \quad Y = Q1\,Q0\,A$$

6. استنتاج المخطط الزمني اعتماداً على مخطط الحالات، للتمكن من محاكاة الدارة واختبارها.

يبين الشكل (35.8) المخطط الزمني لآلة الحالة.



الشكل 35.8: المخطط الزمني لآلة الحالة نموذج.

3. أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot

في المثال السابق، اختير ترميز الحالات والمخارج بشكل عشوائي. قد يؤدي اختيار آخر للحالات والمخارج إلى دارة مختلفة. والسؤال الذي يطرح نفسه هو كيف يمكن أن نختار الترميز الأفضل الذي ينتج عنه دارة بأقل عدد من البوابات المنطقية وأقل تأخير. للأسف، لا توجد وسيلة بسيطة للعثور على أفضل ترميز باستثناء محاولة كل الاحتمالات، وهذا غير ممكن عندما يكون عدد الحالات كبير جداً. ومع ذلك، فإنه غالبا ما يكون من الممكن اختيار ترميز جيد عن طريق المراقبة والتمحيص، بحيث تتقاسم الحالات والمخارج البتات ذات الصلة. لا شك أن أدوات التصميم بمساندة الكمبيوتر (CAD) هي أيضا وسيلة جيدة للبحث عن مجموعة من الترميزات الممكنة واختيار أنسبها.

القرار الوحيد الهام حول ترميز الحالة هو الاختيار بين الترميز الإثناني (binary encoding) والترميز (الواحد الساخن) (one-hot encoding) هو الترميز الذي يحوي بتاً واحداً على المستوى المنطقي العالي في كل رمز حالة.

في حالة الترميز الإثناني، يتم تمثيل كل حالة بعدد ثنائي. لأن (K) رقماً ثنائياً الذي يمثل (K) حالة يمكن تمثيله على ((log2 (K)) بتاً للحالة، أي أن نظاماً يشمل (K) حالة يحتاج ((log2 (K)) بت حالة.

في حالة ترميز الواحد الساخن، يستعمل بت الحالة المنفصل لكل حالة. ويسمى الواحد الساخن لأن بتاً واحداً يكون ساخناً أي قيمته واحد منطقي (1) في أي وقت. على سبيل المثال، آلة حالة بثلاث حالات تستعمل ترميز الواحد الساخن، سيكون الترميز الممكن للحالات الثلاث هو (001) و(010) و(100). يخزن كل بت حالة في قلاب، لذلك يتطلب ترميز الواحد الساخن عدداً أكبر من القلابات مقارنة بالترميز الإثناني. ومع ذلك، في ترميز الواحد الساخن،

يكون الجزأ المنطقي التراكبي لحساب الحالات التالية والمخارج أبسط منه في حالة الترميز الإثناني، لذلك تكون الحاجة أقل إلى البوابات المنطقية. يعتمد الخيار الأفضل لنوع الترميز على آلة الحالة المحددة.

لترميز حالات آلة حالة ما، يمكن أن نختار أسلوباً واحداً من بين عدة أساليب متاحة لترميز الحالات.

(1) الترميز المفترض هو الترميز الإثناني: يتميز هذا النوع من الترميز باستعماله أقل عدد من القلابات في جزئه التتابعي، إذ يمكن ترميز (2^n) حالة باستعمال (n) قلاباً. إلا أنه يتطلب عدداً أكبر من البوابات في جزئه التراكبي، وبالتالي سيكون أبطأ من الخيارات الأخرى.

(2) الترميز المفترض هو ترميز الواحد الساخن: يستعمل هذا الترميز قلاباً واحداً لكل حالة، أي يتطلب عدداً أكبر من القلابات في جزئه التتابعي، إذ يمكن ترميز (n) حالة باستعمال (n) قلاباً . بينما يحتاج إلى عدد أقل من البوابات المنطقية في جزئه التراكبي، وبالتالي سيكون هذا النوع من الترميز هو الخيار الأسرع من الخيارات الأخرى.

(3) الترميز المفترض هو ترميز الواحدين الساخنين: يستعمل هذا الترميز واحدين في كل رمز لكل حالة. إذ يستعمل (n) قلاباً لترميز $\left(\frac{n(n-1)}{2}\right)$ حالة.

لتوضيح أسلوب ترميز الواحدين الساخنين وهو حل وسط بين الحلين الحديين المذكورين أعلاه، نفترض آلة حالة تتكون من ست حالات فيكون الترميز الممكن،

$Flip-flops$	D	C	B	A
$State\,1$	0	0	1	1
$State\,2$	0	1	0	1
$State\,3$	1	0	0	1
$State\,4$	0	1	1	0
$State\,5$	1	0	1	0
$State\,6$	1	1	0	0

أي أن:

$$n\ \ flip-flops \Rightarrow \frac{n(n-1)}{2}\ states$$

$$4\ \ flip-flops \Rightarrow \frac{4(4-1)}{2}\ states = 6\ states$$

لنقارن بين الأنواع الثلاثة من الترميز لآلة حالة بثماني حالات ونضع النتائج في الجدول المبين في الشكل (36.8).

STATE	Encoding Styles (أساليب الترميز)		
	BINARY (إثناني)	TOWHOT (الواحدان الساخنان)	ONEHOT (الواحد الساخن)
State0	0 0 0	0 0 0 1 1	0 0 0 0 0 0 0 1
State1	0 0 1	0 0 1 0 1	0 0 0 0 0 0 1 0
State2	0 1 0	0 1 0 0 1	0 0 0 0 0 1 0 0
State3	0 1 1	1 0 0 0 1	0 0 0 0 1 0 0 0
State4	1 0 0	0 0 1 1 0	0 0 0 1 0 0 0 0
State5	1 0 1	0 1 0 1 0	0 0 1 0 0 0 0 0
State6	1 1 0	1 0 0 1 0	0 1 0 0 0 0 0 0
State7	1 1 1	1 1 0 0 0	1 0 0 0 0 0 0 0

الشكل 36.8: أنواع ترميز الحالات الثماني لآلة حالة مفترضة.

بمعرفة عدد الحالات، نستنتج عدد القلابات المطلوب في كل نوع من الأنواع الثلاثة للترميز كما هو مبين أدناه.

$$Binary\ Code: \quad 2^n = 8 \Rightarrow n = \log_2 8 = 3 \quad flip-flops$$

$$Tow\ Hot\ Code: \quad \frac{n(n-1)}{2} = 8 \Rightarrow n = 5 \quad flip-flops$$

$$One\ Hot\ Code: \quad n = 8 \quad flip-flops$$

ينصح باستعمال ترميز الواحد الساخن في التطبيقات التي تتوفر فيها وفرة من القلابات مثل مصفوفات البوابات التي تبرمج (Field Programmable Gate Arrays) أو اختصاراً (FPGAs).

كما ينصح باستعمال الترميز الإثناني في حالة الدارات المتكاملة المختصة (Application Specific Integrated Circuits) أو اختصاراً (ASICs).

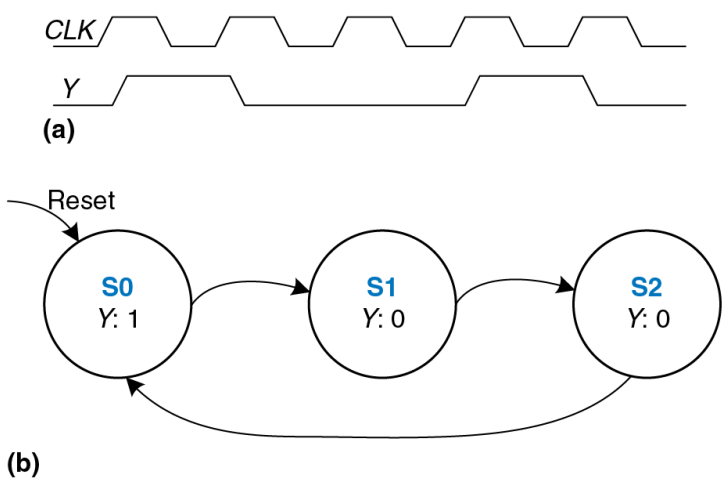
بعد أن درسنا أنواع الترميز لحالات آلة الحالة المنتهية (FSM)، نأخذ مثالاً لآلة حالة نستعمل فيها الترميزين الحديين الترميز الإثناني والترميز الواحد الساخن على سبيل المقارنة.

مثال 2.8

0. الحصول على مواصفات الدارة المنطقية التتابعية المطلوب تصميمها بطريقة آلات الحالة المنتهية (FSM).

يطلب تصميم دارة عداد كدارة تقسيم على $(N=3)$، له خرج واحد وليس له دخل. يأخذ الخرج (Y) القيمة المنطقية العالية خلال دور واحد من أدوار إشارة الساعة كل $(N=3)$ دوراً. وبكلمة أخرى يقسم الخرج تردد الساعة على القيمة $(N=3)$. يبين الشكل (37.8) المخطط الزمني ومخطط الحالات لدارة عداد تقسيم على العدد $(N=3)$.

كما يطلب رسم المخطط المنطقي لدارة العداد المقسم على $(N=3)$، في حالتي الترميز الإثناني، والواحد الساخن.



الشكل 37.8: المخطط الزمني ومخطط الحالات لدارة تقسيم على العدد $(N=3)$.

الحل

1. استنباط مخطط الحالات لآلة الحالة المنتهية مبتدئاً بحالة ابتدائية يضعنا فيها أمر الوضع على حالة ابتدائية (Reset)، أو تفعيل التغذية (Power supply is on). يبين مخطط الحالة كل الحالات الممكنة وشروط الانتقال من حالة إلى أخرى وحالات المخارج.

أعطي في نص المسألة.

2. إنشاء جدول الحالات اعتماداً على مخطط الحالات.

يبين الشكل (38.8) جدول الحالات المستنبط من مخطط الحالات نموذج (Moore).

Present state	Next state	Output Y
S0	S1	1
S1	S2	0
S2	S0	0

الشكل 38.8: جدول الحالات لدارة عداد التقسيم على العدد $(N=3)$ نموذج (Moore).

3. تحديد عدد متحولات الحالة التي تمثل كل الحالات الممكنة، وترميز الحالات. الاختيار المناسب لترميز الحالات قد يبسط الدارة المطلوب تصميمها.

يقارن جدول ترميز الحالات المبين في الشكل (39.8) بين الترميز الإثناني وترميز الواحد الساخن لحالات دارة عداد التقسيم على العدد $(N=3)$.

Present State Binary Encoding Q1 Q0	Next state Binary Encoding D1 D0	Present state One-Hot Encoding Q2 Q1 Q0	Next state One-Hot Encoding D2 D1 D0	Output Y
0 0	0 1	0 0 1	0 1 0	1
0 1	1 0	0 1 0	1 0 0	0
1 0	0 0	1 0 0	0 0 1	0

الشكل 39.8: جدول المقارنة بين الترميز الإثناني وترميز الواحد الساخن لحالات دارة عداد التقسيم على العدد $(N=3)$ نموذج (Moore).

4. اختيار نوع القلابات التي نرغب باستعمالها، واستنتاج المعادلات المنطقية لمداخلها وكذلك المعادلات المنطقية لمخارج الدارة استناداً إلى جداول كارنو.

نختار القلابات نوع (D)، ونستنتج معادلات مداخل القلابات (D0،D1) في حالة الترميز الإثناني، ومعادلات مداخل القلابات (D0، D1،D2) في حالة ترميز الواحد الساخن، ومعادلة الخرج في الحالتين المذكورتين.

معادلات مداخل القلابات والخرج في حالة الترميز الإثناني:

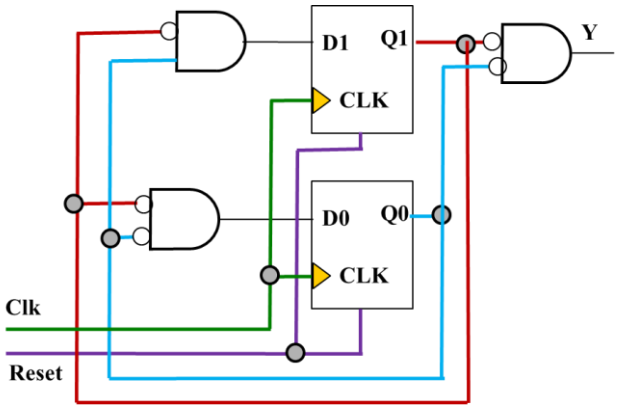
$$D1=\overline{Q1}\,Q0, \quad D0=\overline{Q1}\,\overline{Q0}, \quad Y=\overline{Q1}\,\overline{Q0}$$

معادلات مداخل القلابات والخرج في حالة ترميز الواحد الساخن:

$$D2=Q1, \quad D1=Q0, \quad D0=Q2, \quad Y=Q0$$

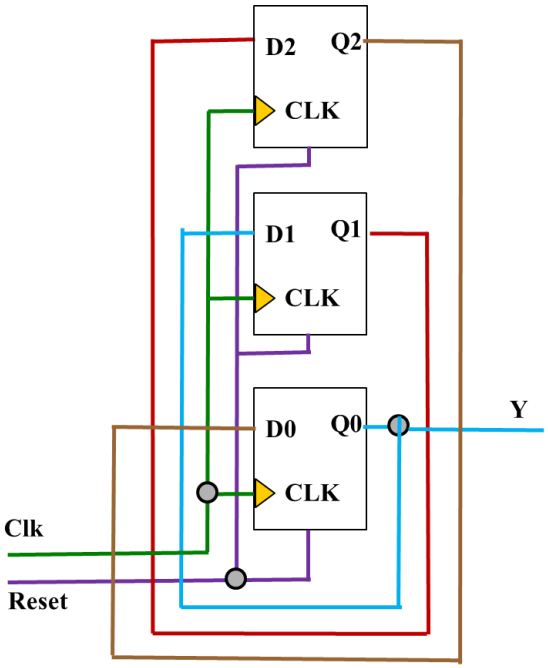
5. استنتاج الدارة المنطقية استناداً إلى المعادلات المنطقية المحددة في الخطوة السابقة.

يبين الشكل (40.8) المخطط المنطقي لدارة عداد مقسم التردد على $(N=3)$ في حالة الترميز الإثناني.



الشكل 40.8: المخطط المنطقي لدارة عداد مقسم التردد على $(N=3)$ في حالة الترميز الإثناني.

يبين الشكل (41.8) المخطط المنطقي لدارة عداد مقسم التردد على $(N=3)$ في حالة ترميز الواحد الساخن.



الشكل 41.8: المخطط المنطقي لدارة عداد مقسم التردد على $(N=3)$ في حالة ترميز الواحد الساخن.

6. استنتاج المخطط الزمني اعتماداً على مخطط الحالات، للتمكن من محاكاة الدارة واختبارها.

أعطي المخطط الزمني في نص المسألة مع مخطط الحالات.

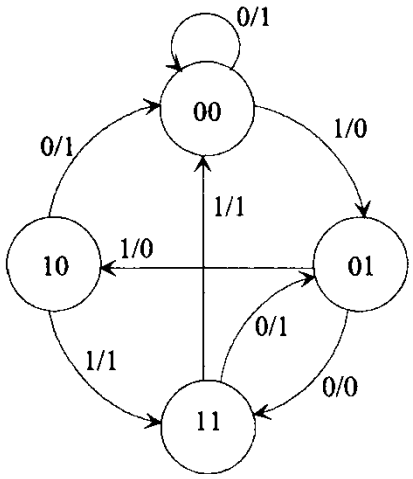
4. خلاصة Summary

آلات الحالة المنتهية (FSM) هي وسيلة منهجية قوية لتصميم الدارات التتابعية بدءاً من مواصفات مكتوبة. تستعمل الإجرائية التالية لتصميم آلات الحالة المنتهية (FSM):

1. تحديد المداخل والمخارج.
2. رسم مخطط الحالات والانتقالات.
3. في حالة آلة (Moore):
   - كتابة جدول الانتقالات.
   - كتابة جدول المخارج.
4. في حالة آلة (Mealy)
   - كتابة جدول الانتقالات والمخارج.
5. اختيار ترميز الحالات–ويؤثر اختيارنا لنوع الترميز على تصميم الكيان الصلب.
6. كتابة المعادلات البوليانية للحالات التالية والمخارج.
7. رسم مخطط الدارة المنطقية.
8. تستعمل آلات الحالة المنتهية (FSM) مرارا لتصميم الأنظمة الرقمية المعقدة.

مسائل الفصل الثامن Questions and Problems

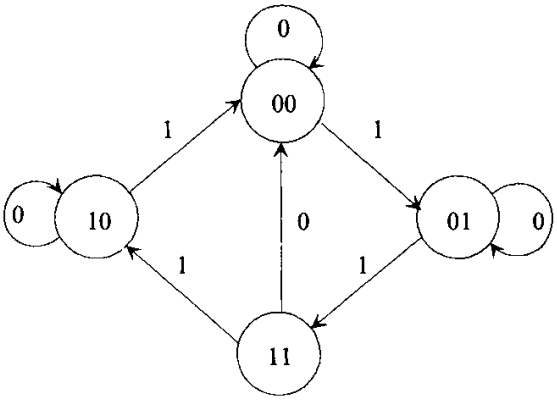
1. صمم دارة تتابعية متزامنة لها مخطط الحالات المبين في الشكل (42.8).



الشكل 42.8: مخطط الحالات للمسألة (1.5).

Ans

2. صمم دارة تتابعية متزامنة لها مخطط الحالة المبين في الشكل (43.8) باستعمال قلابات (JK flip– flops).



الشكل 43.8: مخطط الحالات للمسألة (2.5).

Ans

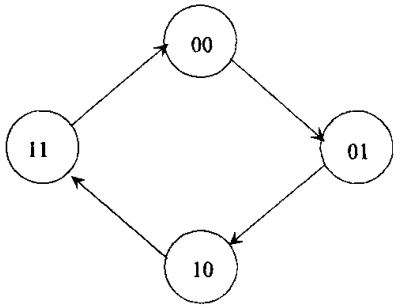
3. صمم دارة تتابعية متزامنة لها مدخل (X)، ومخرج (Z). المدخل (X) هو رسالة تسلسلية يقرؤها النظام بتاً وراء بت. يأخذ المخرج (Z) القيمة المنطقية (1) كلما صادفنا التتابع (101) في الرسالة التسلسلية. فمثلاً:

If input: 0 0 1 0 1 0 1 1 1 0 1 0 0 0 1 0 1
then output: 0 0 0 0 1 0 1 0 0 0 1 0 0 0 0 0 1

استعمل قلابات (T flip– flops).

Ans

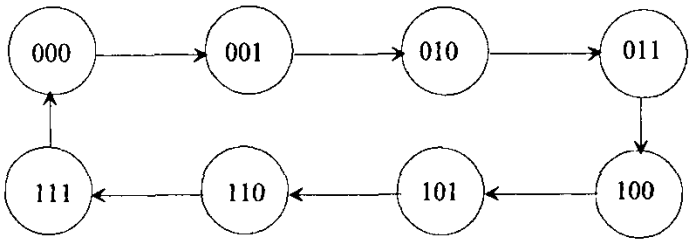
9. صمم دارة عداد ببتين يعد التتابع (00)، ثم (01)، ثم (10)، ثم (11)، ثم يتكرر وفقاً لما يبينه مخطط الحالات المبين في الشكل (44.8). استعمل قلابات (T flip– flops).



الشكل 44.8: مخطط الحالات للمسألة (4.5).

Ans

10. صمم دارة عداد بثلاث بتات يعد التتابع من (000) إلى (111) ثم يتكرر وفقاً لما يبينه مخطط الحالات المبين في الشكل (45.8). استعمل قلابات (JK flip– flops).

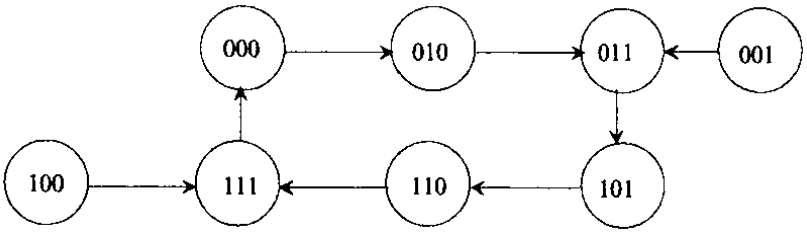


الشكل 45.8: مخطط الحالات للمسألة (5.5).

Ans

11. صمم دارة عداد بثلاث بتات يعد التتابع (000)، ثم (010)، ثم (011)، ثم (101)، ثم (110)، ثم (111) ثم يتكرر التتابع وفقاً لما يبينه مخطط الحالات المبين في الشكل (46.8).توجد حالتان غير مستعملتان هما (001) و(100). نفذ العداد الذي يصلح نفسه إذا ابتدأ بإحدى الحالتين غير المستعملتين، بشكل أن يأخذ قيمة صحيحة

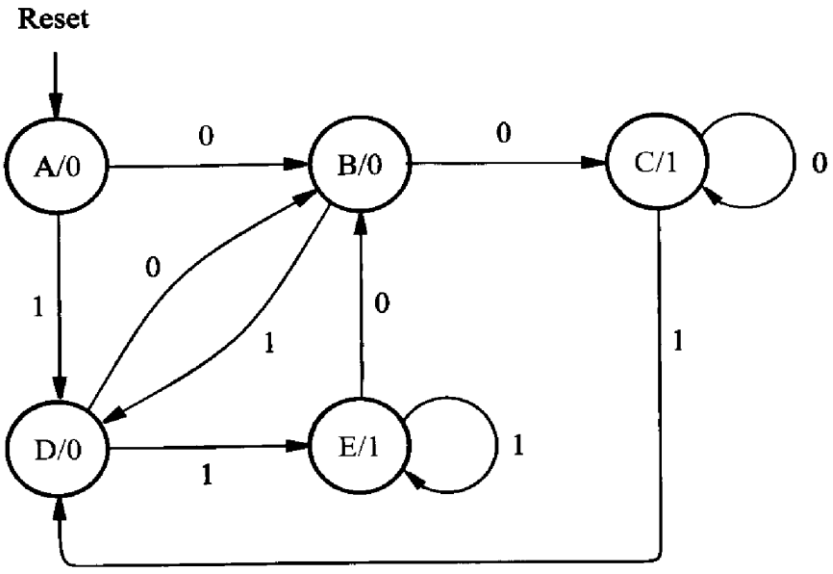
عند أول إشارة ساعة. عندما تطبق التغذية على دلرة العداد يمكن أن يأخذ أية قيمة ممكنة مسموح بها أو غير مسموح بها. استعمل قلابات (T flip– flops).



الشكل 46.8: مخطط الحالات للمسألة (6.5).

Ans

12. صمم آلة حالة (FSM) لها مدخل (w) ومخرج (z)، تكشف تتابع بتات بحيث تعطي خرجاً ($z=1$) إذا كانتا القيمتان السابقتان للمدخل (00) أو (11)، وفي الحالة المعاكسة ($z=0$). يمكن توصيف آلة الحالة وفقاً لمخطط الحالات المبين في الشكل (47.8).



الشكل 47.8 : مخطط الحالات للمسألة (7.5).

Ans

13. استنبط الدارتين اللتين تنفذان مخططا الحالات المبينين في الشكلين (48.8) و(49.8). ماهو أثر اختصار الحالات على كلفة التنفيذ؟

Present state	Next state		Output
	$w = 0$	$w = 1$	z
A	B	C	1
B	D	F	1
C	F	E	0
D	B	G	1
E	F	C	0
F	E	D	0
G	F	G	0

الشكل 48.8: جدول الحالات للمسألة (8.5).

Present state	Next state		Output
	$w = 0$	$w = 1$	z
A	B	C	1
B	A	F	1
C	F	C	0
F	C	A	0

الشكل 49.8: جدول الحالات للمسألة (8.5).

Ans

نموذج مذاكرة للفصل الخامس

الجامعة ..... كلية .....

المادة: الإلكترونيات الرقمية Digital Electronics نموذج امتحان للفصل الثامن: آلات الحالة المنتهية

أستاذ المادة: ....

المدة: ساعة واحدة العلامة: 10

ملاحظات هامة:

المادة مغلقة

يسمح باستعمال الآلات الحاسبة

اختر الإجابة الصحيحة (10 علامات)

1. يتحدد تابع خرج الدارات التراكبية (Combinational logic circuits):
   a) بالحالة الحالية الداخلية
   b) بالحالة التالية الداخلية
   c) بالدخل الحالي والحالة الحالية
   d) بالدخل الحالي فقط

2. يتحدد تابع خرج الدارات التتابعية المتزامنة (Synchronus Sequential Circuits):
   a) بالحالة الحالية الداخلية
   b) بالحالة التالية الداخلية
   c) بالدخل الحالي والحالة الحالية
   d) بالدخل الحالي فقط

3. يتحدد خرج آلة الحالة المنتهية نموذج (Moore):
   a) بالحالة الحالية الداخلية
   b) بالحالة التالية الداخلية
   c) بالدخل الحالي والحالة الحالية
   d) بالدخل الحالي فقط

4. –يتحدد خرج آلة الحالة المنتهية نموذج (Mealy):
   a) بالحالة الحالية الداخلية
   b) بالحالة التالية الداخلية
   c) بالدخل الحالي والحالة الحالية
   d) بالدخل الحالي فقط

5. يتميز الترميز الإثناني لحالات آلة الحالة المنتهية:
   a) باستعمال عدد قلابات أكبر
   b) باستعمال عدد قلابات أقل
   c) بالحصول على دارة أسرع
   d) بالحصول على دارة أبطأ

6. من عيوب الترميز الإثناني لحالات آلة الحالة المنتهية:
   a) استعمال عدد قلابات أكبر
   b) استعمال عدد قلابات أقل
   c) الحصول على دارة أسرع
   d) الحصول على دارة أبطأ

7. يتميز ترميز الواحد الساخن لحالات آلة الحالة المنتهية:
   a) باستعمال عدد قلابات أكبر
   b) باستعمال عدد قلابات أقل
   c) بالحصول على دارة أسرع
   d) بالحصول على دارة أبطأ

8. من عيوب ترميز الواحد الساخن لحالات آلة الحالة المنتهية:
   a) استعمال عدد قلابات أكبر
   b) استعمال عدد قلابات أقل
   c) الحصول على دارة أسرع
   d) الحصول على دارة أبطأ

9. في حالة ترميز الواحدين الساخنين يعطي استعمال (n) قلاباً عدداً من حالات آلة الحالة المنتهية مقداره:

(a) $\left(\frac{n(n-1)}{2}\right)$

(b) (2^n)

(c) (n)

(d) غير ذلك

10. في حالة الترميز الإثناني يعطي استعمال (n) قلاباً عدداً من حالات آلة الحالة المنتهية مقداره:

(a) $\left(\frac{n(n-1)}{2}\right)$

(b) (2^n)

(c) (n)

(d) غير ذلك

الإجابة الصحيحة لنموذج مذاكرة الفصل االثامن

Ans. $1\to(d), 2\to(c), 3\to(a), 4\to(c), 5\to(b),$
$6\to(d), 7\to(c), 8\to(a), 9\to(a), 10\to(b).$

التغذية الراجعة للسؤال الأول

1 مراجعة مدخل إلى الدارات التتابعية Introduction to Sequential Circuits

2 مراجعة مدخل إلى الدارات التتابعية Introduction to Sequential Circuits

3 مراجعة مدخل إلى الدارات التتابعية Introduction to Sequential Circuits

4 مراجعة مدخل إلى الدارات التتابعية Introduction to Sequential Circuits

5 مراجعة أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot

6 مراجعة أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot

7 مراجعة أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot

8 مراجعة أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot

9 مراجعة أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot

10 مراجعة أنواع الترميز: من الترميز الإثناني إلى ترميز الواحد الساخن Encoding Style: From Binary to One-Hot

علامة النجاح بالمذاكرة هي: 6/10

نهاية الفصل الثامن

نموذج مذاكرة الفصل الثامن	الإجابة الصحيحة
1	d
2	c
3	a
4	c
5	b
6	d
7	c
8	a
9	a
10	b